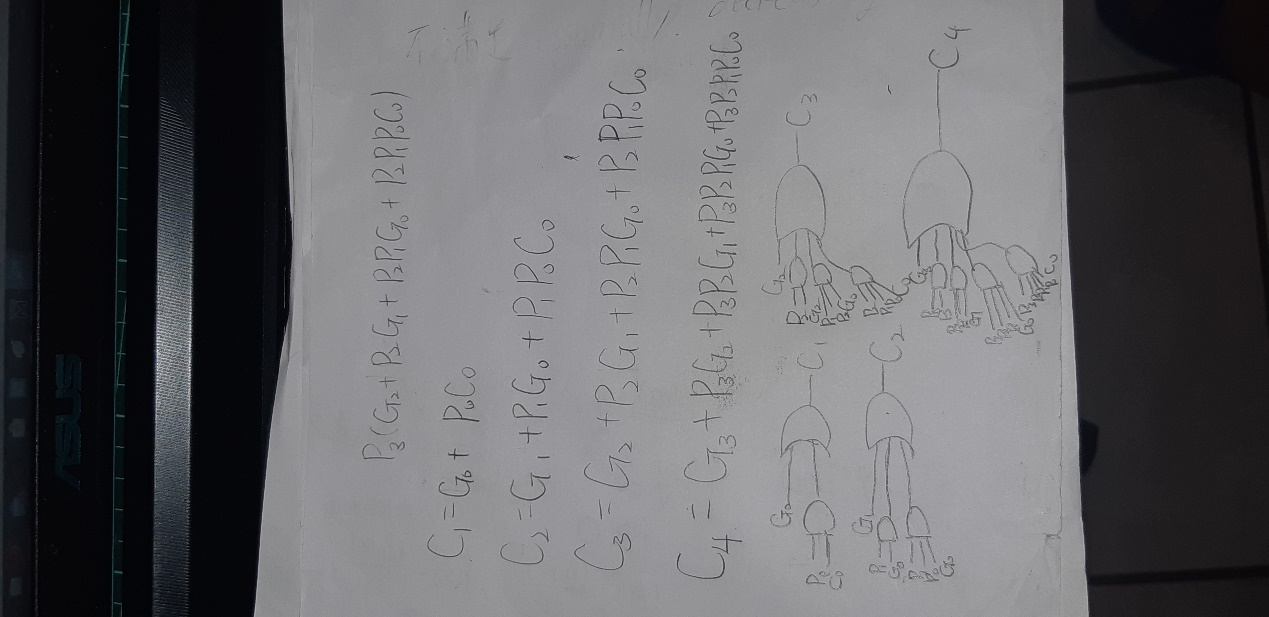
1. 由Ci+1=Gi+PiCi可知，將C3=G2+P2G1+P2P1G0+P2P1P0C0的布林計算式代入C4=G3+P3C3即可得到C4=G3+P3G2+P3P2G1+P3P2P1G0+P3P2P1P0C0，

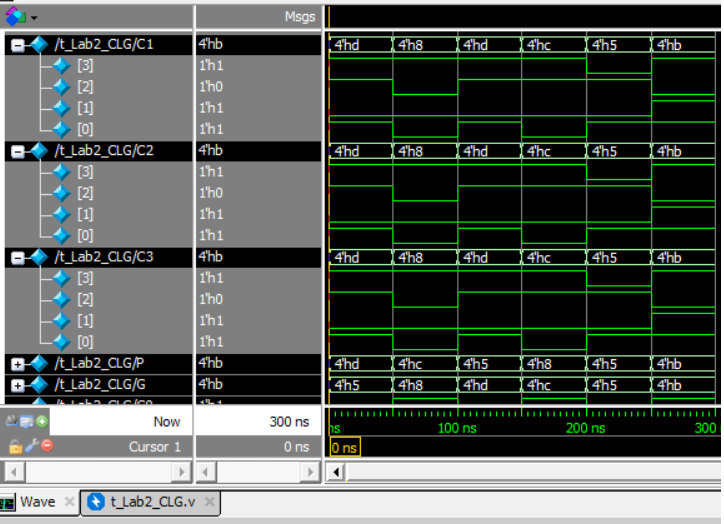
電路化簡圖:



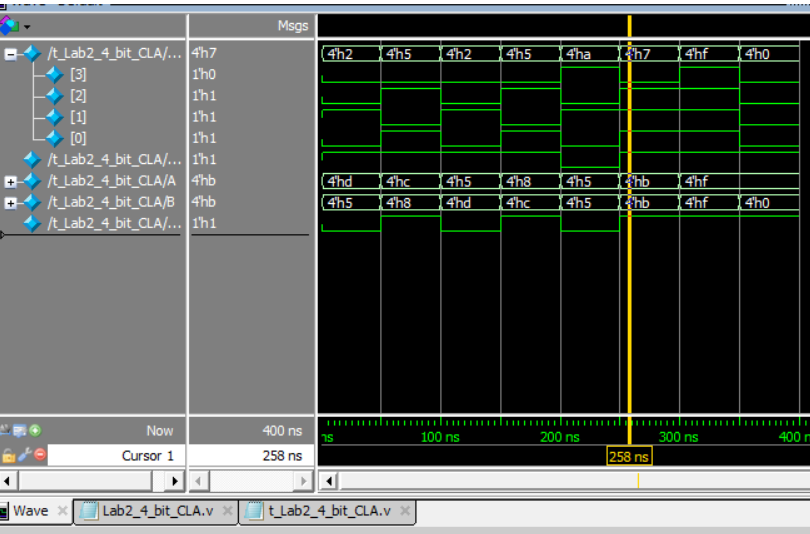
由實驗結果可知三種方法下撰寫出來的電路波形圖

無明顯差異，且對照過真值表後，答案皆正確。

實驗結果:



1. 實驗結果:



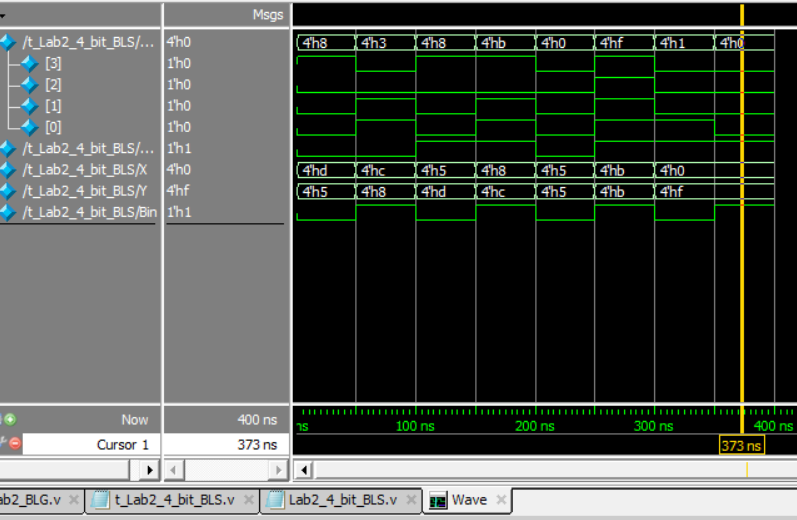
對照真值表後發現答案無誤，故此程式沒有錯誤。

1. 布林代數:

Bi+1=(Xi xor Yi)’Bi+Xi’Yi ，Di=Xi xor Yi xor Bi，Gi=Xi’Yi，Pi=(Xi xor Yi)’

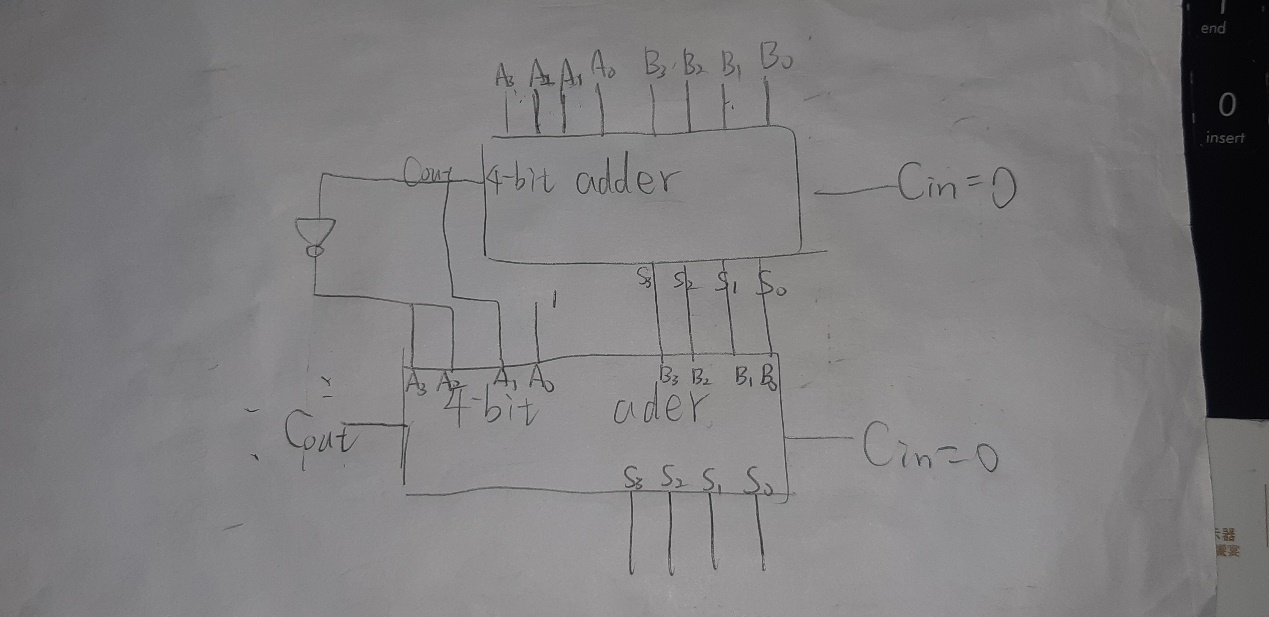
Bi+1=PiBi+Gi，

實驗結果圖:



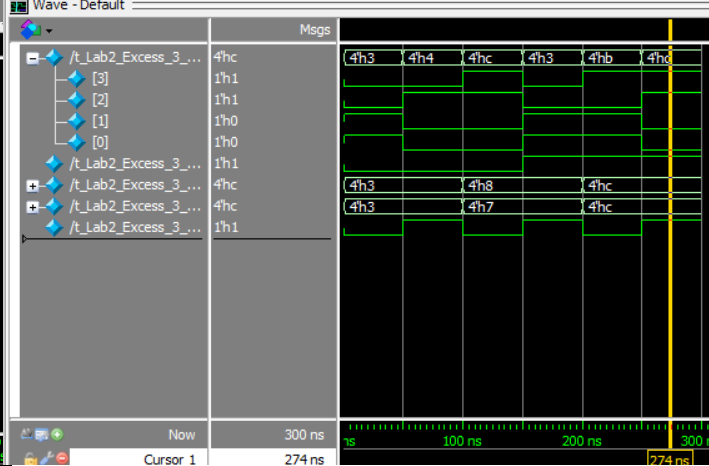
對照真值表後發現答案無誤，故此程式沒有錯誤。

電路圖:



利用行為描述來撰寫電路，使得Verilog描寫更像高階語言，當Cout=1時，所加出來的結果要加3，反之則是減3

實驗結果圖:



對照真值表後發現答案無誤，故此程式沒有錯誤。

1. 這一次的實驗讓我更習慣使用modelsim，也幫助了解更多verilog的基本語法，行為描述法來撰寫verilog 真的省下不少時間，希望我以後能善用這些知識撰寫電路。