

硬件描述语言与系统仿真



课程简介



上海交通大学
Shanghai Jiao Tong University

- 开课时间:
课堂教学: **16-18学时, 1-9周, 每周一的下午7, 8节**
实验教学: **14-16学时, 开放实验室**
- 教师: 陈立
- 邮箱: hilichen@sjtu.edu.cn
- 成绩构成:
 - 笔试 (**50**)
 - 实验 (**40**)
 - 平时 (**10**)
- 课程主要内容:
 - 可编程逻辑器件
 - 硬件描述语言 (**VHDL**)

1. 理论教学：了解数字集成电路及其设计方法的发展现状，熟悉大规模可编程专用集成电路CPLD/FPGA的内部结构，掌握一种硬件描述语言，并具备使用HDL进行数字电路系统设计的能力。
 2. 上机实验：让学生熟悉可编程专用集成电路的设计，开发流程，熟练掌握一种EDA设计工具，提高学生应用计算机技术进行数字电路与数字系统的设计和辅助分析的能力。
- 掌握利用硬件描述语言设计数字电路的能力！**



- **FPGA部分：（2次）**
 - 基础知识介绍
 - 可编程逻辑器件详细介绍
 - 可编程逻辑器件比较与最新技术发展
- **VHDL部分（3次）**
 - VHDL
 - 仿真验证
- **数字系统设计基础（4次）**
 - 硬件电路设计实例（可编程的应用一）
 - 数字系统时序模型（可编程的应用二）
 - 数字系统性能优化
- **实验部分（开放式实验）**

实验开展形式

采用小脚丫 STEP-MXO2 FPGA开发版，每三或四个人组成一个小组，完成《课程实验要求书》上规定的内容

- 分为基础必做实验、进阶限选实验和自主拓展实验

第一次检查：基础必做实验的检查

第二次检查：进阶限选实验的检查

第三次检查：自主拓展实验的检查

检测后检测老师在检测记录单上签字记录。

- 采取开放实验室的方式，实验室在4-104

实验相关规则

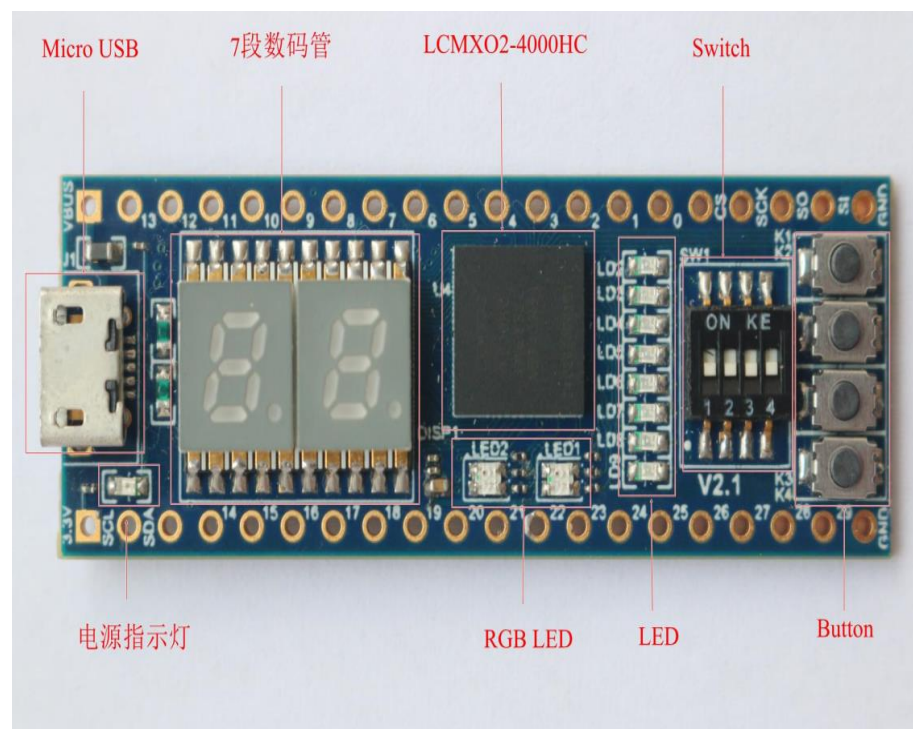
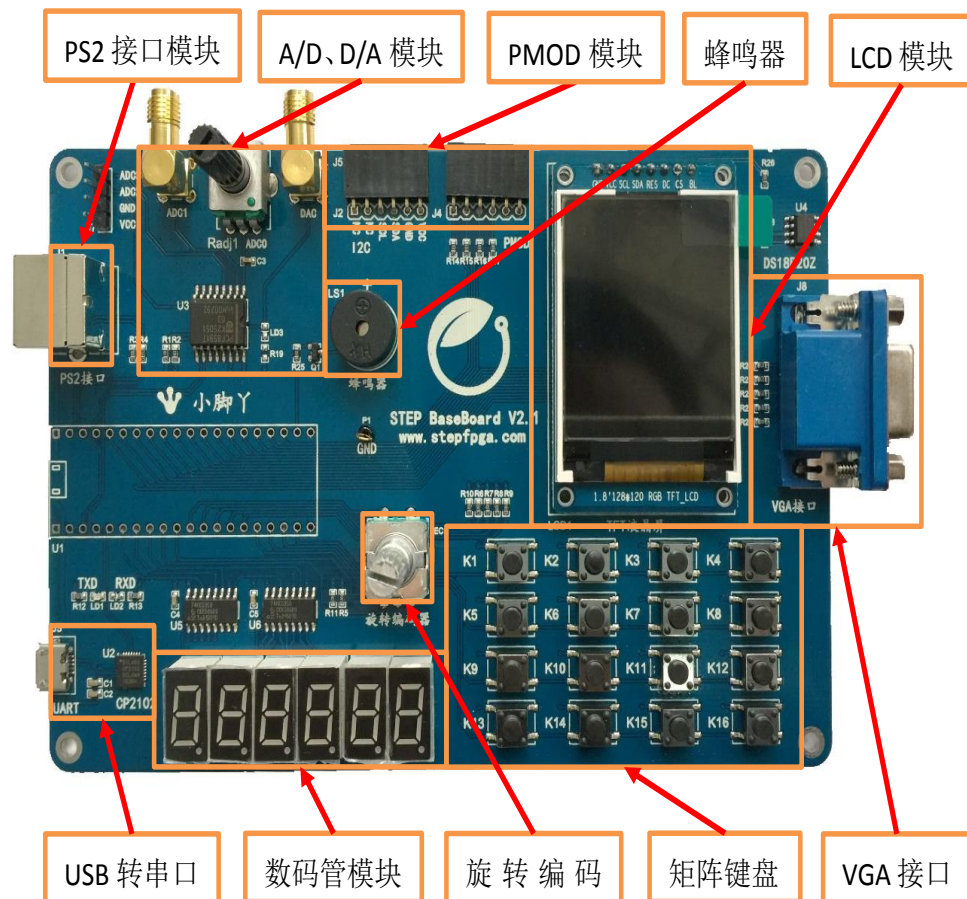


- 分组以自愿组合为主，尽量同一个教师下的同学组队，不同教师名下选课的学生也可以组成一组。3或4人一组，未满4人的小组，教师有权调剂加入其他成员。
- 每组设组长一名，小组自行选举组长，负责课程学习过程中的组内管理，或代表小组与教师联络。
- 分组报名方式：登录 <http://202.120.39.248/login.aspx> 完成注册和报名登记
- 组长请牢记注册的帐户名、密码
- 提示：参加了分组报名并不代表在教务管理系统中选课成功
- 如在实验报名和分组中遇到困难的，[可以直接发邮件到clenny@163.com](mailto:clenny@163.com) 或者联系授课老师

实验平台



上海交通大学
Shanghai Jiao Tong University

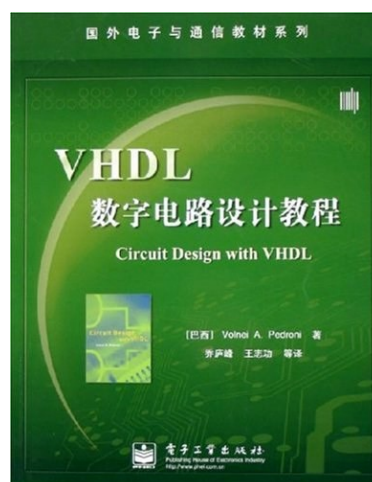




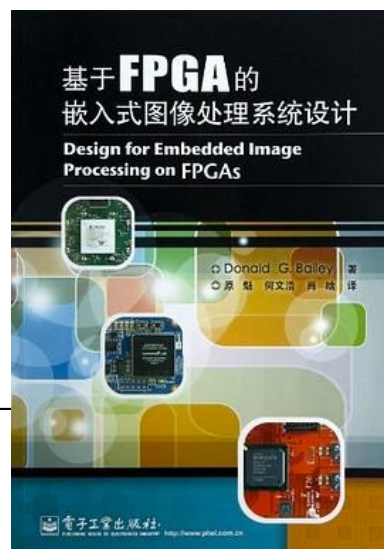
- ❑ 设计套件： Lattice的Diamond软件
- ❑ 仿真软件： ModelSim
- ❑ 开源软件： GHDL /GTKWAVE(综合/仿真)

参考书籍

- **FPGA原理和结构**, 天野英晴主编, 人民邮电出版社
- **VHDL数字电路设计教程**, 佩德罗尼, 电子工业出版社
- **HDL Chip Design-A practical guide for designing, synthesizing and simulating ASICs and FPGAs using VHDL or Verilog**

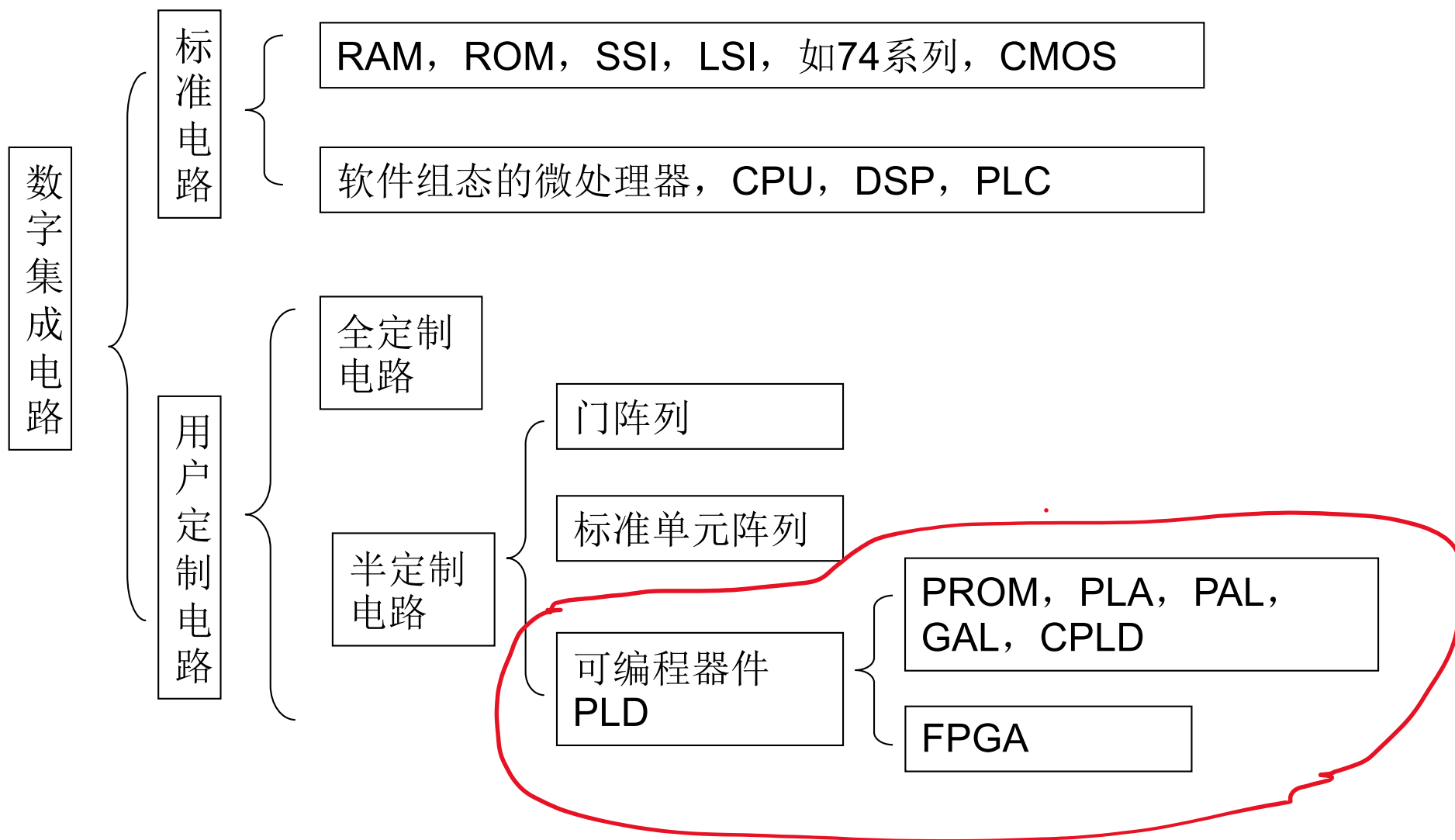


- **Advanced FPGA Design Architecture, Implementation, and Optimization, Steve Kilts**
- **基于FPGA的嵌入式图像处理系统设计**
- **Xilinx 和Altera 网站上的相关文档**



- 《模拟电子技术》
 - 晶体管，场效应管，MOS管，电流放大作用
 - 多种放大电路，放大倍数
 - 集成运算放大器，虚断路、虚短路
- 《数字电路》
 - 数字，进位，码制
 - 逻辑代数（布尔代数），卡诺图化简
 - 门电路：TTL，ECL，MOS
 - 组合逻辑
 - 时序逻辑

数字集成电路分类



数字电路设计传统的设计方法



上海交通大学
Shanghai Jiao Tong University

- 组合电路设计

问题→逻辑关系→真值表→化简→逻辑图

- 时序电路设计

列出原始状态转移图和表→状态优化→状态分配→触发器选型→求解方程式→逻辑图

缺点： 设计效率低，无法适应大规模数字电路设计的要求！

采用硬件描述语言和HLS语言进行数字电路设计！



数字电路设计语言：

- 硬件描述语言： **VHDL**/Verilog/SystemVerilog
- DSL语言： Chisel/ SpinalHDL
- HLS: C/C++ 设计语言

数字电路发展

- IC电路的尺寸： 7nm -> 5nm-> 3nm->??
- 电路的规模： 上百亿个CMOS门
- 可编程器件发展： **CPLD/FPGA**

可编程逻辑器件的特点



上海交通大学
Shanghai Jiao Tong University

- 可以实现任意逻辑功能的数字电路
- 可以反复地擦除、编程，方便设计的修改和升级
- 具有完善先进的开发工具

优点：

与中小规模通用IC比: 集成度高，速度快，功耗小，可靠性高

与大规模ASIC比: 研制周期短，先期投资小，无风险，修改逻辑设计方便，小批量生产成本低

可编程逻辑器件的主要应用领域



上海交通大学
Shanghai Jiao Tong University

网络通信领域：实现高速通信协议

云计算领域：实现搜索引擎加速

AI领域：实现人工智能算法

金融领域：实现高频交易算法

计算机视觉领域：无人驾驶汽车等

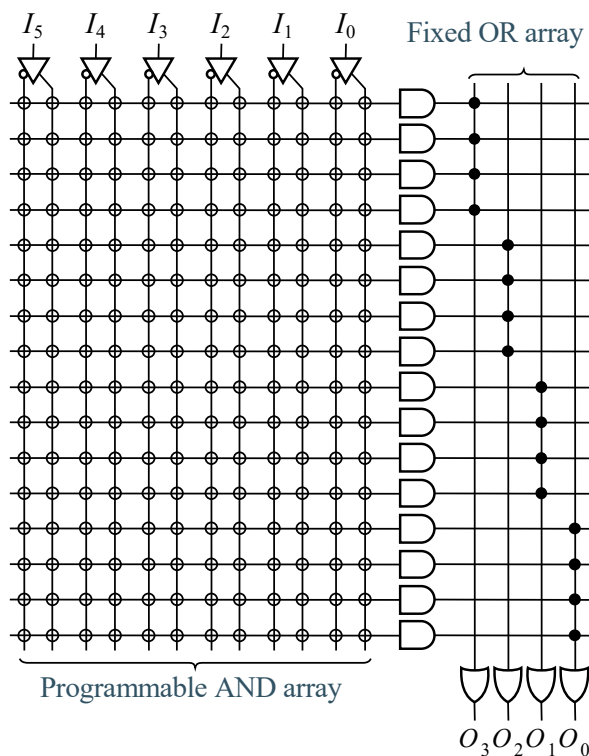
特点：可以根据应用特点快速完成硬件定制化设计和软件优化！

可编程逻辑器件的发展和历史



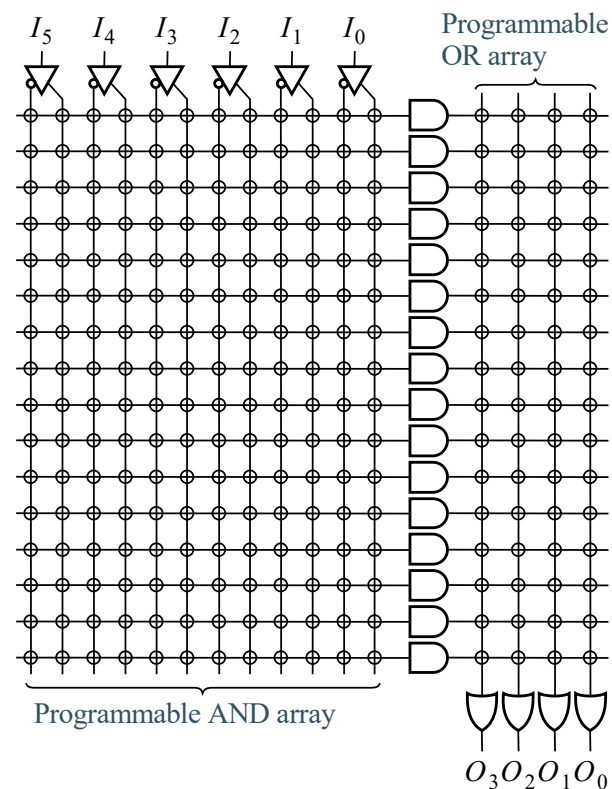
时间	器件	特征	典型器件规模
20世纪70年代	PLA/PAL	或阵列实现组合电路	数十-数百个门
20世纪80年代	GAL	可编程EEPROM	数百
20世纪80年代	CPLD	可编程的与或阵列与触发器	数百-数千
20世纪80年代	FPGA	可编程的查找表和触发器	数百-数千
20世纪90年代	基于SRAM的FPGA	采用SRAM工艺实现FPGA	数千-100万
21世纪00-10年代	更大规模的FPGA	加入DSP, RAM、CPU等硬件模块	百万-千万
21世纪10-20年代	混合计算架构的FPGA	加入AI core的更多的计算单元	千万以上

PAL & PLA



PAL

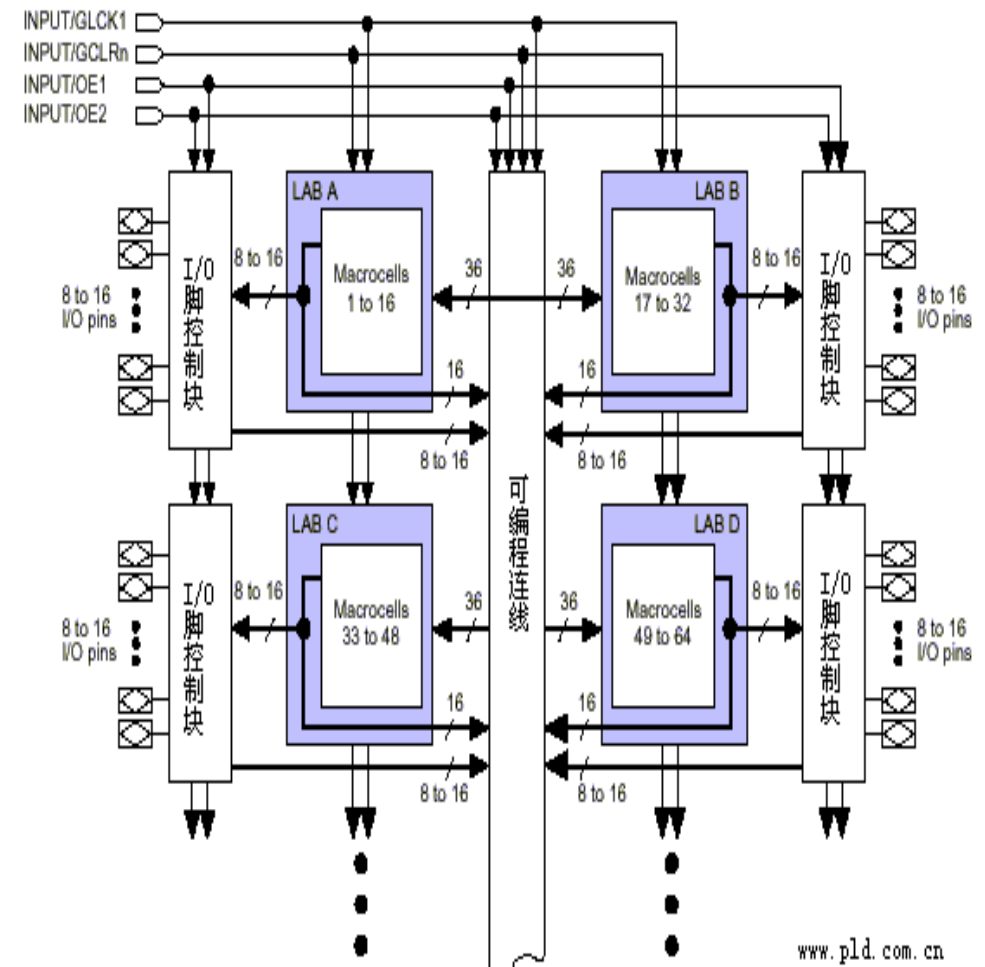
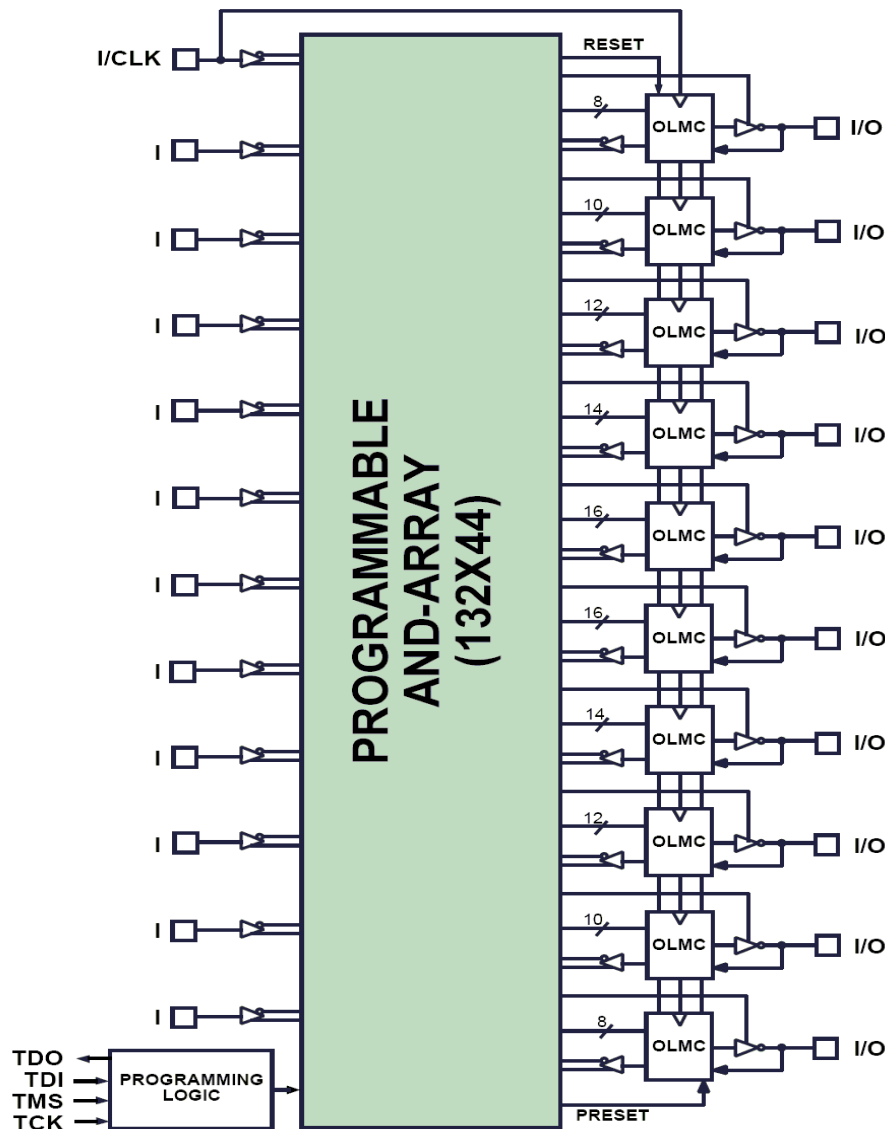
与阵列 可编程
或阵列 固定



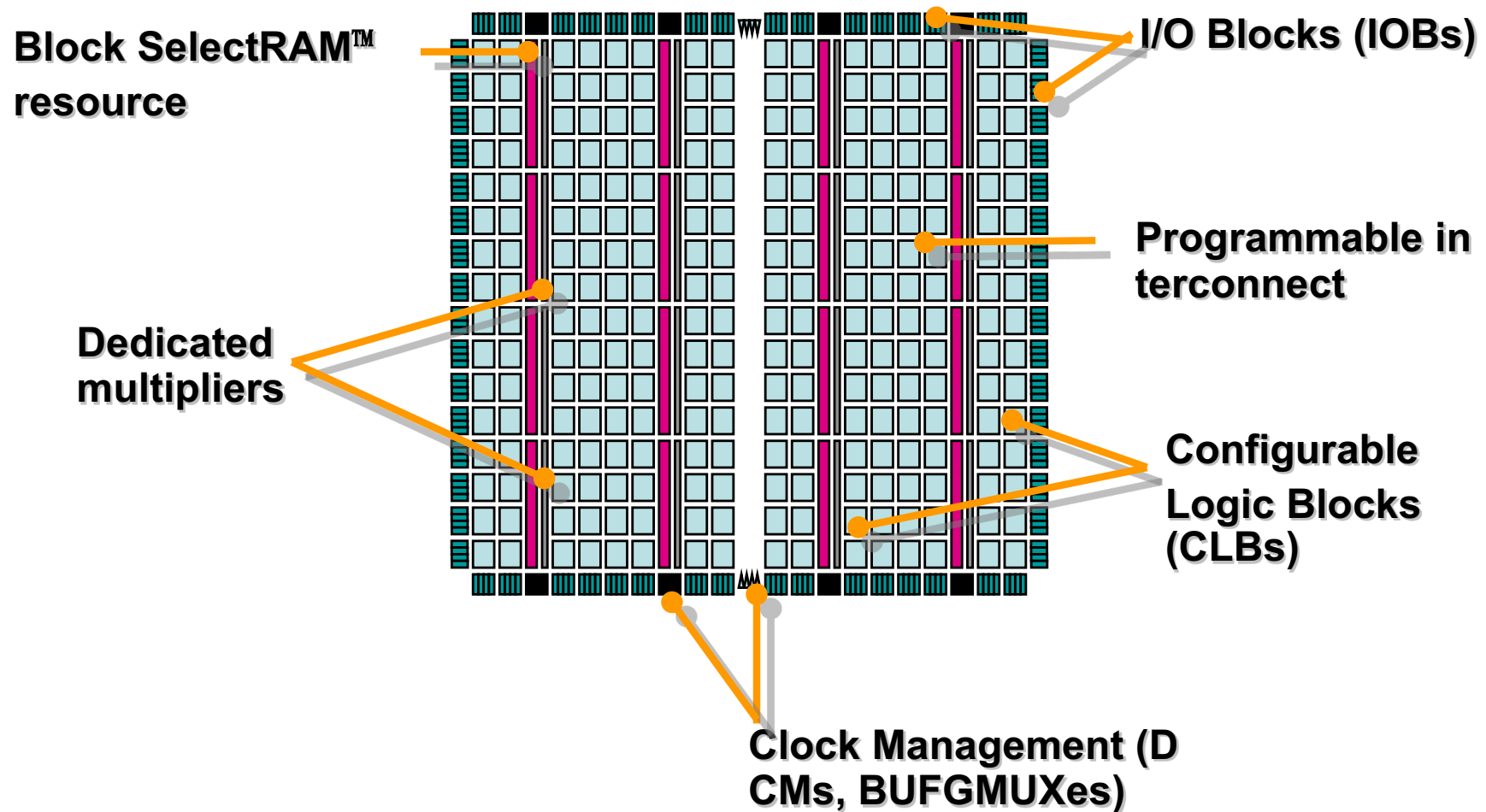
PLA

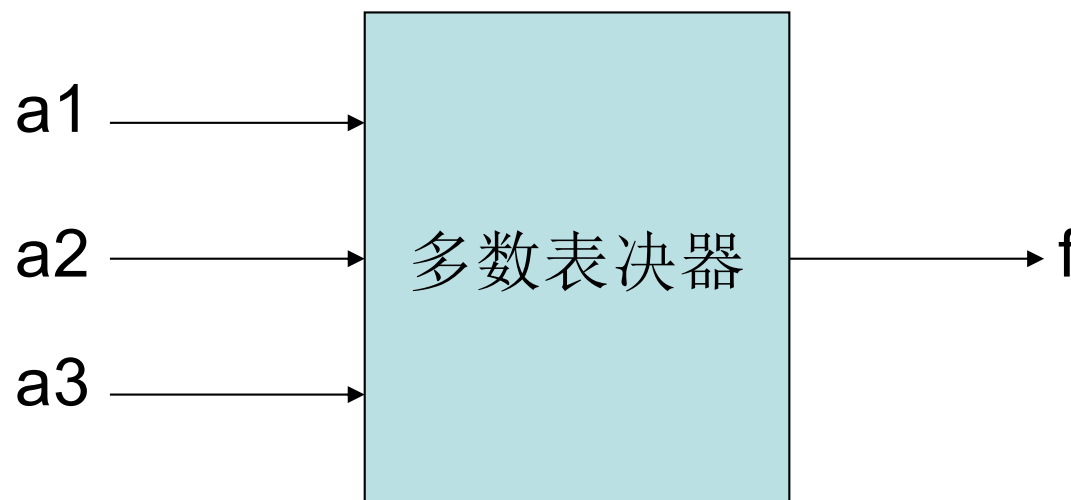
与或阵列 均可编程

GAL & CPLD



FPGA- Virtex Architecture





- ❑ Output '1' of there is more '1' s than '0' s
- ❑ Output '0' of there is more '0' s than '1' s

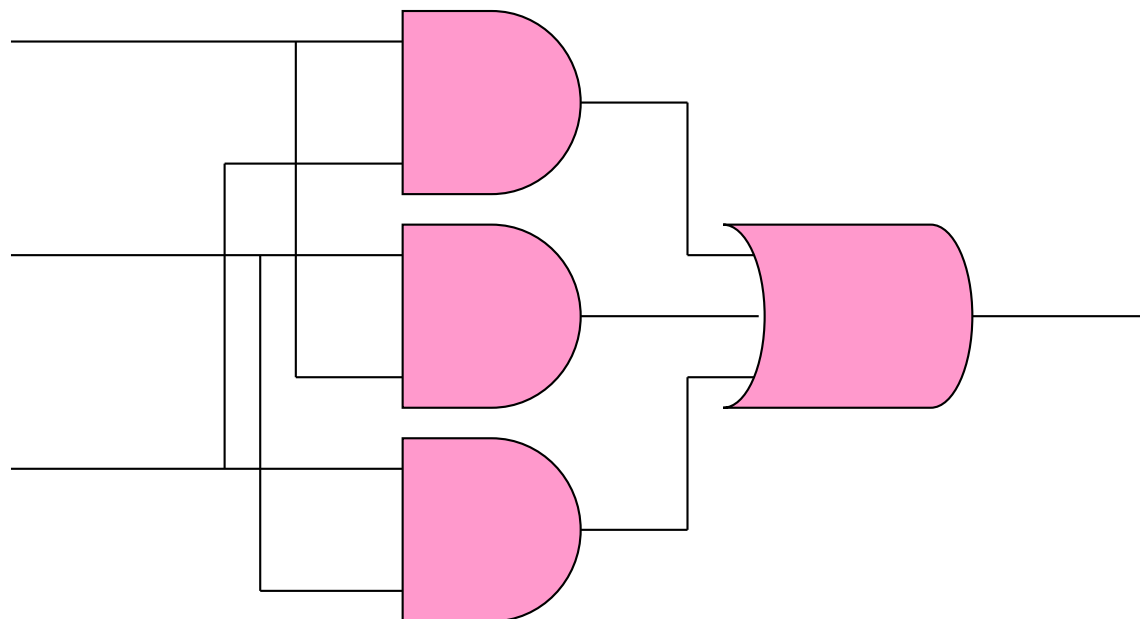
传统设计方法



$$F = A1 \cdot A2 + A2 \cdot A3 + A1 \cdot A3$$

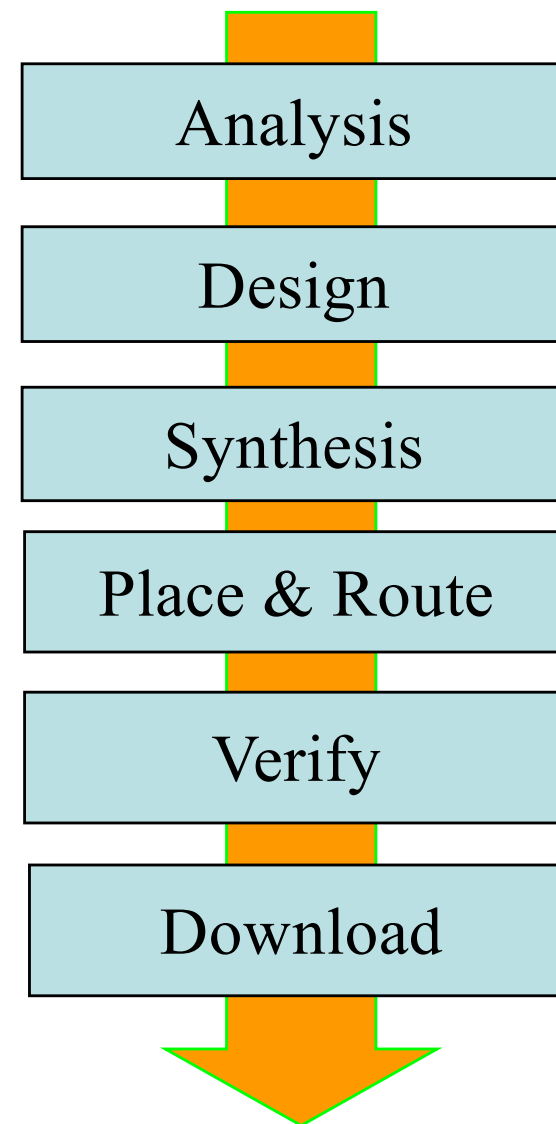
真值表:

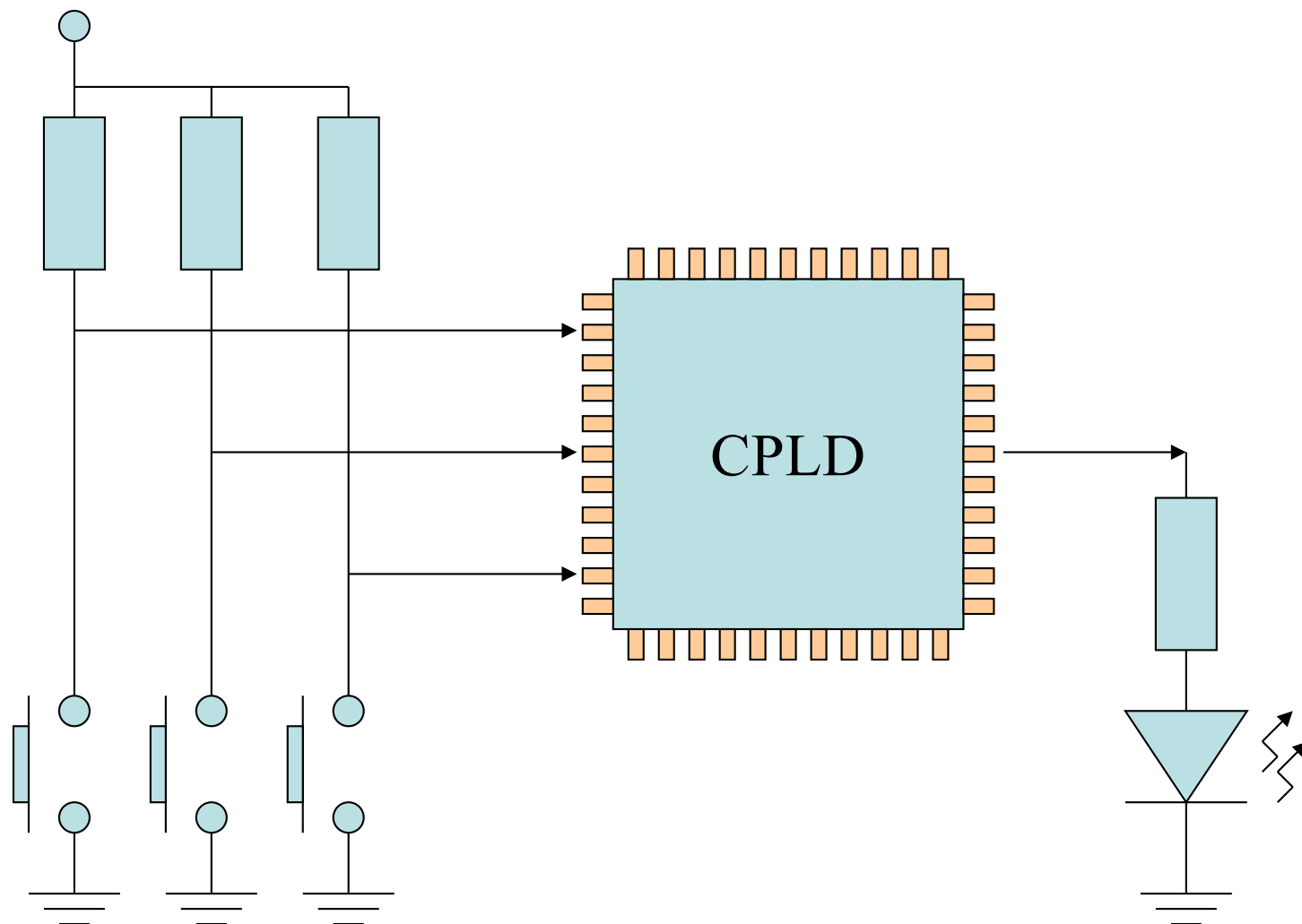
A1	A2	A3	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



硬件描述语言设计流程

- 1、功能分析与设计
- 2、代码设计
- 3、综合
- 4、布局布线
- 5、验证仿真
- 6、下载码流





硬件描述语言设计(VHDL)



```
library ieee;  
use ieee.std_logic_1164.all;  
-----  
entity XYZ is  -- Can put anything after the '--'  
    port  
    (   A1, A2, A3 : in  std_logic;  
        F           : out std_logic );  
end XYZ;  
-----  
architecture XYZ_arch of XYZ is  
begin  
    F <= (A1 and A2) or (A2 and A3) or (A1 and A3);  
end XYZ_arch;
```

硬件描述语言设计(VHDL)



```
library ieee;
use ieee.std_logic_1164.all;
-----
entity XYZ is
    port
    (
        A1, A2, A3      : in std_logic;
        F                : out std_logic
    );
end XYZ;
-----
architecture XYZ_arch of XYZ is
begin
    F <= '1' when ((A1 = '1') and (A2 = '1')) else
        '1' when ((A2 = '1') and ( A3= '1')) else
        '1' when ((A1 = '1') and (A2 = '1')) else
        '0';
end XYZ_arch;
```

硬件描述语言设计(VHDL)



```
library ieee;
use ieee.std_logic_1164.all;

-----

entity XYZ is
  port
  (
    A1, A2, A3      : in std_logic;
    F               : out std_logic
  );
end XYZ;

-----

architecture XYZ_arch of XYZ is
begin
  process (A1, A2, A3)
  begin
    if (A1 = '1') and (A2 = '1') then
      F <= '1';
    elsif (A2 = '1') and (A3 = '1') then
      F <= '1';
    elsif (A1 = '1') and (A3 = '1') then
      F <= '1';
    else
      F <= '0';
    end if;
  end process;
end XYZ_arch;
```

硬件描述语言设计(VHDL)

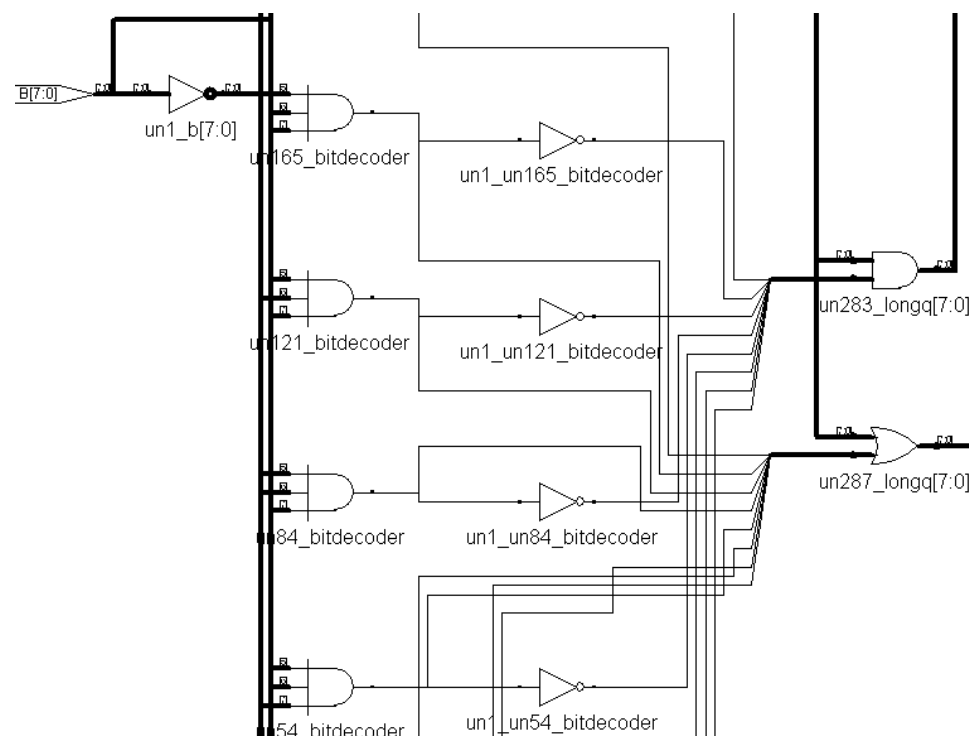
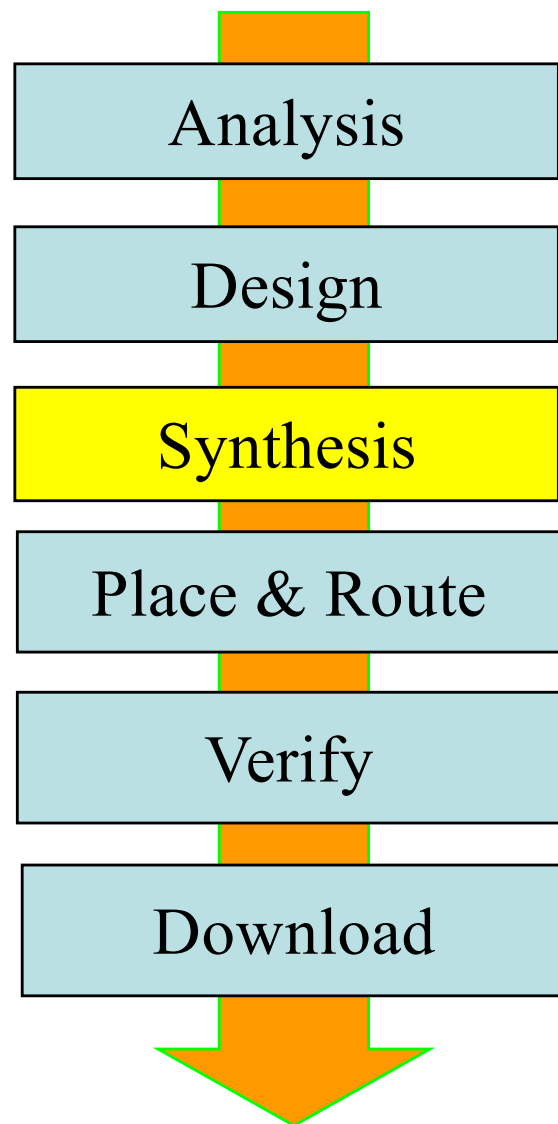


```
library ieee;
use ieee.std_logic_1164.all;
library altera;
use altera.maxplus2.ALL;
-----
entity XYZ is
    port
    (
        A1, A2, A3      : in std_logic;
        F               : out std_logic
    );
end XYZ;
-----
architecture XYZ_arch of XYZ is
    signal F1, F2, F3: std_logic;
begin
    U1: and2
        port map(A1, A2, F1);
    U2: and2
        port map(A1, A3, F2);
    U3: and2
        port map(A2, A3, F3);
    F <= F1 or F2 or F3;
end XYZ_arch;
```

硬件描述语言设计流程-综合



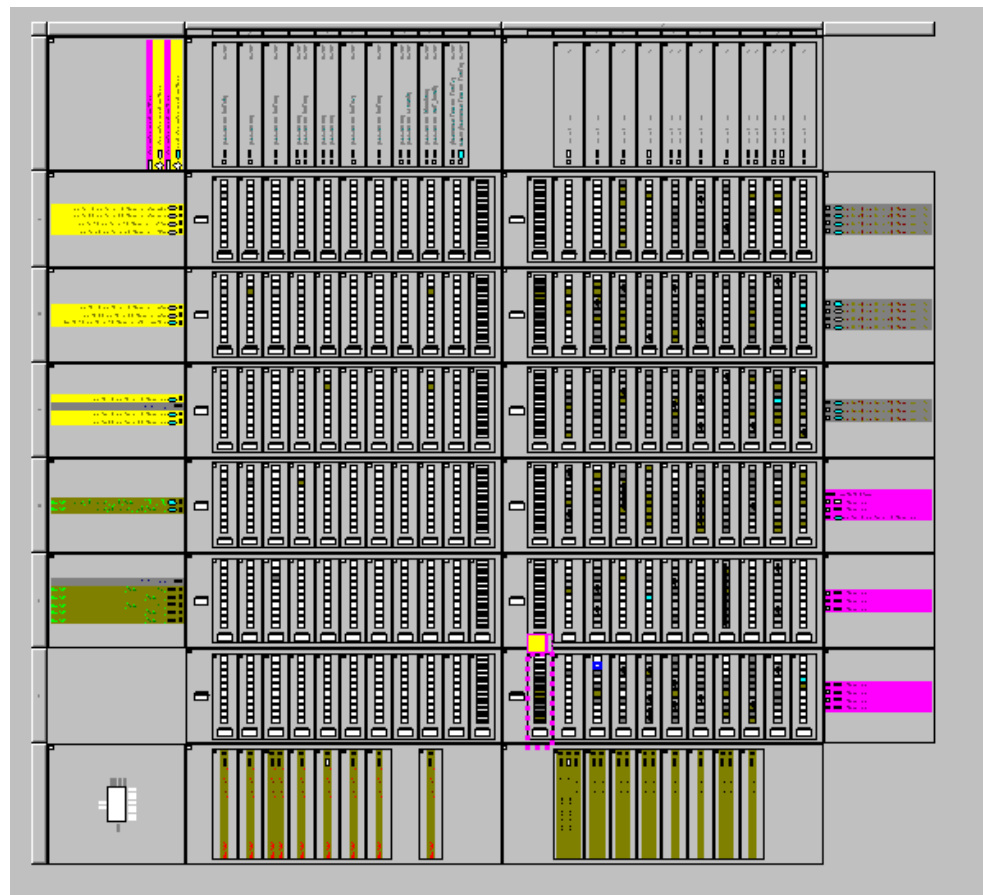
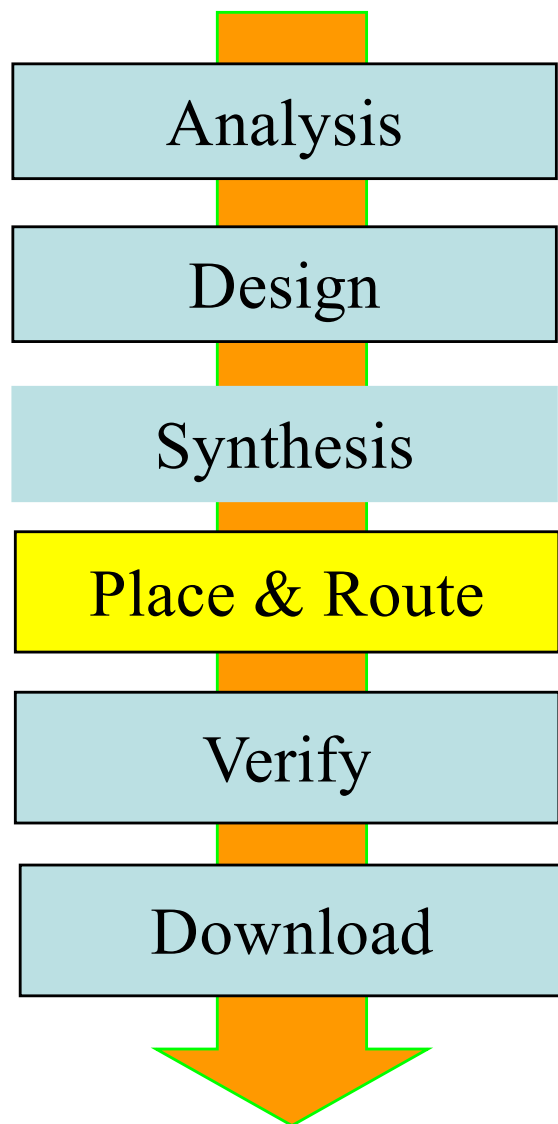
上海交通大学
Shanghai Jiao Tong University



硬件描述语言设计流程-布局布线



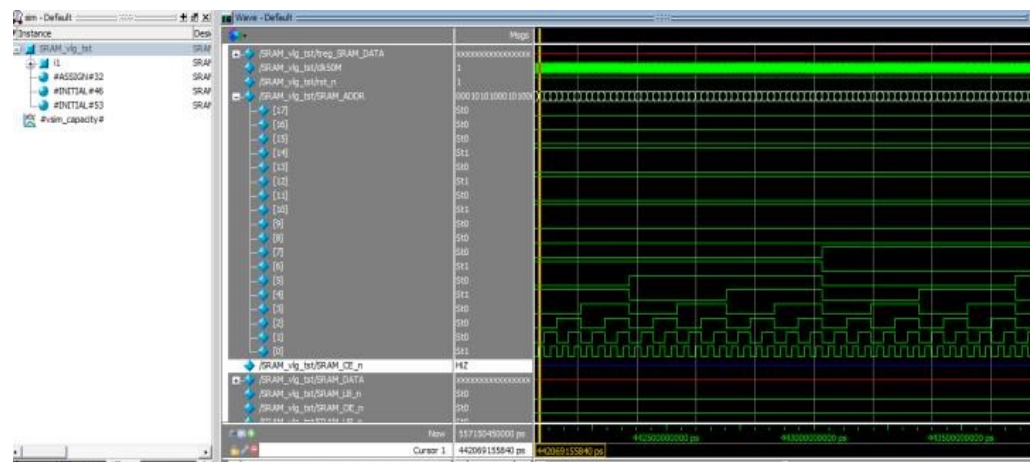
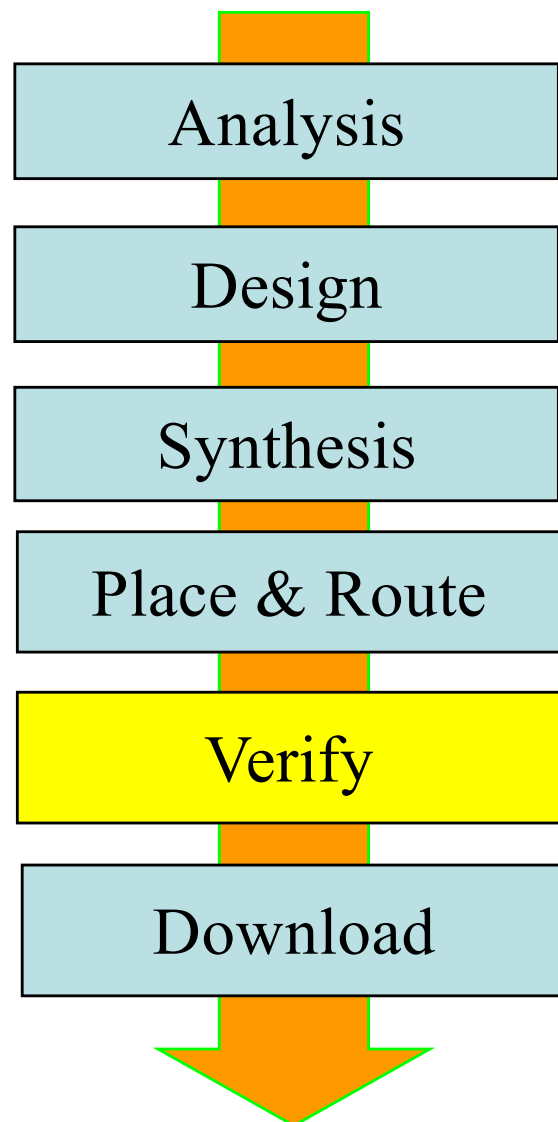
上海交通大学
Shanghai Jiao Tong University



硬件描述语言设计流程-验证



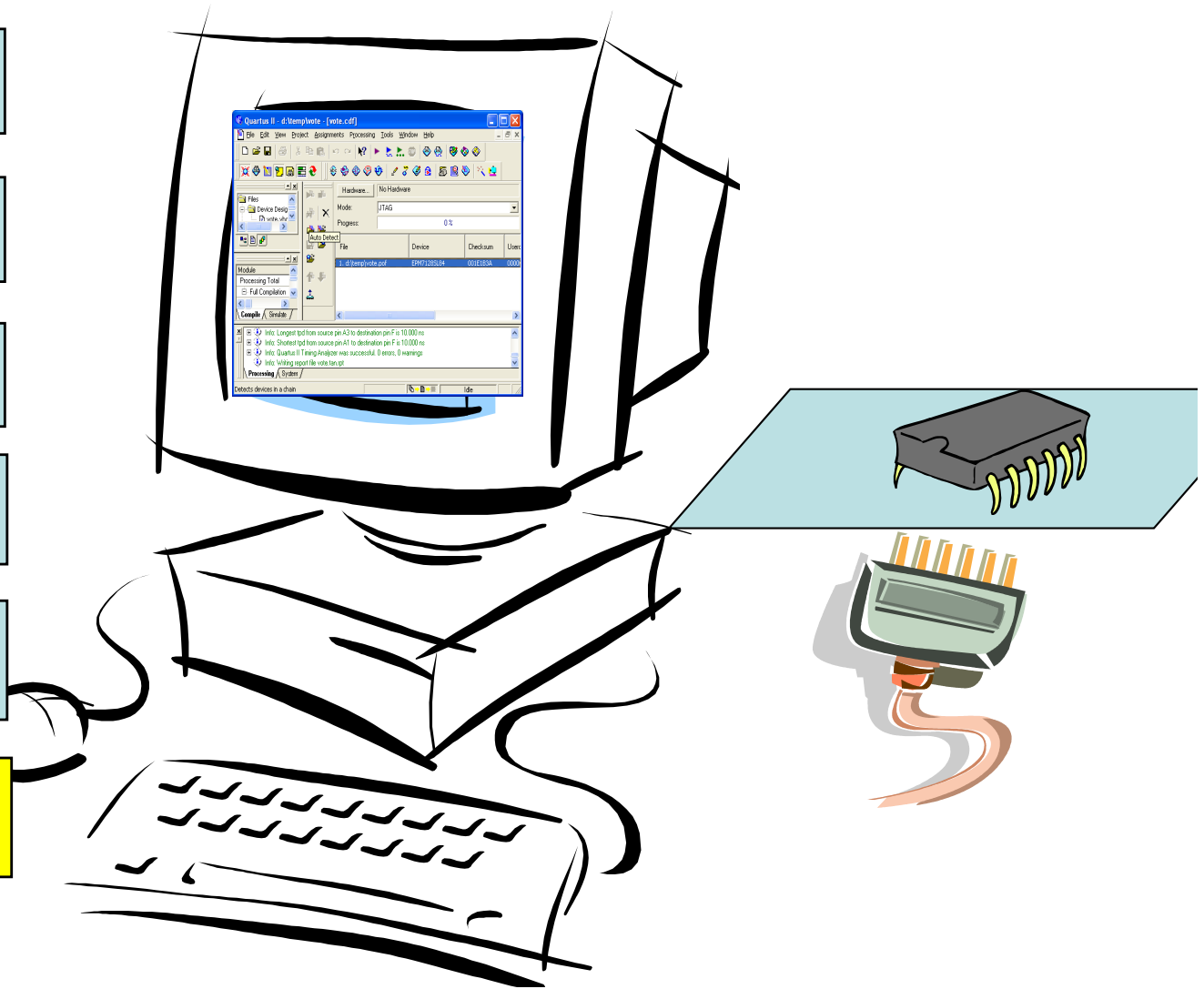
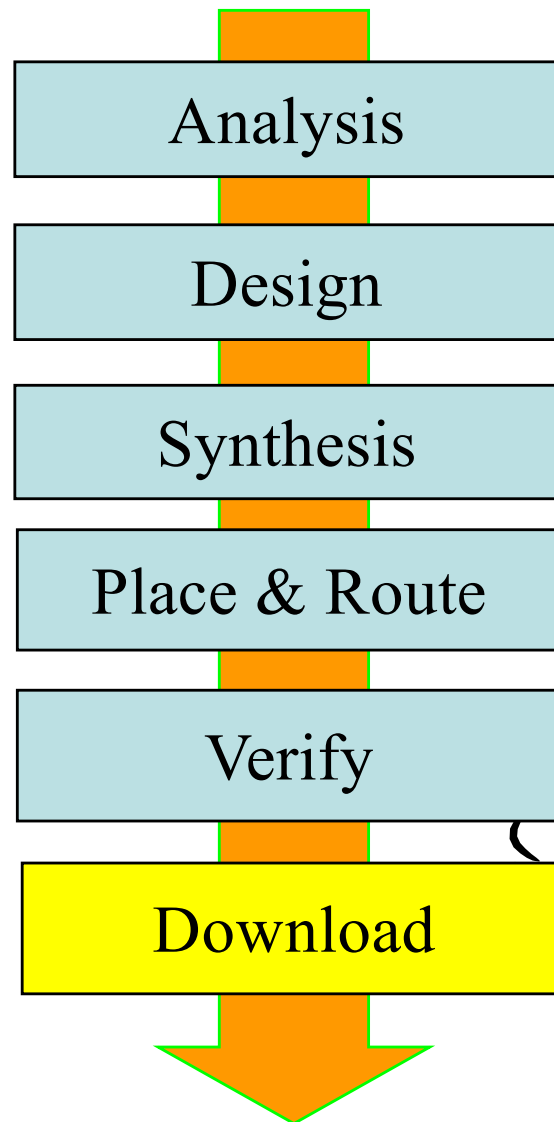
上海交通大学
Shanghai Jiao Tong University



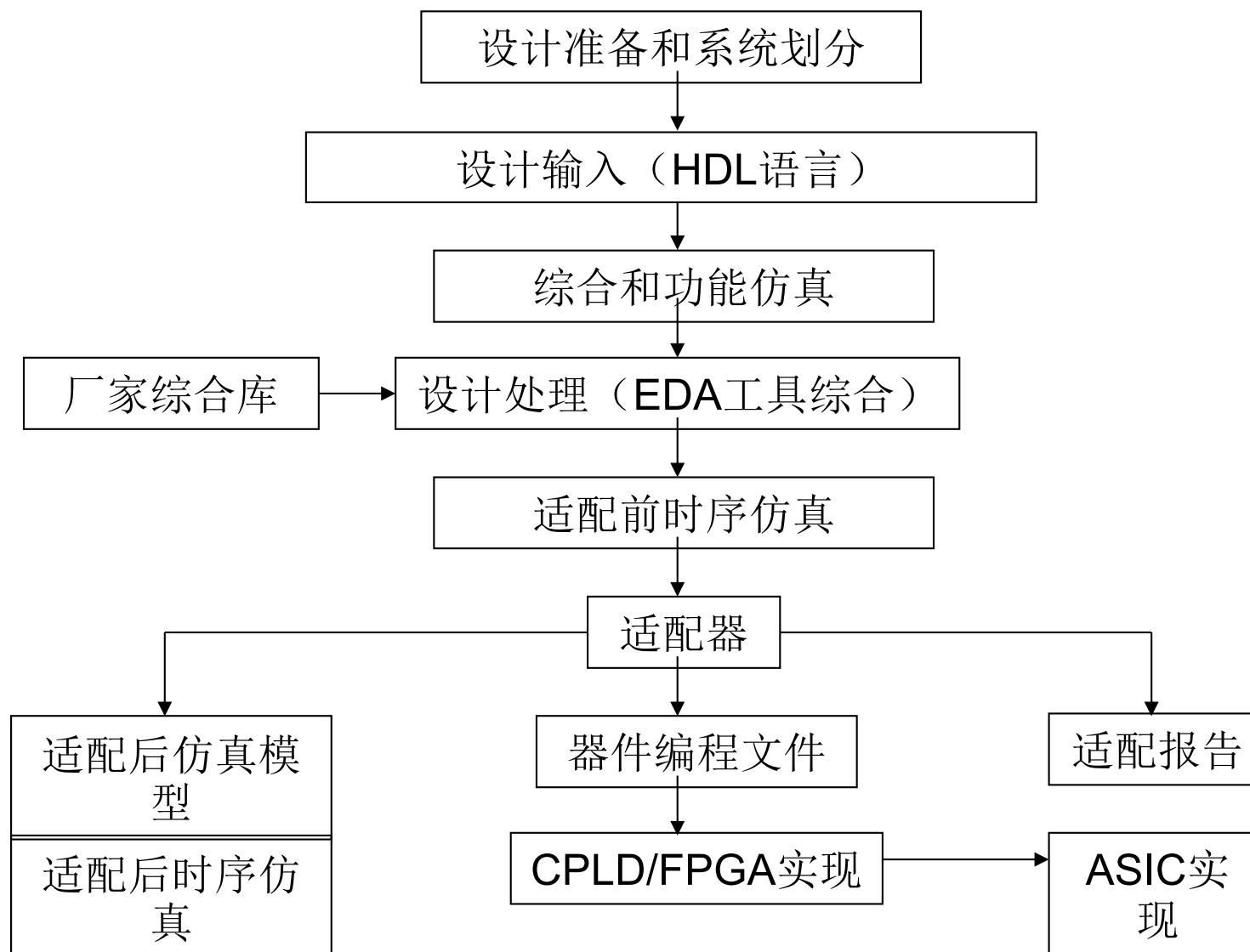
硬件描述语言设计流程-下载到FPGA



上海交通大学
Shanghai Jiao Tong University



硬件描述语言设计流程总结





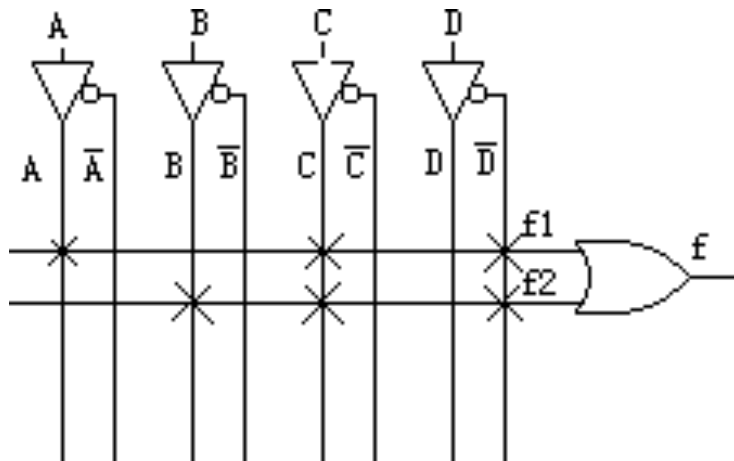
□ 组合逻辑实现方式：

- 基于乘积项 (Product-Term)的PLD结构
Lattice的SPLD及Cypress的大部分产品
Altera的CPLD: MAX7000, MAX3000系列, MAXII
Xilinx的CPLD: XC9500系列
- 基于查找表 (LUT, Look Up Table)的FPGA结构
XILINX 的Virtex系列
Altera的stratix系列

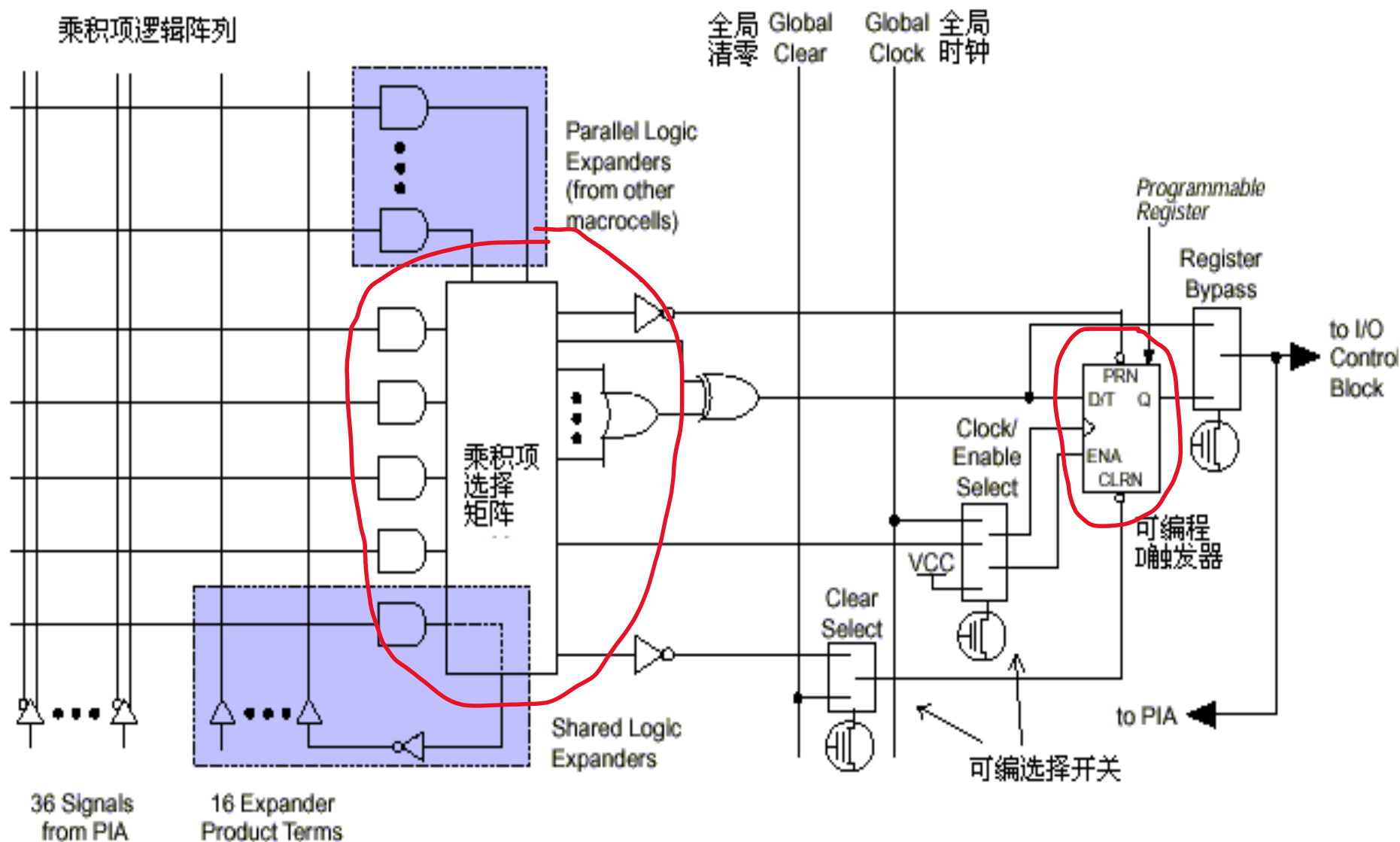
□ 时序逻辑实现方式： D-触发器

```

graph LR
    A --> OR2
    B --> OR2
    C --> OR2
    D --> OR2
    OR2 --> AND3
    D --> NOT
    NOT --> AND3
    AND3 --> DFF[D]
    CLK --> DFF
    DFF --> OUT
    style DFF fill:#fff,stroke:#000,stroke-width:1px
  
```

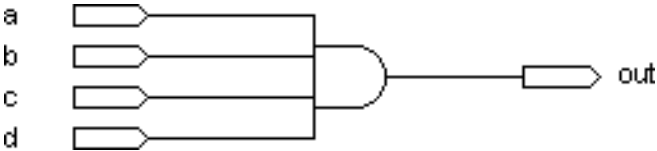
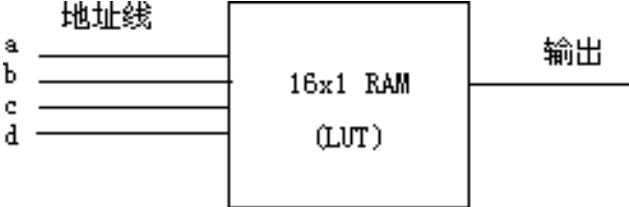


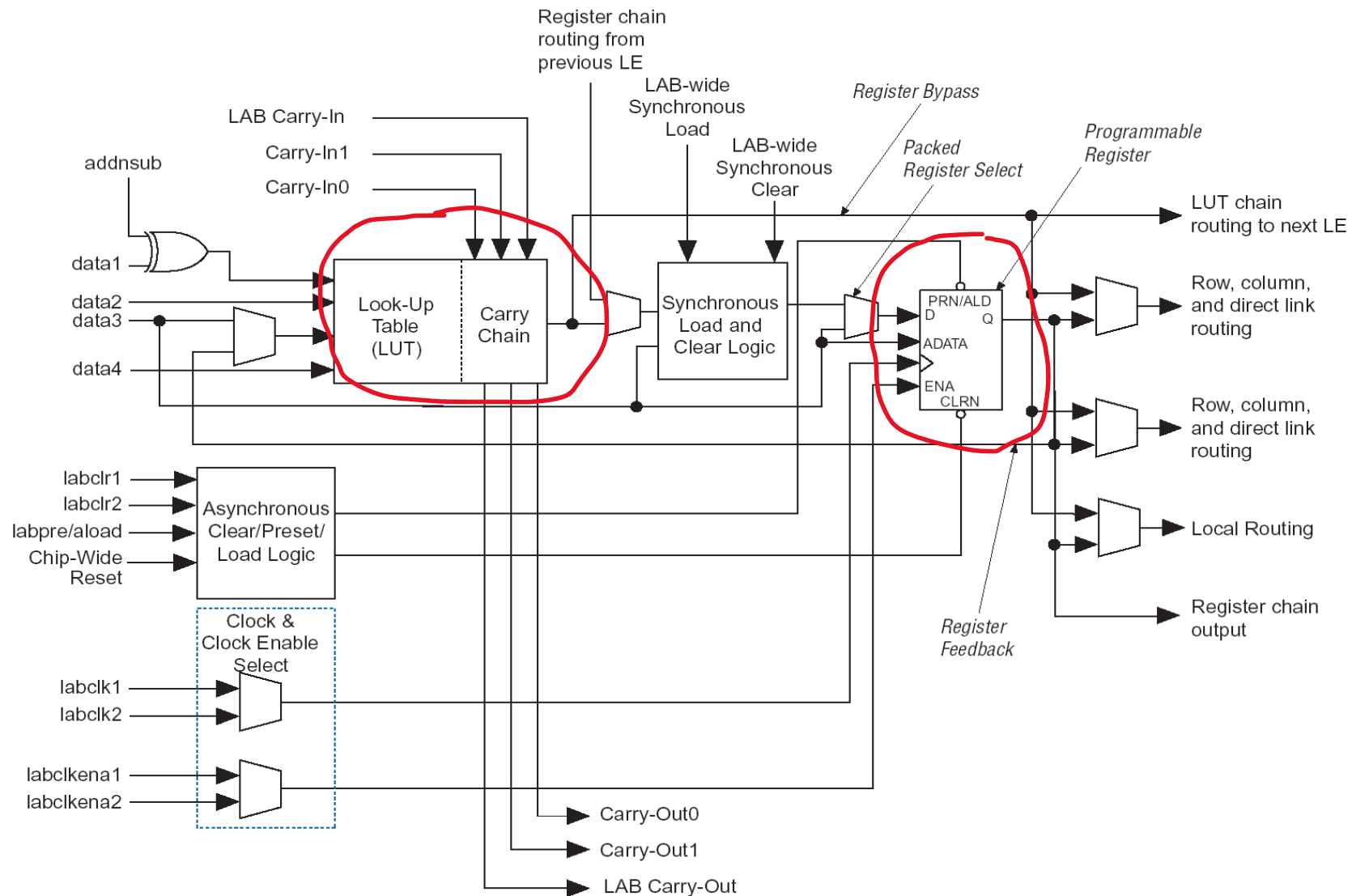
乘积项实现-CPLD



基于查找表的实现

$$\text{Out} = a * b * c * d$$

实际逻辑电路		LUT的实现方式	
			
a,b,c,d 输入	逻辑输出	地址	RAM中存储的内容
0000	0	0000	0
0001	0	0001	0
....	0	...	0
1111	1	1111	1



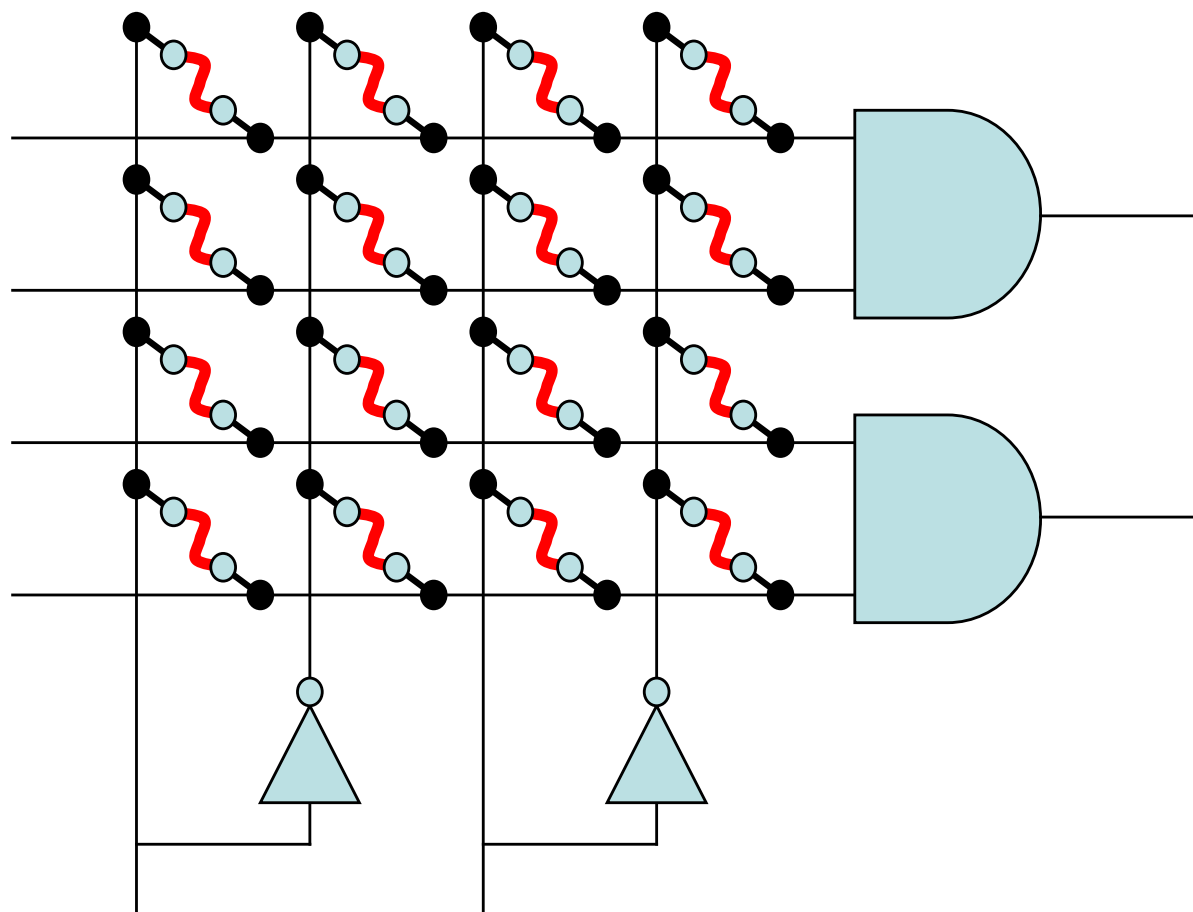


- Fuse Type
 - Fuse
 - Antifuse
- ROM Type
 - EEPROM
 - Flash
- SRAM

反熔丝工艺



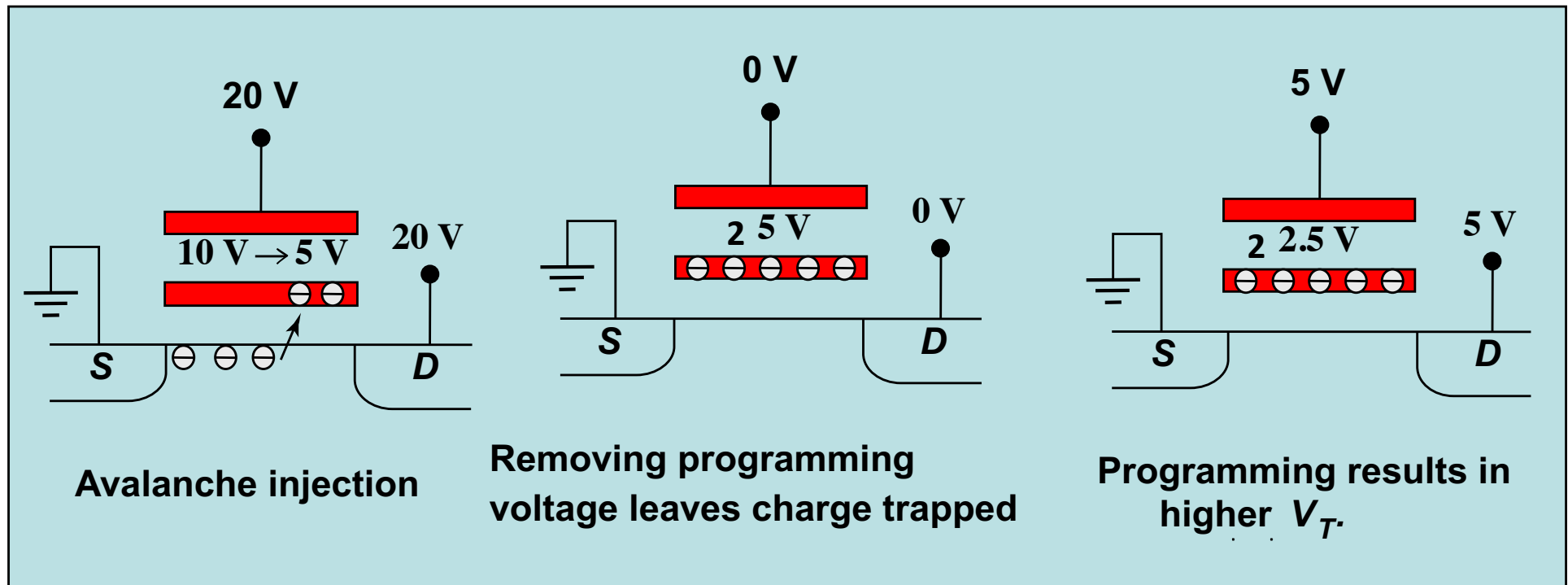
- 每个编程互连节点上有熔丝，需要连接，保留熔丝；若需断开，则用比工作电流大得多的编程电流烧断熔丝。
- 一次性编程
- 熔丝占芯片面积较大



EPROM-FLASH工艺



上海交通大学
Shanghai Jiao Tong University

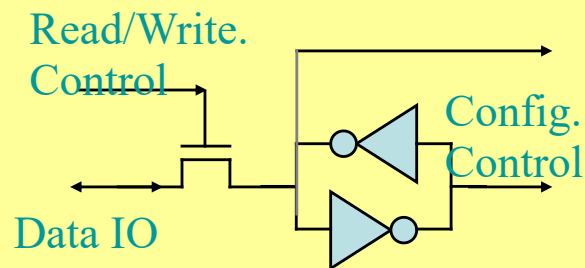


浮栅晶体管编程：利用浮栅存储电荷来保存数据

非易失可重复擦除器件：GAL, CPLD

EPROM 紫外线擦除

Flash工艺电可擦除



SRAM, 静态配置存储器, 易失元件, Xilinx, ALTERA FPGA
每次加电必须重新配置, 方便在线重置

FPGA和CPLD的对比

	CPLD	FPGA
组合逻辑的实现方法	乘积项 (product-term) , 查找表 (LUT, Look up table)	查找表 (LUT, look up table)
编程元素	非易失性 (Flash, EEPROM)	易失性 (SRAM)
特点	<ul style="list-style-type: none">•非易失性：即使切断电源，电路上的数据也不会丢失•立即上电：上电后立即开始运作•可在单芯片上运作	<ul style="list-style-type: none">•内建高性能硬宏功能<ul style="list-style-type: none">○ PLL○ 存储器模块○ DSP 模块•用最先进的技术实现高集成度，高性能•需要外部配置ROM
应用范围	偏向于简单的控制通道应用以及胶合逻辑	偏向于较复杂且高速的控制通道应用以及数据处理
集成度	小~中规模	中~大规模

不同FPGA工艺的特点比较



	SRAM	Flash	Anti-fuse
Volatile?	Yes	No	No
Reprogrammable?	Yes	Yes	No
Area (storage element size)	High (6 transistors)	Moderate (1 transistor)	Low (0 transistors)
Manufacturing process?	Standard CMOS	Flash Process	Anti-fuse needs special development
In-system programmable?	Yes	Yes	No
Switch resistance	$\sim 500\text{--}1000\ \Omega$	$\sim 500\text{--}1000\ \Omega$	$20\text{--}100\ \Omega$
Switch capacitance	$\sim 1\text{--}2\ \text{fF}$	$\sim 1\text{--}2\ \text{fF}$	$< 1\ \text{fF}$
Programming yield	100%	100%	$> 90\%$