

# 上海交通大学试卷(B卷)

(2022至2023 学年 第1学期)

班级号 \_\_\_\_\_ 学号 \_\_\_\_\_ 姓名 \_\_\_\_\_  
课程名称 硬件描述语言与系统仿真 成绩 \_\_\_\_\_

多项选择题答题表 (请将对应答案填入下表)

1	2	3	4	5	6	7	8	9	10	11

判断题答题表 (请将对应答案填入下表)

1	2	3	4	5	6	7	8	9	10	

一、判断题 (每题 2 分, 共 22 分)

- 1、FPGA中主要的逻辑可编程部分是基于与阵列和或阵列架构实现的。( T )
- 2、可编程逻辑器件属于一种全定制的芯片, 可以通过多种硬件描述语言根据设计要求实现期望的功能。( F ) PLD是半定制芯片, 留了一部分给开发者编程实现硬件电路连接
- 3、FPGA中Block-RAM (BRAM) 模块是利用多个LUT的内部存储单元合并实现的。( F ) Block RAM是FPGA片内的存储单元, 具有小容量和高速的特点, 靠近运算单元, 类似于CASH。利用LUT实现的是分布式RAM(Distributed RAM)。

- 3、FPGA中Block-RAM（BRAM）模块是利用多个LUT的内部存储单元合并实现的。（    ）
- 4、通过编程，FPGA的同一个Bank的多个IO管脚可根据需要灵活地同时设置为不同的电压模式。（ F    ）    FPGA中的I/O可被分为多个Bank，但分好后每个Bank只支持一种电压模式或I/O接口标准  
即分布式RAM
- 5、FPGA中多个LUT内部的存储单元可以用于实现小容量RAM功能。（    T    ）
- 6、取反和取绝对值优先级较高，与、或逻辑运算的优先级低于算术运算的优先级。  
（    T    ）
- 7、VHDL语言中的时间物理量是无法综合的。（    T    ）
- 8、FPGA的特殊硬件资源比如Block-RAM，PLL模块等可以在VHDL语言里直接使用。（通过component/port map语法）（ F? ）
- 9、VHDL语言中的integer类型的信号是可以综合的。（    T    ）
- 10、在VHDL语言设计中，OUT类型的端口信号不可作为并发语句中其他信号的赋值输入。（ T    ）    只有BUFFER可以
- 11、process语句的敏感表中信号顺序可以任意排列而不影响电路功能。（    T    ）

我承诺，我将严格遵守考试纪律。

承诺人：\_\_\_\_\_

题号										
得分										
批阅人(流水阅卷教师签名处)										

二、多项选择题（注意，每题会对应有1个或者多个选择答案，每题2分，共22

- 1、可编程器件在片内存储逻辑功能的手段有（ D ） B、C、E为片外存储单元  
A. 反熔丝 B. Flash 单元 C. SRAM 存储单元  
D、 DRAM 存储单元 E、 DDR-SDRAM
- 2、一个 3 输入 1 输出 LUT，如果不考虑输入管脚的可交换性，最多可以实现多少种不同的逻辑真值表？（ B ）  
A. 3 B. 8 C. 64 D. 256 E. 以上都不是
- 3、FPGA 中的时钟管理模块能够实现下面哪些功能？（ ABCD ）  
A. 0-延迟时钟信号缓冲方法  
B. 合成低于输入频率的片内时钟  
C. 合成高于输入频率的片内时钟  
D. 同时生成多个不同频率的片内时钟信号
- 4、课程实验用到的 Diamond 是（ D ）。  
A. CPLD 器件 B. 嵌入式处理器 C. FPGA 板卡 D. EDA 设计软件
- 5、（ BEF ）肯定不属于 FPGA 的内部资源。  
A. IO block B. CPLD C. DSP block D. SLICE E. DLL F. SERDES
- 6、关于 FPGA 中的 CPU 软核 IP，以下哪些描述是正确的？（ BD ）  
A. 在设计过程中以固定的 IC 版图实现  
B. 以 HDL 源代码或网表形式提供，可由开发者定制化改造  
C. 以 CPU 程序软件形式提供，可由开发者定制化改造  
D. 相比功能相同的 CPU 硬核 IP，软核实现的 IP 速度低、占用芯片面积更小
- 7、FPGA 内部的 DSP 模块具备（ AB ）  
A. 数字信号处理器软核 B. 可编程乘加器硬核  
C. 可编程乘法器软件 D. 可编程加法器软件

8、将一个组合电路实现的乘法器进行流水化改造后，能够（ ）

- A. 提高输入输出数据的吞吐率
- B. 降低运行功耗
- C. 降低从输入数据得到对应的计算结果的时间延迟
- D. 以上都不是

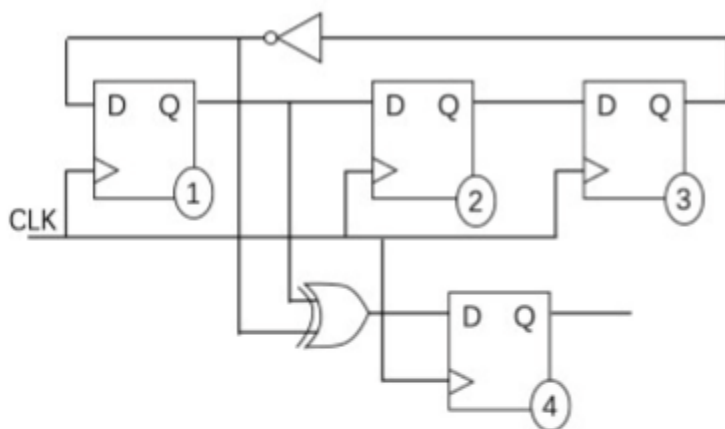
9、可编程器件的 JTAG 管脚不可以用于（ ）

- A. 下载编程数据
- B. 连接 USB 信号
- C. 传输调试信息
- D. 通过配置当作普通 IO 管脚使用
- E. 当作额外的电源管脚使用

10、VHDL 语言中 process 语句能够描述（ ABCD）。

- A. 纯组合逻辑电路
- B. Mealy 型和 Moore 型状态机
- C. 锁存器
- D. 异步计数器电路

11、分析下面的电路，考虑 D 触发器的时序参数分别为：建立时间  $t_{setup} = 10ns$ ，保持时间  $t_{hold} = 2ns$ ，时钟到输出延迟  $t_{clock-to-output} = 3ns$ ，并且假设所有的门电路延迟 6ns。



下面哪些说法是对的？（ ）

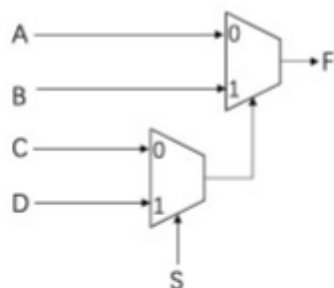
- A. 上述电路的关键路径是从触发器 3 的 Q 端经过非门到触发器 1 的 D 端
- B. 上述电路的关键路径是从触发器 1 的 Q 端经过异或门到触发器 4 的 D 端
- C. 上述电路的最高运行频率是 40MHz
- D. 上述电路的最小时钟上升沿间隔是 27ns
- E. 以上都不对

### 三、简答题（每题 5 分，共 20 分）

1、在FPGA设计中，时钟信号使用要注意遵循那些设计准则？

2、当你的设计电路运行速度无法满足所设定的时钟频率时，你能想到哪些措施，在不改变电路逻辑功能的前提下，提高时钟频率？

3、使用（单条）并发语句实现下面的电路

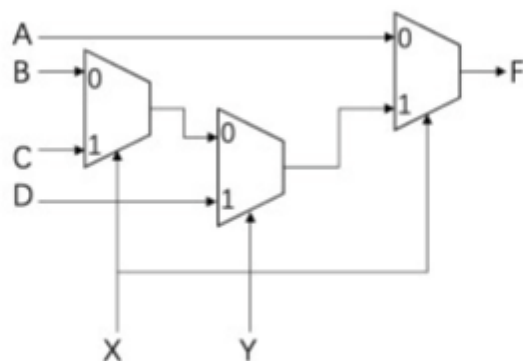


— 在下面填入你的代码，注意：使用并发“赋值”语句

4、什么是逻辑综合，输入有哪些内容？输出是什么？不可综合的电路行为级模型有什么用？

#### 四、综合应用题（36 分）

1、观察下面的电路，使用 if-elsif 形式的语句实现：（6 分）



```
process (A,B,C,D,X,Y)
begin
    -- 请在下面 if 和 end if 之间填写你的代码
    if

        end if;
end process;
```

2、检查下面代码的每一行内容，指出是否有错误，对于错误的代码，请写出修正建议（10 分）

	该列是待查错代码	在此列填入你对错误代码的修正 (如果认为某行代码正确，则填“该行正确”)
1	lib ieee;	
2	import ieee.std_logic_1164.*	
3	import ieee.std_logic_unsigned.all;	
4	entity counter is	
5	begin	
6	generic (MAX : int =100)	
7	port (	
8	clock,reset:in std_logic,	
9	dout:out std_logic_vector(15 to 0))	
10	end	
11	architecture of counter is	
12	begin	
13	process (clock, reset)	
14	is	
15	if rising_edge(clock)	
16	if reset == 1	
17	dout = 0;	
18	elif count == MAX	
19	dout = 0;	
20	else	
21	dout ++;	
22	end;	
23	end;	
24	end;	
25	end;	



3、参考课程实验一对按键的处理，补充完整以下基于小脚丫核心板设计的流水灯程序。功能为：按键按下时根据读取的 4 个按键值，从 8 个一列的 LED 最下方一个开始点亮对应个数的 LED 灯，按下 key1，点亮 1 个灯，按下 key2，点亮两个，以此类推；无按键按下时候，每过 1 秒 LED 输出从下到上移动 1 位构成流水灯。（假设一次只能按一个按键，小脚丫板上时钟为 12MHz。管脚对应情况参见下列注释行。）（10 分）

```
library ieee;
use ieee.std_logic_1164.all;
-----
entity keyboard is
    port
    (   clk : in std_logic;    --小脚丫板级晶振时钟 12MHz
        btn : in std_logic_vector(3 downto 0);
        --4 个按键 3 downto 0 从上到下对应 key1-4
        LED : buffer std_logic_vector(1 to 8)
        --8 个流水灯 LED (1 to 8) 在板上由上到下对应 LED1-8, LED1 对应 FPGA
        N13 管脚，低有效点亮
    );
end keyboard;
-----
architecture keyboard_arch of keyboard is
    signal btn_sample    : std_logic_vector(3 downto 0); --按键采样
    signal cnt           : integer;                      --用于 1s 计时

begin
    process(clk)
    begin
        if clk'event and clk = '1' then
            btn_sample <= btn;    --按键采样缓存
            --请在下面填入代码
            --请按需补充
        end if;
    end process;
end keyboard_arch;
```

---

```
end if;  
end process;
```

   B 卷 总 10 页 第   7   页

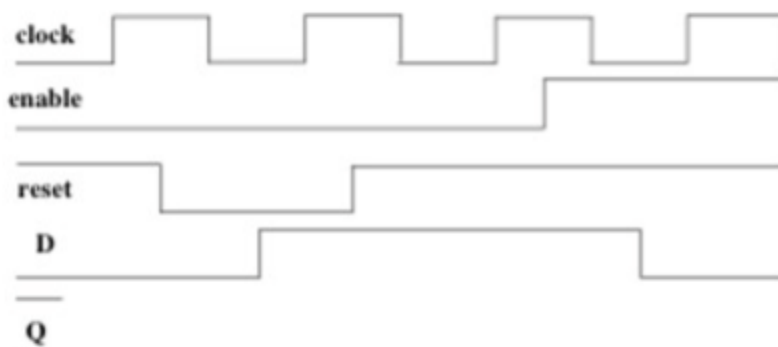
```
process(clk)  
begin  
    if clk'event and clk = '1' then      --请按需补充  
        case _____ is  
            when "1110" =>    -- 点亮 LED 最下面 1 个灯  
                LED <= _____;  
            when "1101" =>    -- 点亮 LED 最下面 2 个灯  
                LED <= _____;  
            when "1011" =>    -- 点亮 LED 最下面 3 个灯  
                _____;  
            when "0111" =>    -- 点亮 LED 最下面 4 个灯  
                _____;  
            when others =>    -- 每 1s 流水灯上移一次
```

```
        _____  
        end case;  
    end if;  
end process;  
end keyboard_arch;
```

4、分析以下 2 段 VHDL 代码，哪段可能综合成 D 触发器，哪段可能综合出锁存器？为什么？补充对应时序图中 Q 的时序（假定不考虑信号的硬件延时且 Q 初始值为 1）。（10 分）

第一段

```
process (reset, enable,D,clock)
  if (reset = '0') then
    Q <='0';
  elsif (clock = '1' and enable = '0') then
    Q <=D;
  else
    Q <=Q;
  end if;
end process;
```



第二段

```
process (reset, enable,D,clock)
  if ( clock'event and clock = '0' ) then
    if (reset = '0') then
      Q <='0';
    else
      if (enable = '0' ) then
        Q <=D;
      end if;
    end if;
  end if;
end process;
```