



Universidad Nacional Autónoma de
México

Facultad de Ingeniería

División de Ingeniería Eléctrica

Laboratorio de Diseño Digital Moderno

PRÁCTICA 2: LENGUAJE DE DESCRIPCIÓN
DE HARDWARE VHDL

M.I Vicente Flores Olvera

Bautista Pérez Brian Jassiel
Serralde Flores Andrea

14 de junio de 2021

1. 1. Objetivo

2. Previo

3. Desarrollo de la práctica

3.1. Práctica 2A

Programar las funciones mostradas, en un formato SOP y POS mínimo (reducido) en forma de flujo de datos, para su posterior simulación dentro de la plataforma Quartus II.

$$f(xyzt) = (x + \bar{x}y + \bar{y}t)(x + (\bar{x}y)z) \quad (1)$$

Función con formato de Producto de Sumas 1.

$$f(uvtw) = vt(u + t\bar{w})(u + \bar{w}) + wu(v + t) \quad (2)$$

Función con formato de Suma de Productos 2.

3.1.1. Implementación en Quartus II

```
1  --Entrada basica
2  library ieee;
3  use ieee.std_logic_1164.all;
4
5  --Desarrollo de la entidad
6  entity codvhd1 is
7  | port(E:in bit_vector(3 downto 0);
8  |      S, P: out bit);
9  | end;
10
11 architecture behavioural of codvhd1 is
12 | begin
13 |
14 | P<=(E(3) or E(1));
15 | S<=((E(2) and E(1) and E(3)) or (E(2) and E(1) and not E(0)) or
16 |      (E(0) and E(1) and E(3)) or (E(0) and E(2) and E(3)));
17 | end;
```

(c) Implementación de las funciones en Quartus II

3.2. Práctica 2B

Programar las funciones expresadas en formato POS Y SOP canónicas y mínimas del previo en forma de flujo de datos, para su posterior simulación dentro de la plataforma Quartus II.

4. Conclusiones