

- **Introducción**
- **Caracterización de las familias lógicas**
 - Característica de transferencia
 - Características de entrada-salida
 - Inmunidad al ruido
 - Consumo de potencia
 - Velocidad de operación
 - Flexibilidad lógica
 - Capacidad de integración

- **Familia lógica ideal**
- **Familias lógicas bipolares**
 - Familia RTL
 - Familia DTL
 - Familia TTL
- **Familias lógicas MOS**
 - Familia NMOS
 - Familia CMOS

Introducción

- **Puerta lógica**

Circuito electrónico con uno o varios puertos de entrada y uno o varios puertos de salida que proporciona señales digitales en sus salidas cuando a sus entradas se aplican señales digitales, de forma que cada salida representa una función booleana de las señales de entrada.

- **Familia Lógica**

Conjunto de circuitos, cada uno de los cuales implementa una función booleana diferente, y que tienen en común las siguientes características:

- a) Tipo de elemento activo (transistores) con que está realizado.
- b) Estructura de circuito característica. Una parte del circuito, normalmente la de entrada o la de salida, tiene una topología común.
- c) Tecnología utilizada en la fabricación.

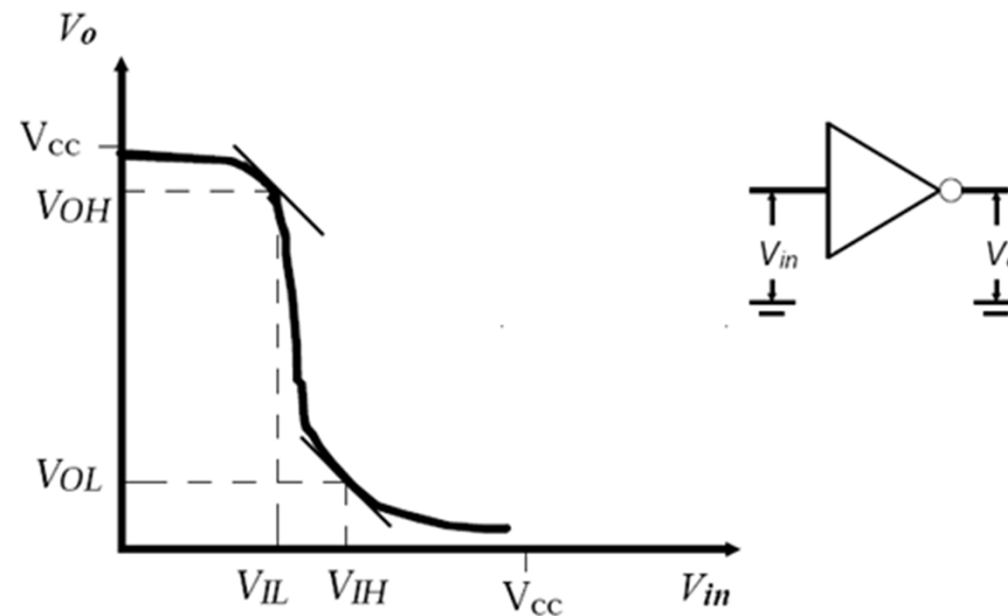
Caracterización de las familias lógicas

- **Característica de transferencia**
- **Características de entrada-salida**
- **Inmunidad al ruido**
- **Consumo de energía**
- **Velocidad de operación**
- **Flexibilidad lógica**
- **Capacidad de integración**

- **Característica de transferencia**

Consiste en representar gráficamente la tensión de salida V_o en función de la tensión de entrada V_{in}

Para comparar la característica de transferencia de dos familias lógicas se elige como representante de cada una al inversor



- **Parámetros de la característica de transferencia**

V_{OL} Máxima tensión de salida correspondiente a 0 lógico que proporciona la puerta.

V_{OH} Mínima tensión de salida correspondiente a 1 lógico que proporciona la puerta.

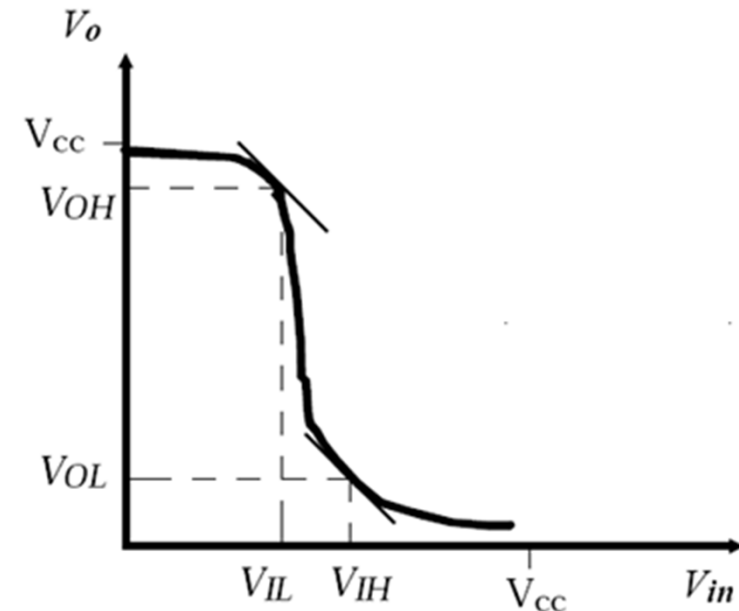
V_{IL} Máxima tensión correspondiente a 0 lógico que acepta la puerta en su entrada.

V_{IH} Mínima tensión correspondiente a 1 lógico que acepta la puerta en su entrada.

Ancho de transición $T_W = V_{IH} - V_{IL}$

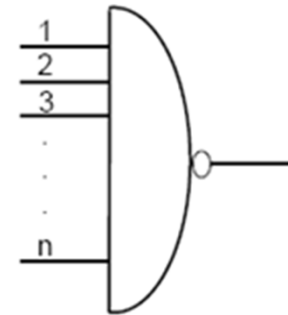
Excursión lógica $L_S = V_{OH} - V_{OL}$

Debe cumplirse que: $V_{IH} < V_{OH}$, $V_{IL} > V_{OL}$



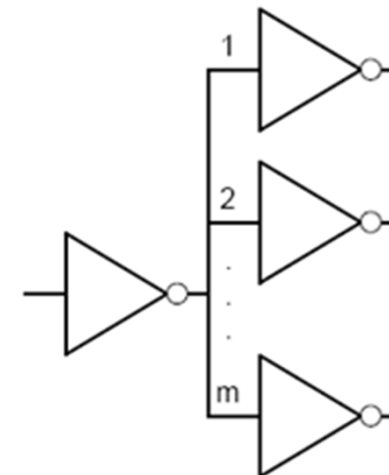
- Características entrada-salida

FAN-IN: Es el número máximo de entradas que puede tener una puerta lógica.



$$\text{FAN-IN} = n$$

FAN-OUT: Es el número máximo de entradas que pueden conectarse a una misma salida de una puerta lógica.



$$\text{FAN-OUT} = m$$

- Inmunidad al ruido

Una señal eléctrica de ruido consiste en una perturbación aleatoria, que puede mezclarse con una señal eléctrica portadora de información, pudiendo provocar la pérdida de parte de esa información.

Las señales digitales son mucho más inmunes al ruido que las analógicas.

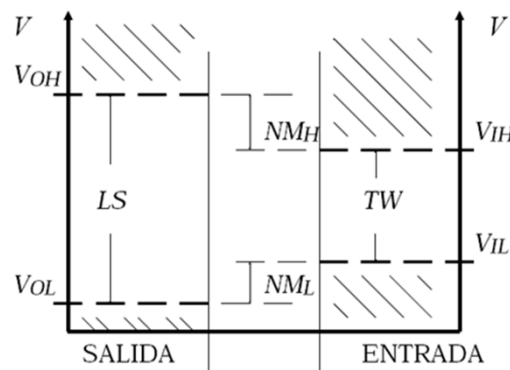
Margen de ruido de 1 lógico o alto:

$$NM_H = V_{OH} - V_{IH}$$

Margen de ruido de 0 lógico o bajo:

$$NM_L = V_{IL} - V_{OL}$$

El valor más pequeño de los dos es el que determina la inmunidad al ruido de una familia lógica.



- **Consumo de potencia**

Se evalúa calculando la potencia eléctrica consumida por una puerta en dos situaciones:

- a) Cuando no se producen cambios en las entradas

Potencia estática

- b) Cuando las entradas cambian a una frecuencia determinada

Potencia dinámica a esa frecuencia

- **Velocidad de operación**

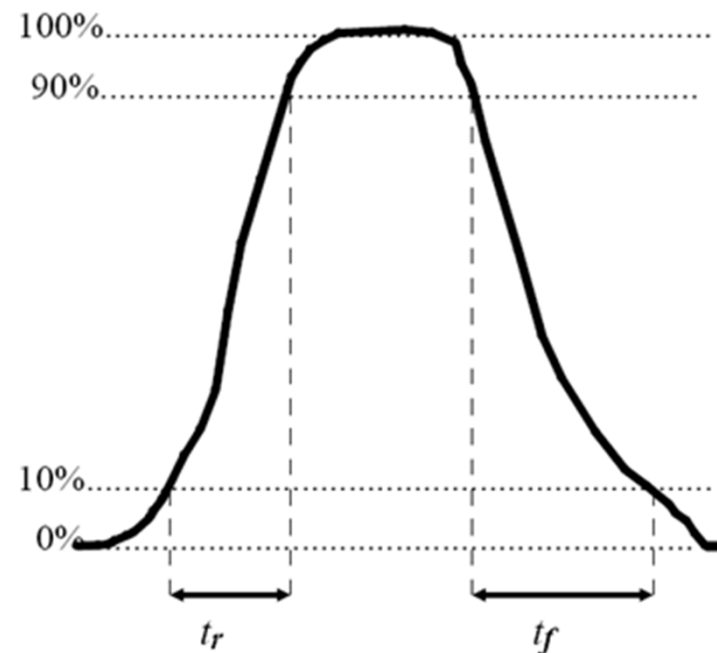
Las transiciones entre los valores de 0 y 1 lógicos no se producen de forma instantánea, sino que transcurre un determinado intervalo de tiempo

La variación de la señal de salida siempre se produce después de que haya cambiado la señal de entrada.

Tiempo de subida (t_r)

Tiempo de bajada (t_f)

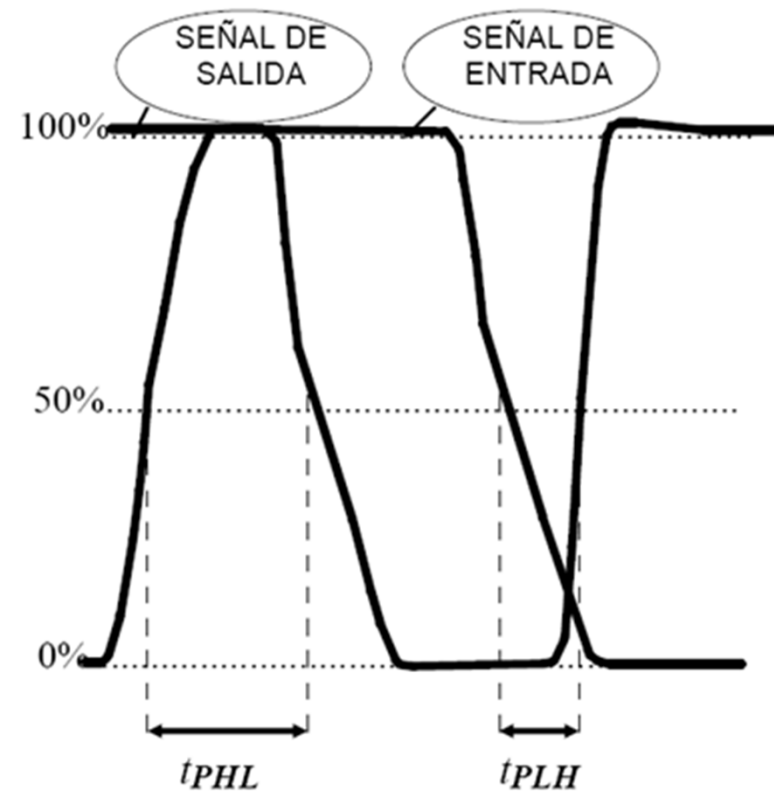
Tiempo transcurrido entre el paso de la señal de salida de una puerta por el valor de tensión correspondiente al 10% de la diferencia entre los valores alto y bajo de tensión de la señal y el paso de la misma señal por el 90% de dicha diferencia.



Tiempo de propagación alto-bajo (t_{PHL})

Tiempo de propagación bajo-alto (t_{PLH})

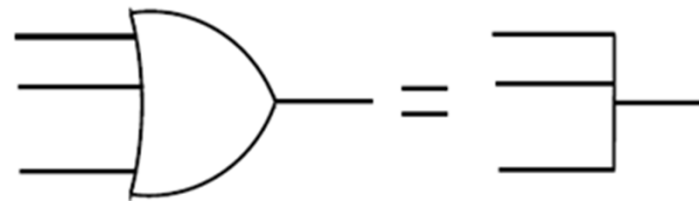
Tiempo transcurrido entre el cambio de estado de la señal de entrada y el de la de salida cuando ésta pasa del estado alto al bajo o bajo al alto, medido al paso de las señales por el 50% de la diferencia entre sus valores alto y bajo de tensión



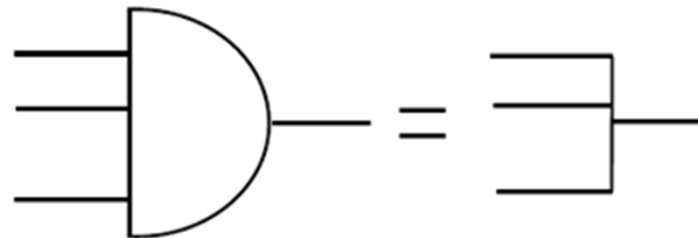
- **Flexibilidad lógica**

Una familia lógica es más flexible cuanto más puertas que implementen funciones booleanas diferentes contenga.

Capacidad de realizar algunas funciones booleanas sin necesidad de utilizar puertas, simplemente uniendo las salidas de otras puertas.



WIRED-OR



WIRED-AND

- **Capacidad de integración**

ÁREA ocupada por cada puerta, que depende a su vez del tipo y del número de transistores utilizados para realizarla. Cuanto menor sea este área mayor será la capacidad de integración a gran escala.

CONSUMO de potencia. Si el consumo de cada puerta es elevado se generará mucho calor en el chip debido al efecto Joule, de forma que si esta calor no es disipado convenientemente se producirá un aumento de temperatura que puede provocar un funcionamiento anómalo de los circuitos.

Escalas de integración:

SSI (Pequeña escala): menor de 10 puertas

MSI (Media escala): entre 10 y 100 puertas.

LSI (Alta escala): entre 100 y 10.000 puertas.

VLSI (Muy alta escala): a partir de 10.000 puertas.

Familia lógica ideal

- Familia lógica ideal

$$V_{OH} = V_{CC} ; V_{OL} = 0 \Rightarrow L_S = V_{OH} - V_{OL} = V_{CC}$$

$$V_{IH} = V_{IL} = \frac{V_{CC}}{2} \Rightarrow T_W = V_{IH} - V_{IL} = 0$$

$$FAN-IN \rightarrow \infty ; FAN-OUT \rightarrow \infty$$

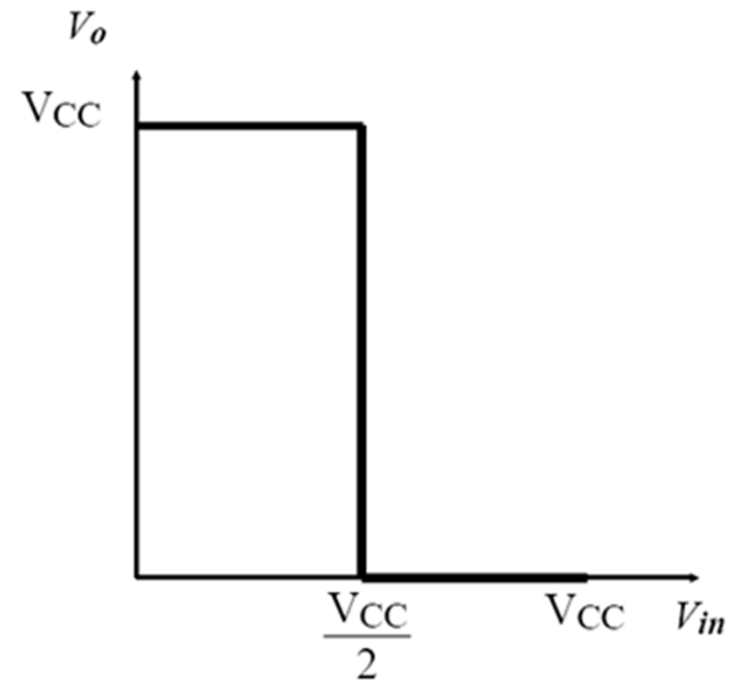
$$NM_H = V_{OH} - V_{IH} = V_{CC} - \frac{V_{CC}}{2} = \frac{V_{CC}}{2}$$

$$NM_L = V_{IL} - V_{OL} = \frac{V_{CC}}{2} - 0 = \frac{V_{CC}}{2}$$

Consumo de potencia estática = 0

Consumo de potencia dinámica $\rightarrow 0$

$$t_r \rightarrow 0 ; t_f \rightarrow 0 ; t_{PHL} \rightarrow 0 ; t_{PLH} \rightarrow 0$$

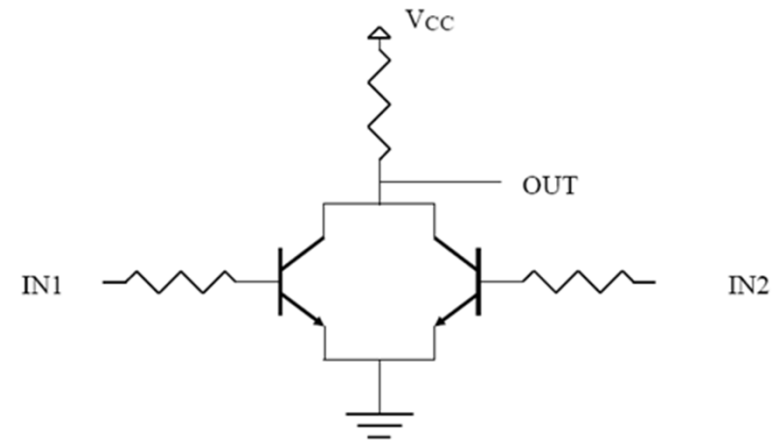


Familias lógicas bipolares

- **Familia RTL**

Está constituida exclusivamente por resistencias y transistores

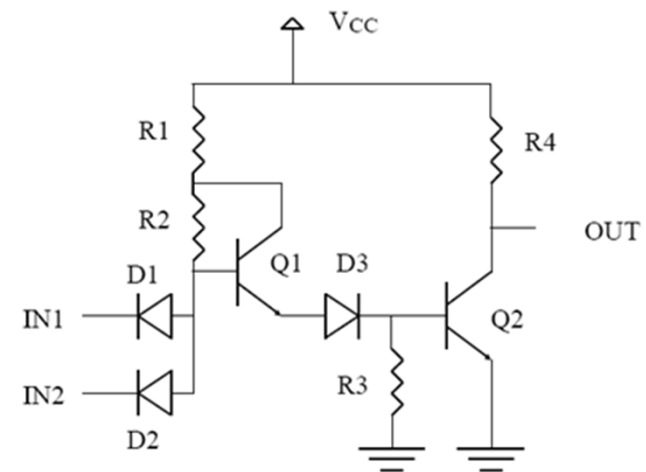
Su puerta básica es la NOR



- **Familia DTL**

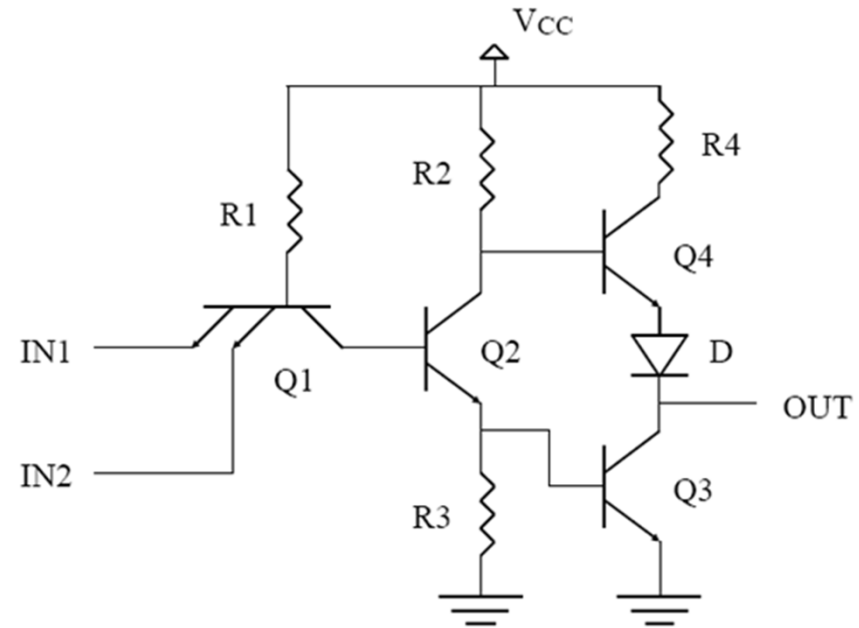
Usa diodos y transistores bipolares

Su puertas más representativa es la NAND



- Familia TTL

Es una evolución de la DTL, que mejora el FAN-OUT y es mucho más rápida que la DTL.



Familias lógicas MOS

- Familia NMOS

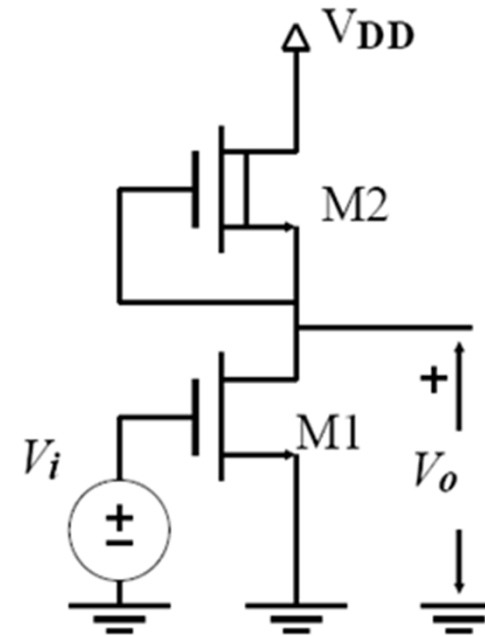
El inversor está formado por dos transistores NMOS, uno de acumulación (M1) cuyo terminal de puerta es la entrada del circuito, denominado transistor base y uno de depleción (M2), denominado transistor de carga, cuya fuente está conectada al drenador del transistor base

Para M2

$$\left. \begin{array}{l} V_{GS2} = 0 \\ V_P < 0 \end{array} \right\} \Rightarrow V_{GS2} > V_P$$

M2 nunca en corte, siempre estará en óhmica o saturación

Otra característica de esta puerta es que la intensidad que circula por M1 (I_{D1}) es siempre igual a la que circula por M2 (I_{D2}), ya que la intensidad de puerta es siempre cero en cualquier MOSFET.



- $V_i = '0'$

$V_i = V_{GS1} = 0 < V_T \Rightarrow M1 \text{ en corte} \Rightarrow I_{D1} = I_{D2} = 0.$

$V_{GS2} = 0 \Rightarrow M2 \text{ no corte} \Rightarrow M2 \text{ en óhmica o saturación}$

M2 en saturación

$$I_{D2} = \frac{K_{N2}}{2} (V_{GS2} - V_P)^2 = 0 \Rightarrow (V_{GS2} - V_P) = 0$$

$V_{GS2} = 0 \text{ y } V_P < 0 \Rightarrow \text{Imposible}$

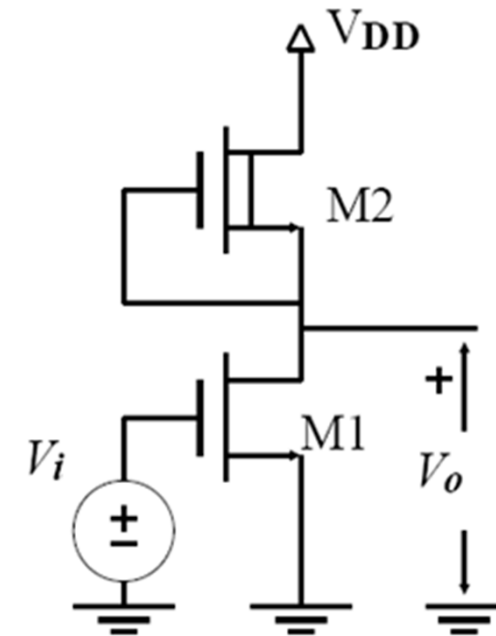
M2 en Óhmica

$$I_{D2} = K_{N2} \left(V_{GS2} - V_P - \frac{V_{DS2}}{2} \right) V_{DS2} = 0$$

Hay 2 posibilidades:

$$1) \left(V_{GS2} - V_P - \frac{V_{DS2}}{2} \right) = 0 \Rightarrow V_{DS2} = -2V_P$$

$$2) V_{DS2} = 0$$



M2 en Óhmica $\Rightarrow V_{DS2} \leq V_{GS2} - V_P = -V_P$

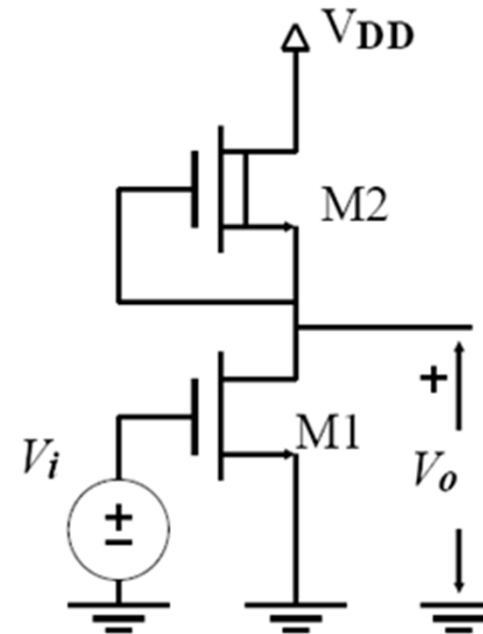
$$1) V_{DS2} = -2 V_P \Rightarrow -2 V_P \leq -V_P \Rightarrow 2 V_P \geq V_P$$

Como $V_P < 0 \Rightarrow$ Imposible

$$2) V_{DS2} = 0 \leq -V_P \text{ Siempre}$$

Por tanto: $V_{DS2} = 0$

Tensión de salida: $V_0 = V_{DD} - V_{DS2} = V_{DD} = '1'$



Importante $I_{D1} = I_{D2} = 0 \Rightarrow$ consumo de potencia en este estado es cero

- $V_i = '1'$

$$V_i = V_{GS1} = V_{DD} > V_T \Rightarrow M1 \text{ en conducción}$$

Supongamos M1 en óhmica y M2 en saturación

$$M1: V_{DS1} \leq V_{GS1} - V_T \Rightarrow V_0 \leq V_{DD} - V_T$$

$$M2: V_{DS2} \geq V_{GS2} - V_P \Rightarrow V_{DD} - V_0 \geq -V_P \Rightarrow V_0 \leq V_{DD} - V_P$$

$$I_{D1} = K_{N1} \left(V_{GS1} - V_T - \frac{V_{DS1}}{2} \right) V_{DS1} = I_{D2} = \frac{K_{N2}}{2} (V_{GS2} - V_P)^2$$

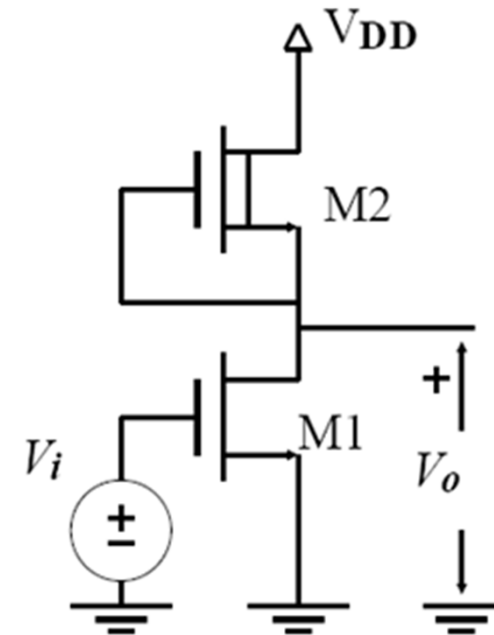
$$K_{N1} \left(V_{DD} - V_T - \frac{V_0}{2} \right) V_0 = \frac{K_{N2}}{2} (-V_P)^2$$

$$V_0 = V_{DD} - V_T - \sqrt{(V_{DD} - V_T)^2 - \frac{K_{N2}}{K_{N1}} V_P^2} \left. \vphantom{V_0} \right\} \Rightarrow V_0 \cong V_{DD} - V_T - \sqrt{(V_{DD} - V_T)^2} \cong 0$$

Si $K_{N1} \gg K_{N2}$

Importante

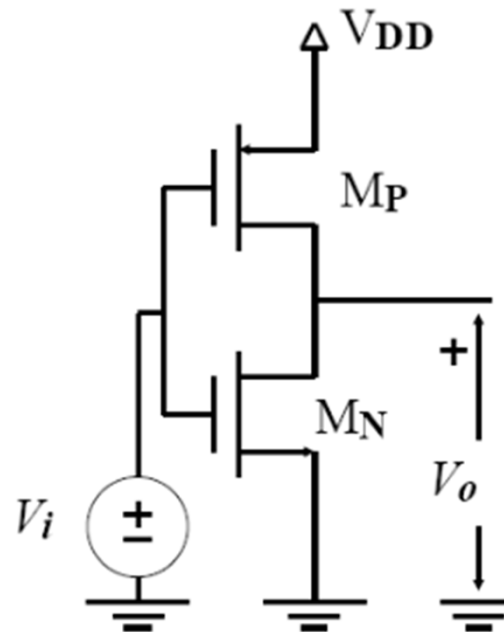
$$\text{Potencia: } P = V_{DD} I_{D2} = V_{DD} \frac{K_{N2}}{2} (-V_P)^2 \Rightarrow \text{Consumo de potencia en este estado}$$



- Familia CMOS

El inversor CMOS está formado por dos transistores, el transistor de carga es PMOS y el de entrada es un NMOS (ambos de acumulación).

Al igual que en el inversor NMOS, la intensidad que circula por ambos transistores es la misma: $I_S = I_D$



• $V_i = '0'$

$$V_i = V_{GS} = 0 < V_T \Rightarrow M_N \text{ en corte} \Rightarrow I_D = I_S = 0$$

$$V_{SG} = V_{DD} - V_i = V_{DD} > V_{TP} \Rightarrow M_P \text{ conducirá}$$

$$I_D = 0 \Rightarrow M_P \text{ en óhmica} \Rightarrow \begin{cases} V_{SD} \leq V_{SG} - V_{TP} \\ I_S = K_P \left(V_{SG} - V_{TP} - \frac{V_{SD}}{2} \right) V_{SD} = 0 \end{cases}$$

Hay 2 posibilidades:

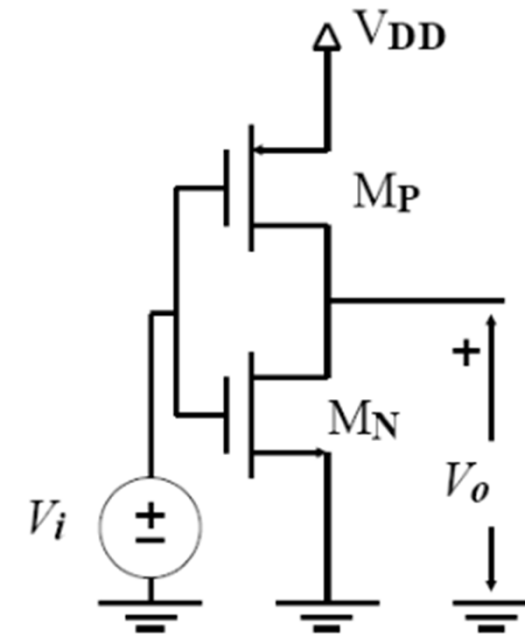
$$1) \left(V_{DD} - V_{TP} - \frac{V_{SD}}{2} \right) = 0 \Rightarrow V_{SD} = 2 (V_{DD} - V_{TP})$$

$$2) V_{SD} = 0$$

$$1) V_{SD} = 2 (V_{DD} - V_{TP}) \leq V_{DD} - V_{TP} \Rightarrow \text{Imposible}$$

$$2) 0 \leq V_{DD} - V_{TP} \Rightarrow V_{DD} \geq V_{TP} \Rightarrow \text{Correcto} \Rightarrow V_{SD} = 0 \Rightarrow V_o = V_{DD} - V_{SD} = V_{DD} = '1'$$

Importante $I_D = I_S = 0 \Rightarrow$ Consumo de potencia en este estado es cero



- $V_i = '1'$

$$V_i = V_{DD} \Rightarrow V_{SG} = V_{DD} - V_i = 0 \Rightarrow M_p \text{ en corte} \Rightarrow I_D = I_S = 0$$

$$V_{GS} = V_i = V_{DD} \Rightarrow M_N \text{ conducirá}$$

$$I_D = 0 \Rightarrow M_n \text{ en zona óhmica}$$

$$\text{Estudio igual que en el NMOS} \Rightarrow V_{DS} = 0 \quad V_0 = V_{DS} = 0$$

Importante $I_D = I_S = 0 \Rightarrow$ Consumo de potencia en este estado es cero

En un inversor CMOS el consumo en ambos estados es nulo \Rightarrow

El consumo de potencias en estático es cero \Rightarrow

Sólo consume energía durante las transiciones entre estados (potencia dinámica).