

TECNOLOGÍA DE COMPUTADORES. LABORATORIO. INSTRUCCIONES ADICIONALES.

Las siguientes instrucciones son de obligado cumplimiento. Se darán por no válidas aquellas prácticas que no se ajusten a estas normas.

De cara a agilizar la verificación y corrección de las prácticas, se va a exigir que se proporcione una versión de las mismas en el formato VHDL, quedando incluidos los ficheros VHDL en el proyecto Xilinx a entregar. La generación de los ficheros en este formato se realiza desde la propia herramienta Xilinx Foundation Series, y el alumno simplemente tendrá que exportar su práctica a dicho formato.

A continuación se ofrecen unas sencillas reglas de cómo hacer esto.

¿Qué es VHDL?

Del acrónimo *VLSI¹ Hardware Description Language*, VHDL es un lenguaje de descripción de hardware orientado a la descripción en alto nivel de sistemas digitales.

¿Cuándo he de exportar mi práctica a VHDL?

Antes de realizar la entrega de la práctica en el servidor, una vez finalizada la práctica en cuestión y comprobado que funciona correctamente.

Los ficheros VHDL generados, quedarán en el directorio del proyecto y por tanto irán incluidos en el archivo ZIP obtenido mediante la opción **File → Archive Project**.

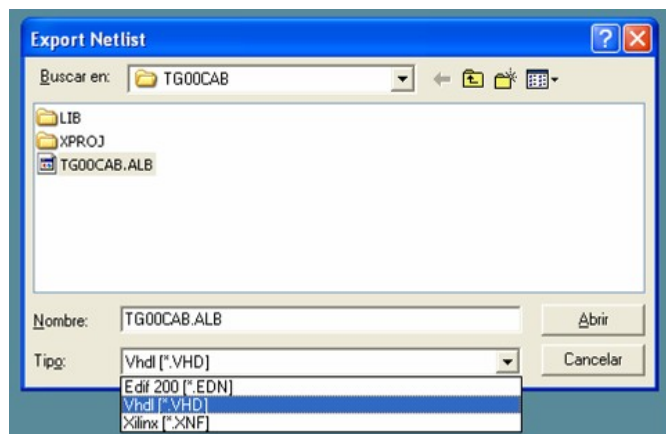
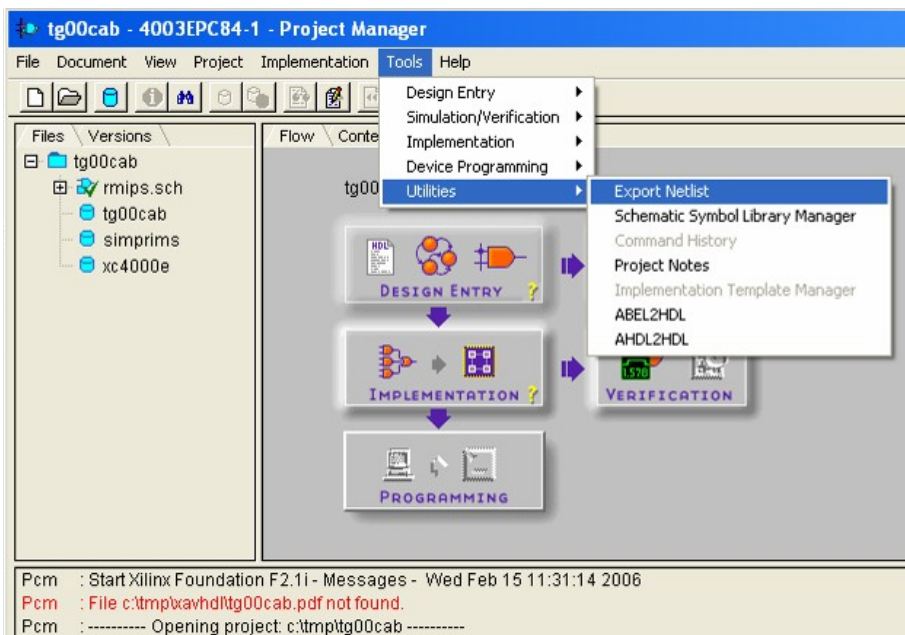
¿Cómo exporto una práctica finalizada a VHDL?

Una vez finalizada la práctica, y verificado su funcionamiento, podemos exportar a VHDL directamente desde el *Project Manager*. Seleccionaremos la opción del menú **Tools → Utilities → Export Netlist**.

Tras esta acción en un panel de selección de ficheros, elegiremos el *netlist* a exportar (nombre de la macro con extensión .ALB), y seleccionaremos como tipo VHDL.

Las figuras que siguen ilustran estas acciones.

¹ *VLSI = Very Large Scale Integration*



¿Debo tener especial cuidado con las macros LogiBLOX?

Sí. Las macros LogiBLOX son una excepción en el proceso de exportación ya que su descripción VHDL no se crea durante la exportación, sino que se genera automáticamente durante la creación de la propia macro.

En realidad, durante la creación de una macro LogiBLOX se generan diversos ficheros auxiliares, entre los cuales está la descripción VHDL. Debemos procurar no borrar ninguno de ellos.

En caso de que por error borráramos el VHDL de una macro LogiBLOX, no habrá otro remedio que editar dicha macro y regenerarla de nuevo (desde el editor de esquemáticos con **Tools → LogiBLOX module generator**).

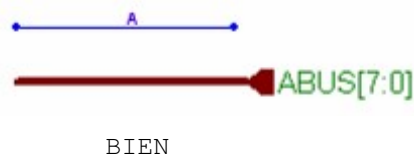
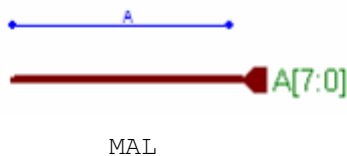
¿Debo tener en cuenta alguna consideración en la elaboración de los esquemáticos?

Para que los VHDL generados sean de "buena calidad", es necesario evitar interconexiones en los esquemáticos que puedan dar lugar a ambigüedades o malinterpretaciones sintácticas durante el procesamiento del código VHDL.

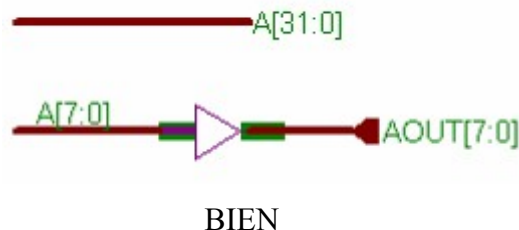
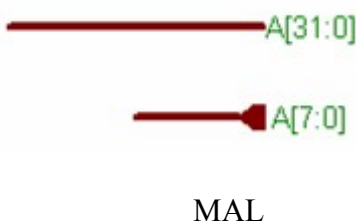
A continuación se comenta alguna regla a seguir para evitar estas situaciones. El no seguir estas reglas puede dar lugar a errores de formato cuando la práctica entregada sea evaluada.

Estas son las reglas:

1. NO definir nunca un bus con el mismo nombre de una señal escalar.



2. Un conector jerárquico (salidas/entradas de una macro) NO debe ser un subrango de un bus ya definido. Utiliza *buffers*, si quieres conectar una porción de un bus a un conector jerárquico de entrada o salida.



3. En un bus compuesto (*complex bus*) NUNCA concatenar dos expresiones de buses diferentes. Sólo se permite un bus con señales escalares que no se obtienen de ningún otro bus:
 - MAL: $A[3:0]$, $B0$, $B1$ ($B0$ y $B1$ son las líneas #0 y 1 del bus B)
 - BIEN: $A[3:0]$, X , Y (X , Y son señales individuales de un solo bit)
4. No utilizar nombres comunes de puertas lógicas (AND, OR, XOR, NAND, etc.) para nombrar elementos que diseñéis vosotros. Una regla muy sencilla para evitar este error es nombrar todos los elementos que diseñéis vosotros comenzando por vuestro identificador TG##.
5. Hay que tener cuidado con los nombres de las instancias de los elementos que utilizamos en nuestro diseño (Symbol properties -> reference), ya que no deben coincidir con ningún otro elemento del diseño. Por ejemplo:

- Si tenemos una macro que se llama REG, al poner una instancia de esta macro no podemos ponerle como nombre REG (Symbol properties -> reference != REG)
- Si tenemos una instancia con identificador IR (Symbol properties -> reference = IR), no puede existir, por ejemplo, un bus que se llame IR[7:0].

Si no estáis seguros de haber seguido estas reglas en la nomenclatura de las instancias, una manera rápida de solucionar posibles conflictos de nombres es “reanotar” todas las instancias (proceso que pone nombre único a todas ellas añadiéndole un número como sufijo). Se puede anotar la hoja o macro actual o todo el proyecto (se recomienda anotar todo el proyecto antes de generar la netlist (simulate) y luego exportarla a VHDL (export netlist)).

