



# Ejercicio: Tiempo de ciclo (Monociclo)

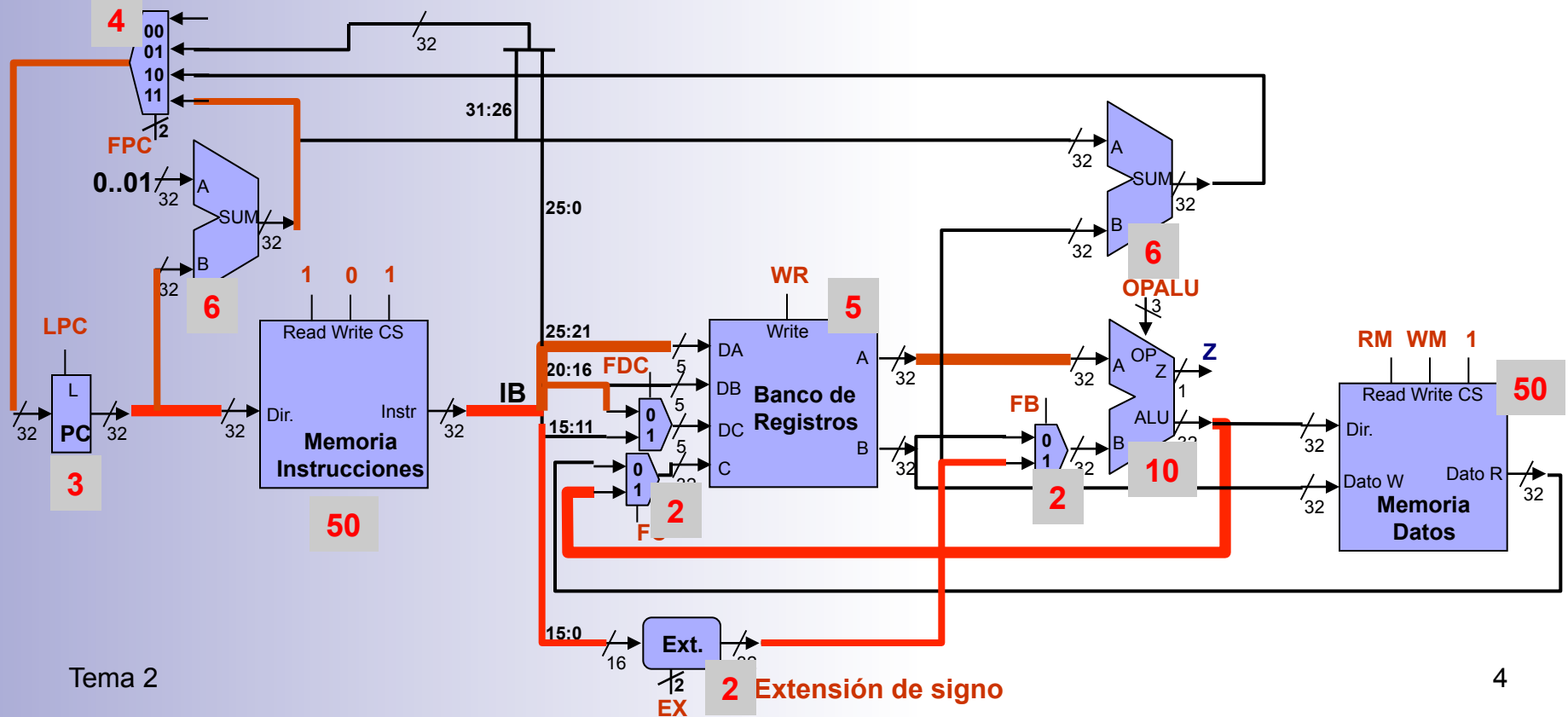
## ■ ADDI rd, rf, constante

□  $rd \leftarrow rf + \text{constante}$

$$50 \text{ (Mem)} + 5 \text{ (BR)} + 10 \text{ (ALU)} + 2 \text{ (Mux)} + 5 \text{ (BR)} = 72$$



### UNIDAD DE DATOS





# Ejercicio: Tiempo de ciclo (Monociclo)

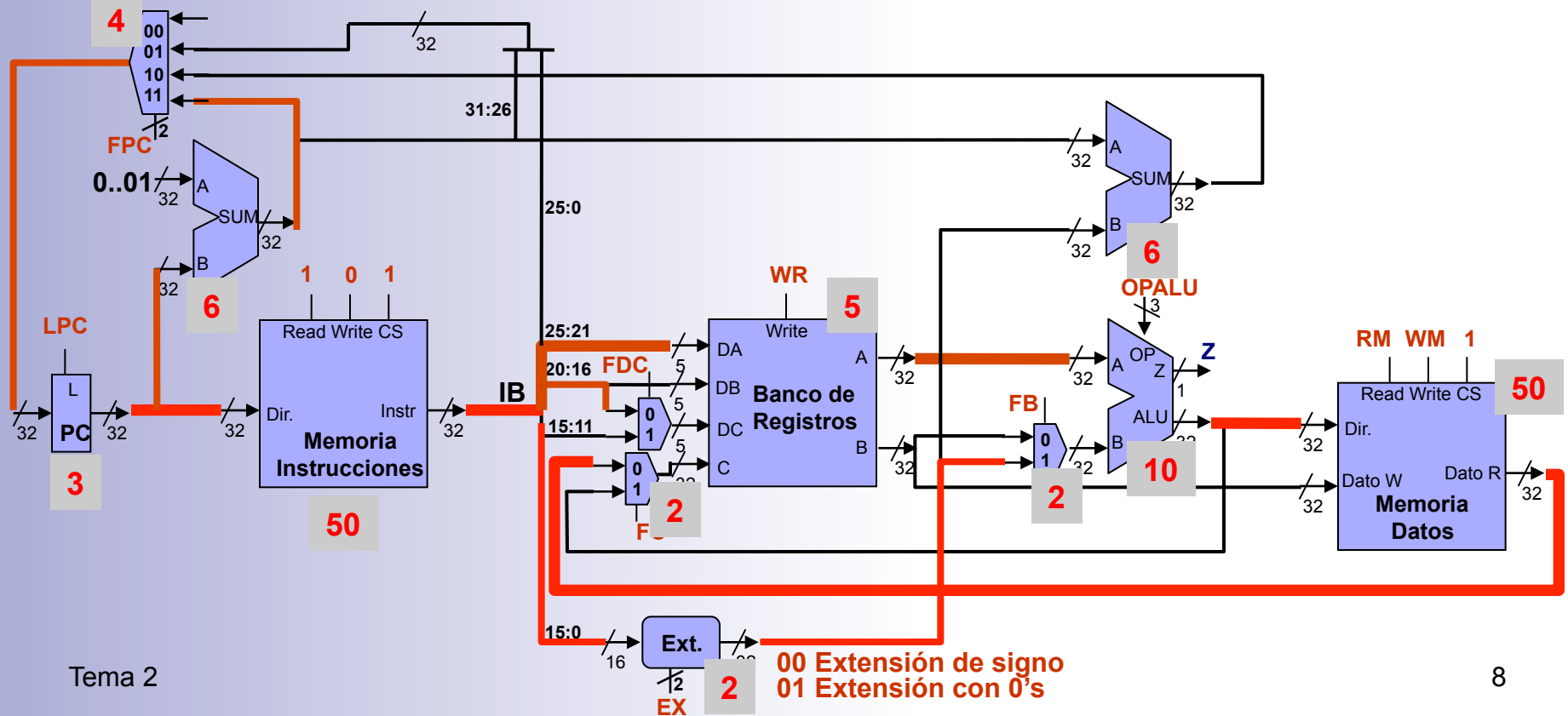
## ■ LW rd, desp.(rf)

□  $rd \leftarrow \text{MEM}[rf + \text{desp}]$

$$50 (\text{Mem}) + 5 (\text{BR}) + 10 (\text{ALU}) + 50 (\text{Mem}) + 2 (\text{Mux}) + 5 (\text{BR}) = 122$$



### UNIDAD DE DATOS



# Ejercicio: Tiempo de ciclo (Monociclo)

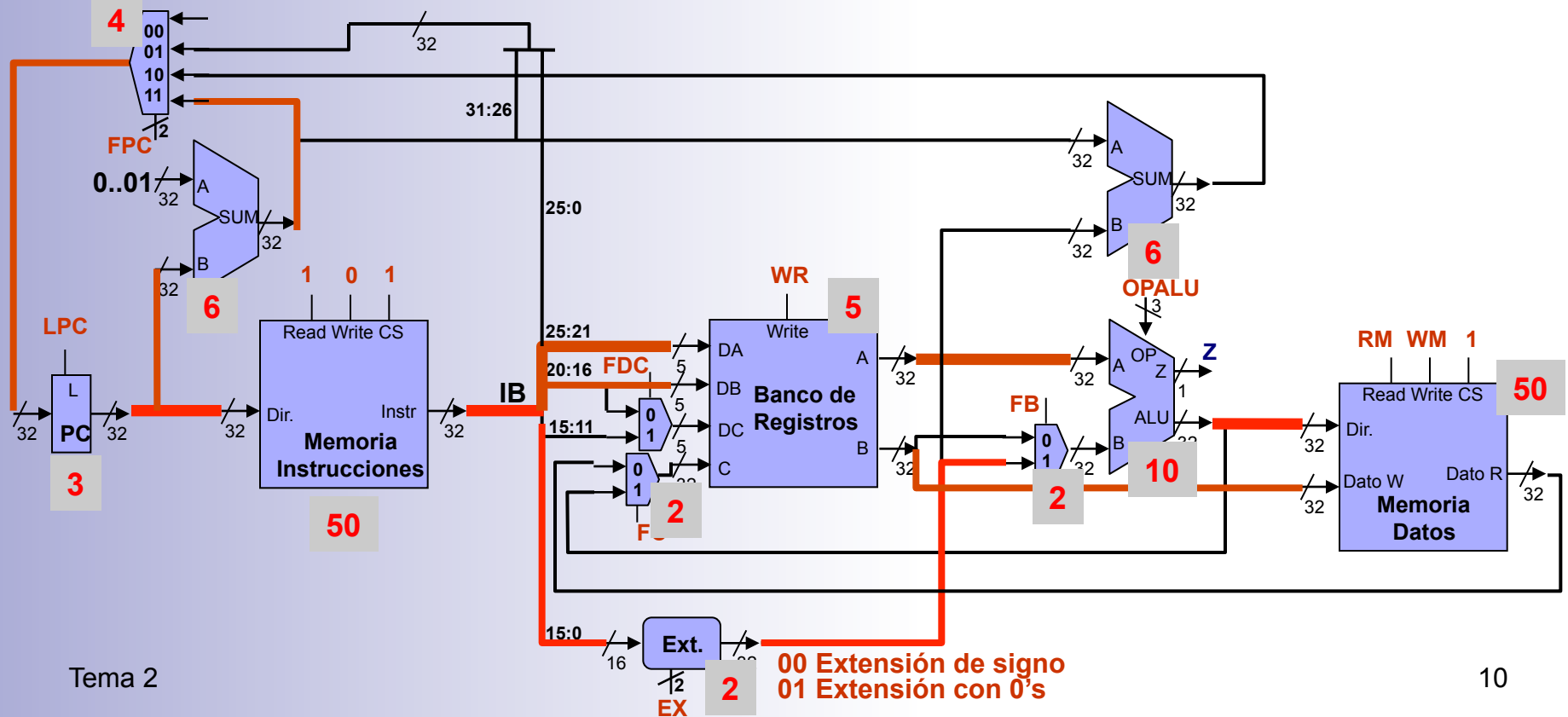
## ■ SW rd,desp.(rf)

□ MEM[rf+desp] ← rd

$$50 \text{ (Mem)} + 5 \text{ (BR)} + 10 \text{ (ALU)} + 50 \text{ (Mem)} = 115$$



### UNIDAD DE DATOS





# Ejercicio: Tiempo de ciclo (Monociclo)

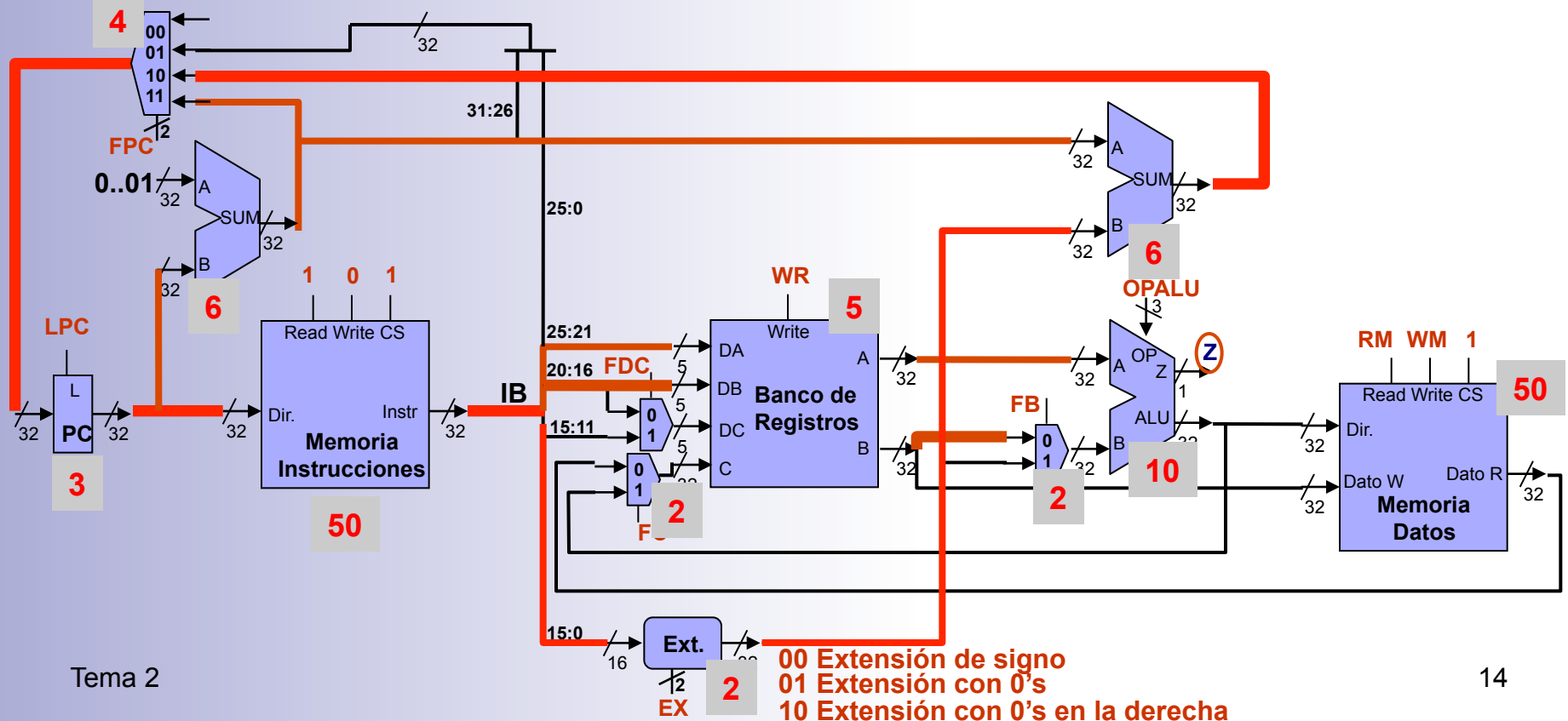
## ■ BEQ rf,rd,dir

□ if (rd=rf) PC ← PC+1+dir

$$50 \text{ (Mem)} + 5 \text{ (BR)} + 2 \text{ (Mux)} + 10 \text{ (ALU)} + 4 \text{ (Mux)} + 3 \text{ (PC)} = 74$$



### UNIDAD DE DATOS

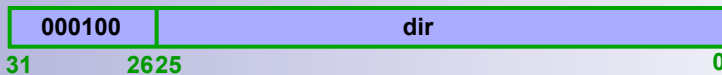


# Ejercicio: Tiempo de ciclo (Monociclo)

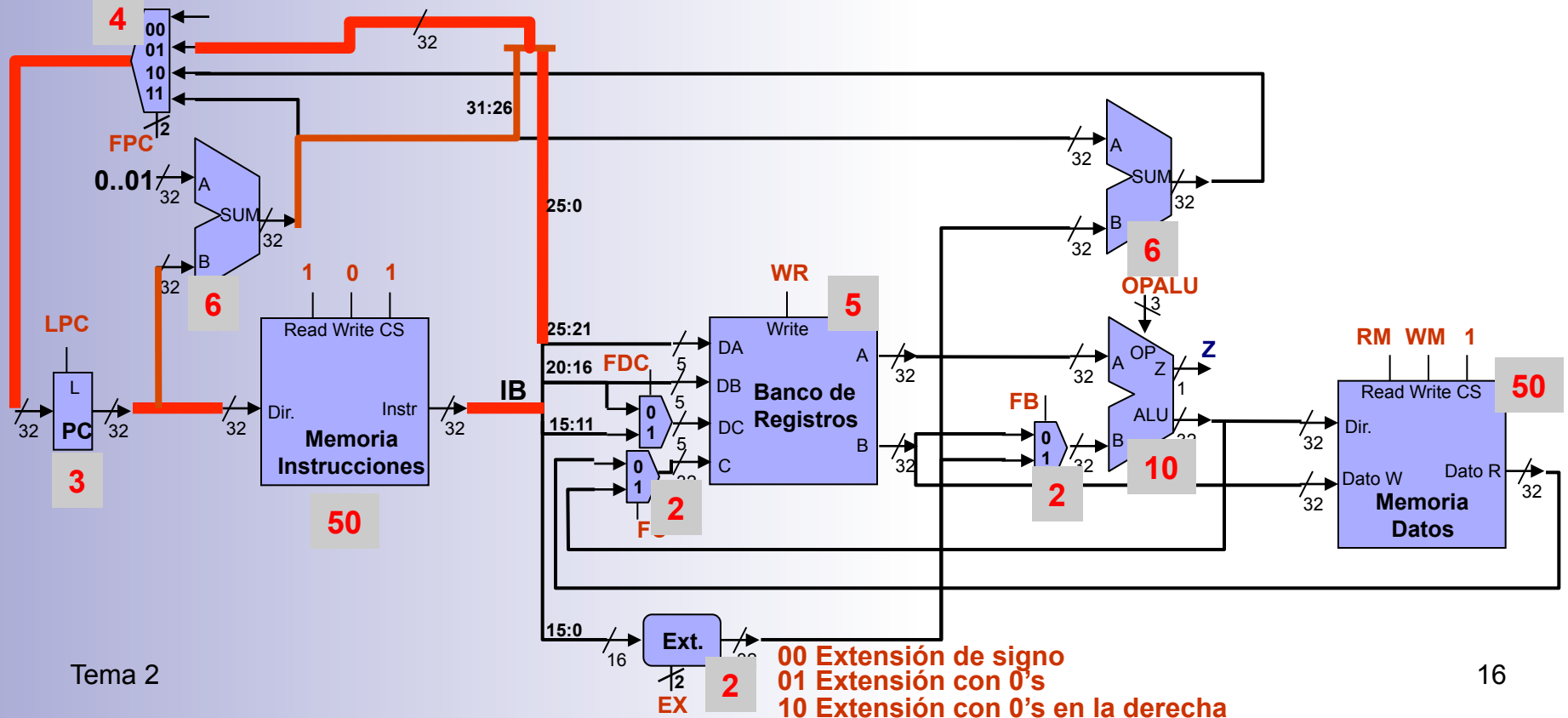
## ■ J dir

$$50 \text{ (Mem)} + 4 \text{ (Mux)} + 3 \text{ (PC)} = 57$$

$$\square \text{ PC} \leftarrow (\text{PC}+1)[31:26], \text{dir}$$



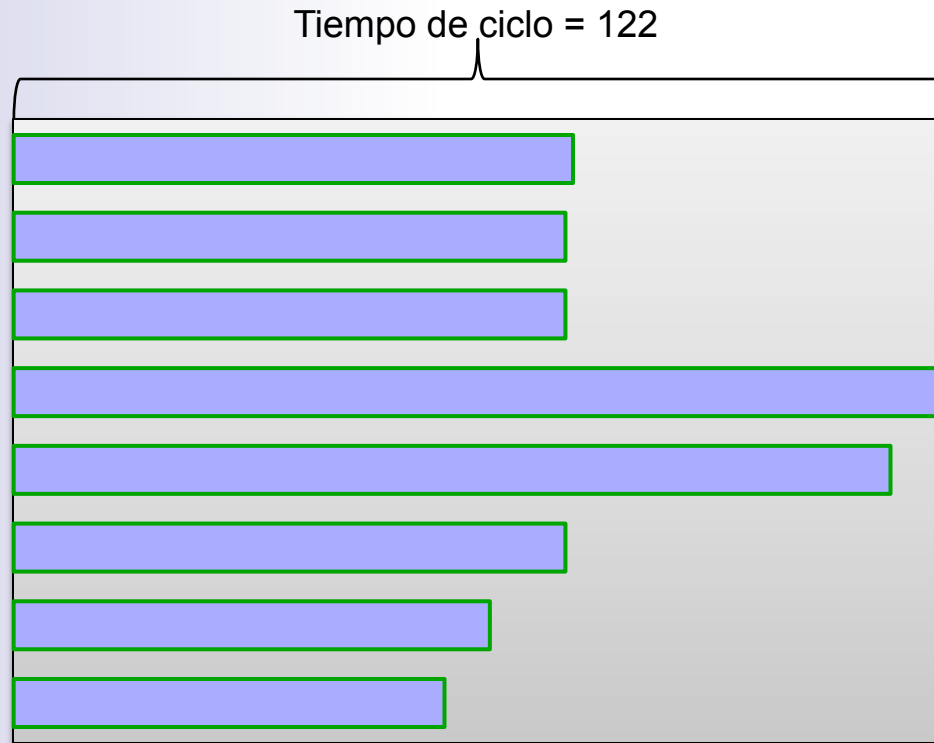
## UNIDAD DE DATOS



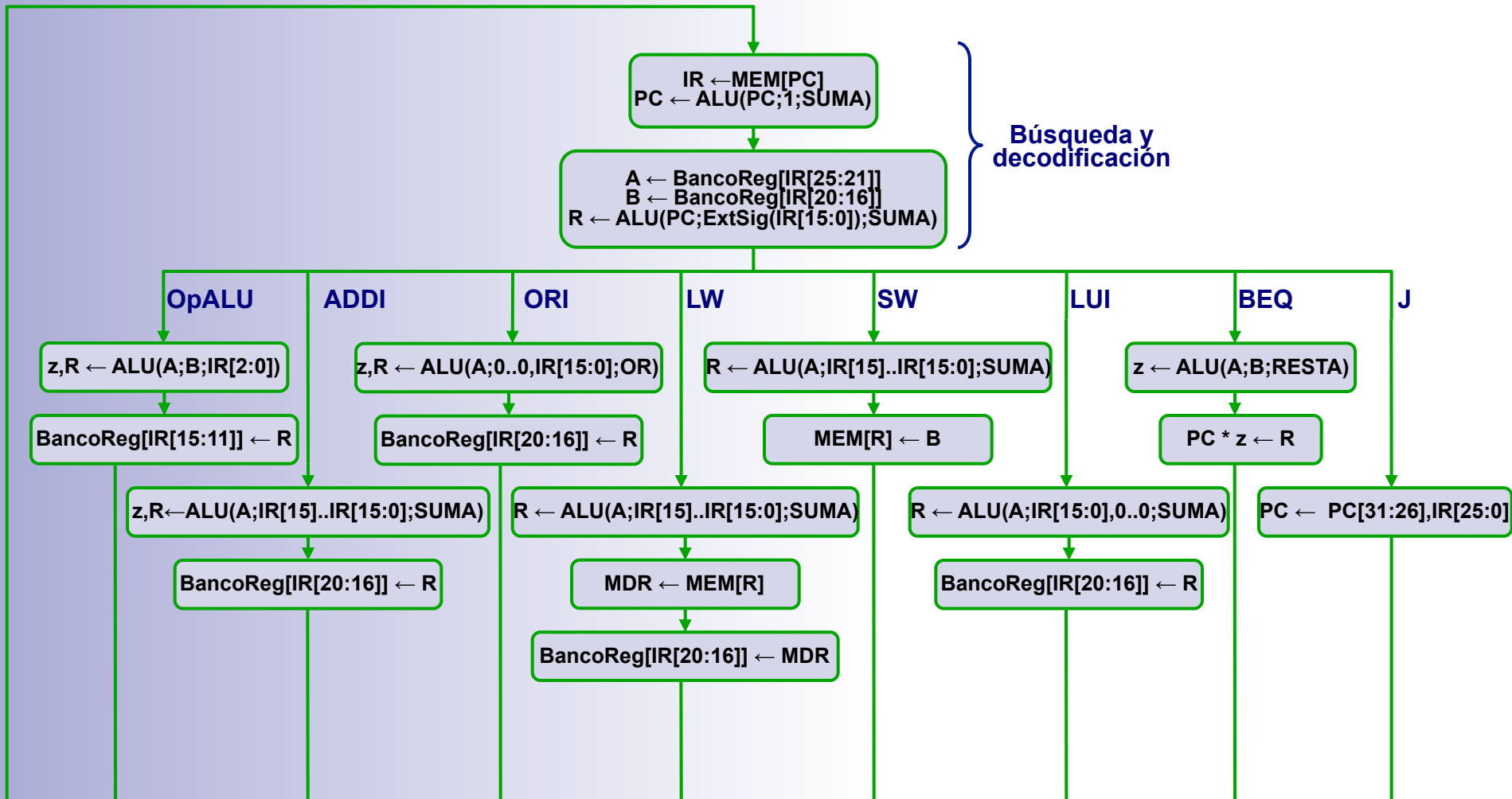


# Ejercicio: Tiempo de ciclo (Monociclo)

Instrucción	Tiempo
OpALU	74
ADDI	72
ORI	72
<b>LW</b>	<b>122</b>
SW	115
LUI	72
BEQ	74
J	57



# Ejercicio: Tiempo de ciclo (Multiciclo)



# Ejercicio: Tiempo de ciclo (Multiciclo)

## ■ Ciclo 1: carga de la instrucción (común)

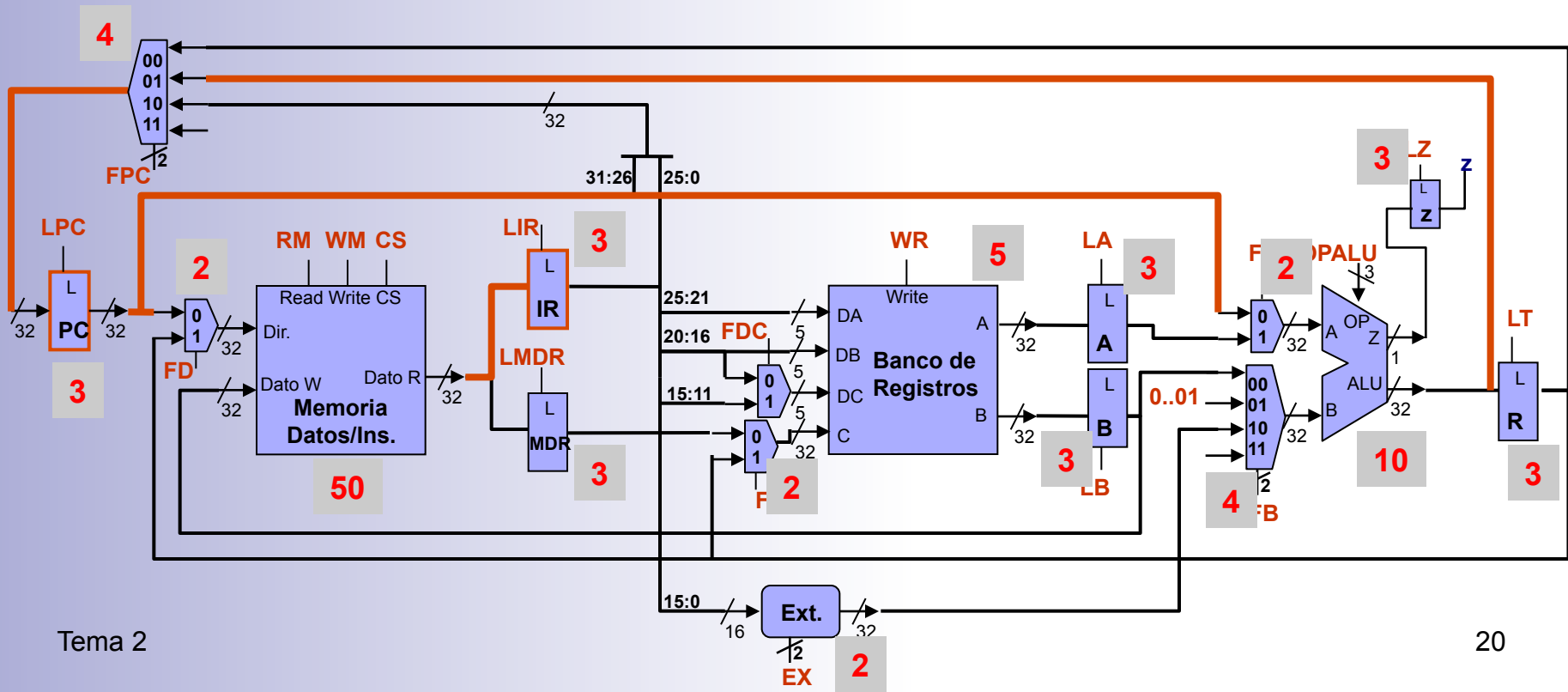
□  $IR \leftarrow MEM[PC]$

□  $PC \leftarrow ALU(PC;1;SUMA)$

$$2 \text{ (Mux)} + 50 \text{ (Mem)} + 3 \text{ (IR)} = 55$$

$$4 \text{ (Mux)} + 10 \text{ (ALU)} + 4 \text{ (Mux)} + 3 \text{ (PC)} = 21$$

55



# Ejercicio: Tiempo de ciclo (Multiciclo)

55

## ■ Ciclo 2: Decodificación y búsqueda de operandos (común)

- $A \leftarrow \text{BancoReg}[\text{IR}[25:21]]$
- $B \leftarrow \text{BancoReg}[\text{IR}[20:16]]$
- $R \leftarrow \text{ALU}(\text{PC}; \text{ExtSig}(\text{IR}[15:0])); \text{SUMA}$

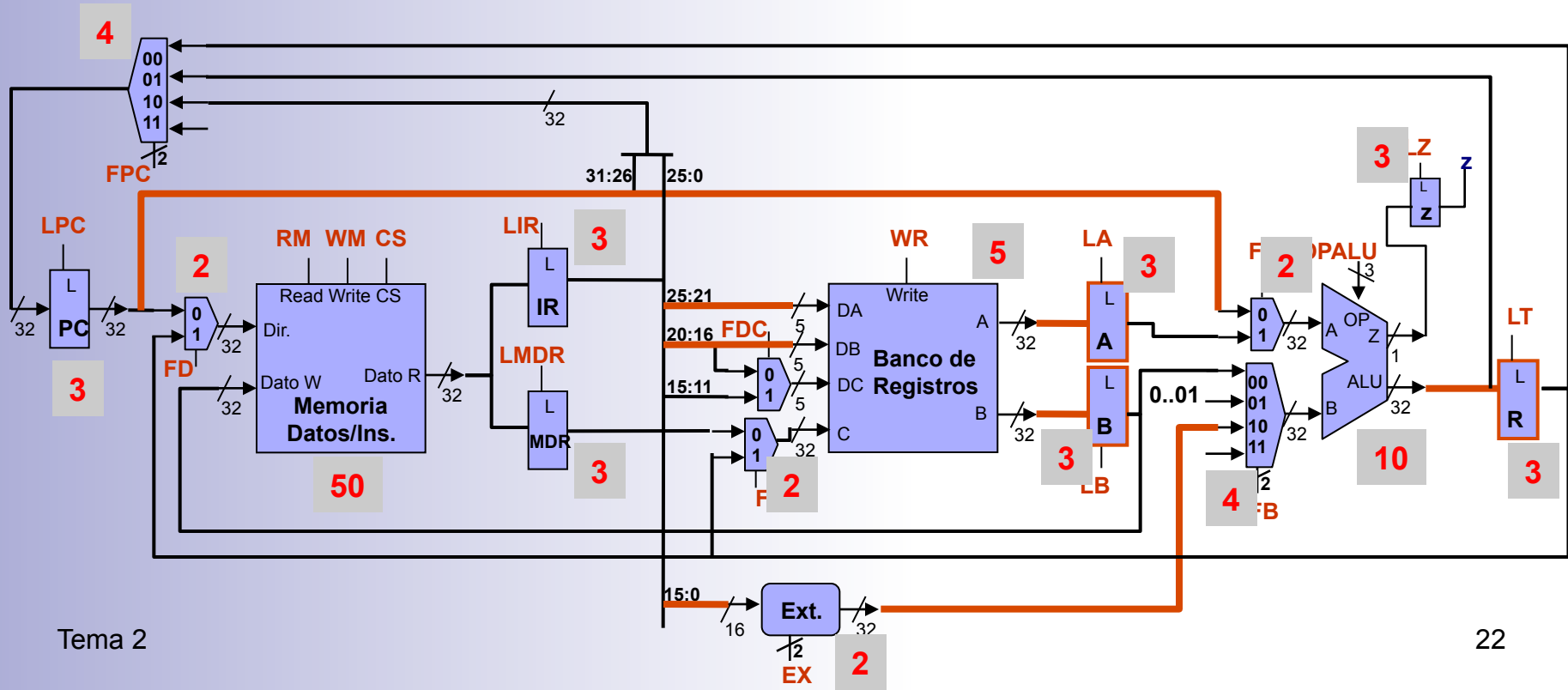
$\text{IR} \leftarrow \text{MEM}[\text{PC}]$   
 $\text{PC} \leftarrow \text{ALU}(\text{PC}; 1; \text{SUMA})$

$$5 (\text{BR}) + 3 (\text{A}) = 8$$

$$5 (\text{BR}) + 3 (\text{B}) = 8$$

$$2 (\text{Ext}) + 4 (\text{Mux}) + 10 (\text{ALU}) + 3 (\text{R}) = 19$$

19



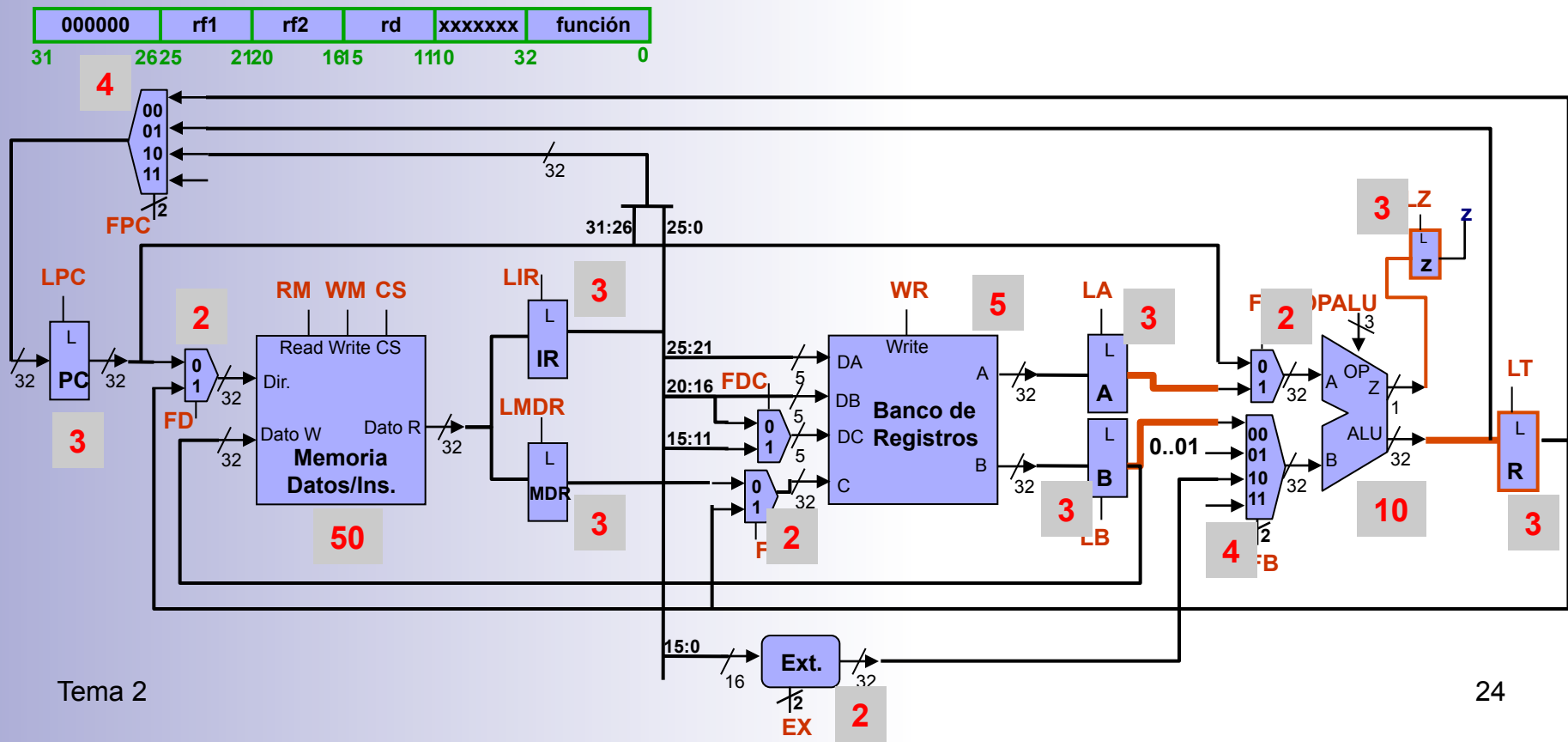
# Ejecución: OpALU

- OpAlu rd,rf1,rf2:  $rd \leftarrow rf1 \text{ (OpAlu) } rf2$
- Ciclo 3: Cálculo del resultado
  - $z, R \leftarrow \text{ALU}(A;B;IR[2:0])$

4 (Mux) + 10 (ALU) + 3 (R) = 17

$IR \leftarrow \text{MEM}[PC]$   
 $PC \leftarrow \text{ALU}(PC;1;SUMA)$

$A \leftarrow \text{BancoReg}[IR[25:21]]$   
 $B \leftarrow \text{BancoReg}[IR[20:16]]$   
 $R \leftarrow \text{ALU}(PC; \text{ExtSig}(IR[15:0]); SUMA)$



# Ejecución: OpALU

- OpAlu rd,rf1,rf2:  $rd \leftarrow rf1 \text{ (OpAlu) } rf2$
- Ciclo 4: Almacenar resultado
  - $\text{BancoReg}[\text{IR}[15:11]] \leftarrow R$  2 (Mux) + 5 (BR) = 7

55

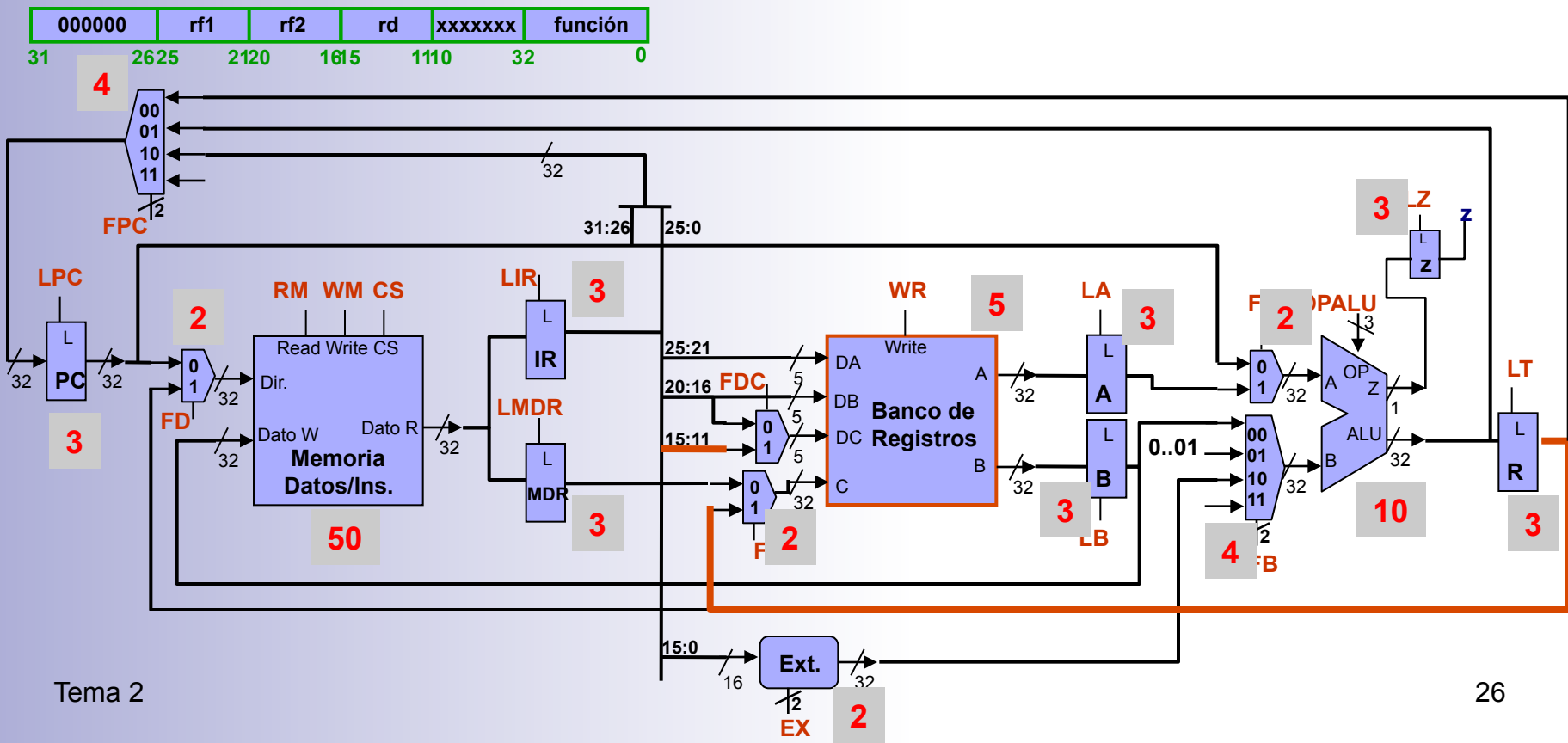
$$\begin{aligned} \text{IR} &\leftarrow \text{MEM}[\text{PC}] \\ \text{PC} &\leftarrow \text{ALU}(\text{PC}; 1; \text{SUMA}) \end{aligned}$$

19

$$\begin{aligned} A &\leftarrow \text{BancoReg}[\text{IR}[25:21]] \\ B &\leftarrow \text{BancoReg}[\text{IR}[20:16]] \\ R &\leftarrow \text{ALU}(\text{PC}; \text{ExtSig}(\text{IR}[15:0]); \text{SUMA}) \end{aligned}$$

17

$$z, R \leftarrow \text{ALU}(A; B; \text{IR}[2:0])$$



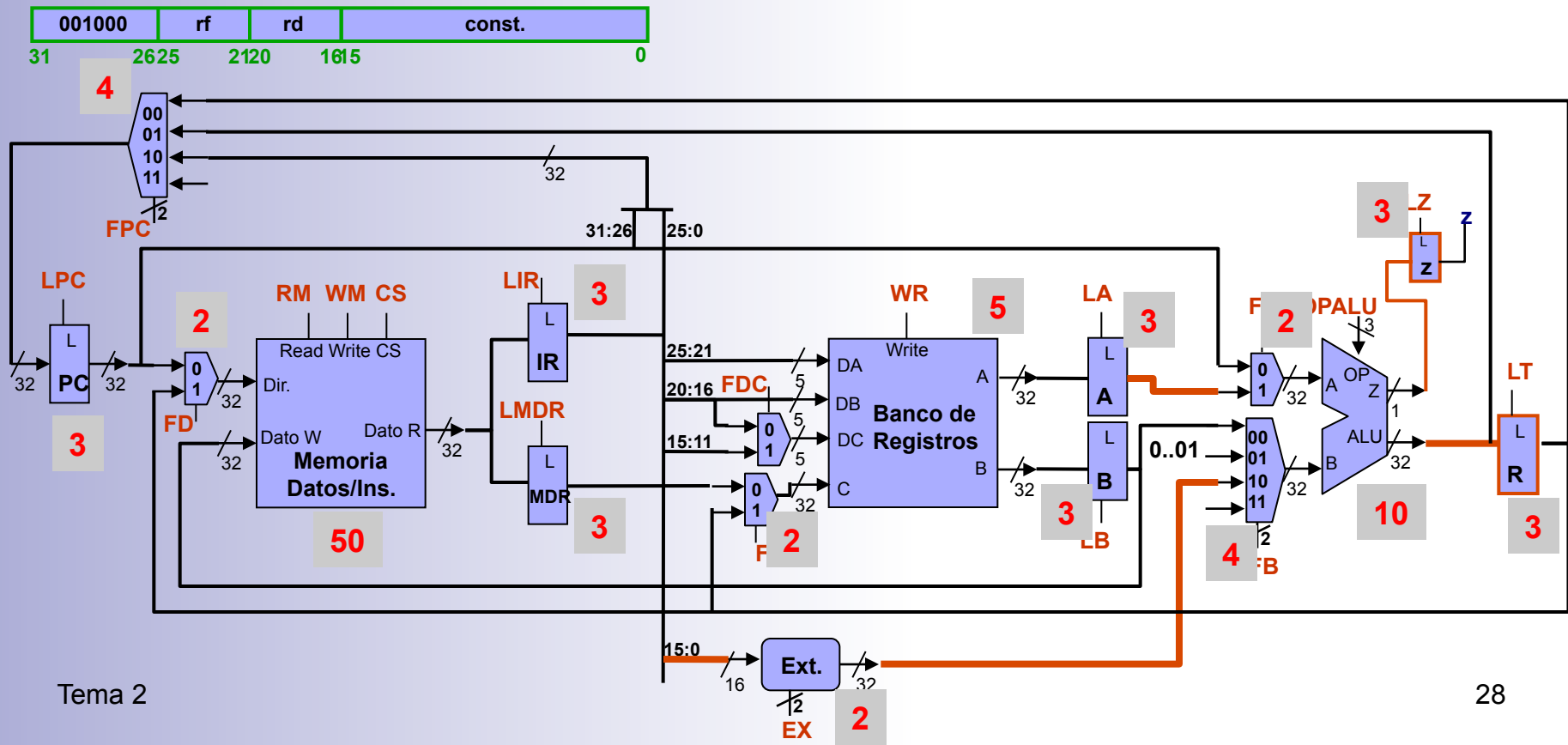
# Ejecución: ADDI

- ADDI rd, rf, cons.:  $rd \leftarrow rf + cons.$
- Ciclo 3: Cálculo del resultado
  - $z, R \leftarrow ALU(A; IR[15]..IR[15:0]; SUMA)$

IR  $\leftarrow$  MEM[PC]  
PC  $\leftarrow$  ALU(PC;1;SUMA)

A  $\leftarrow$  BancoReg[IR[25:21]]  
B  $\leftarrow$  BancoReg[IR[20:16]]  
R  $\leftarrow$  ALU(PC;ExtSig(IR[15:0]);SUMA)

2 (Ext) + 4 (Mux) + 10 (ALU) + 3 (R) = 19



# Ejecución: ADDI

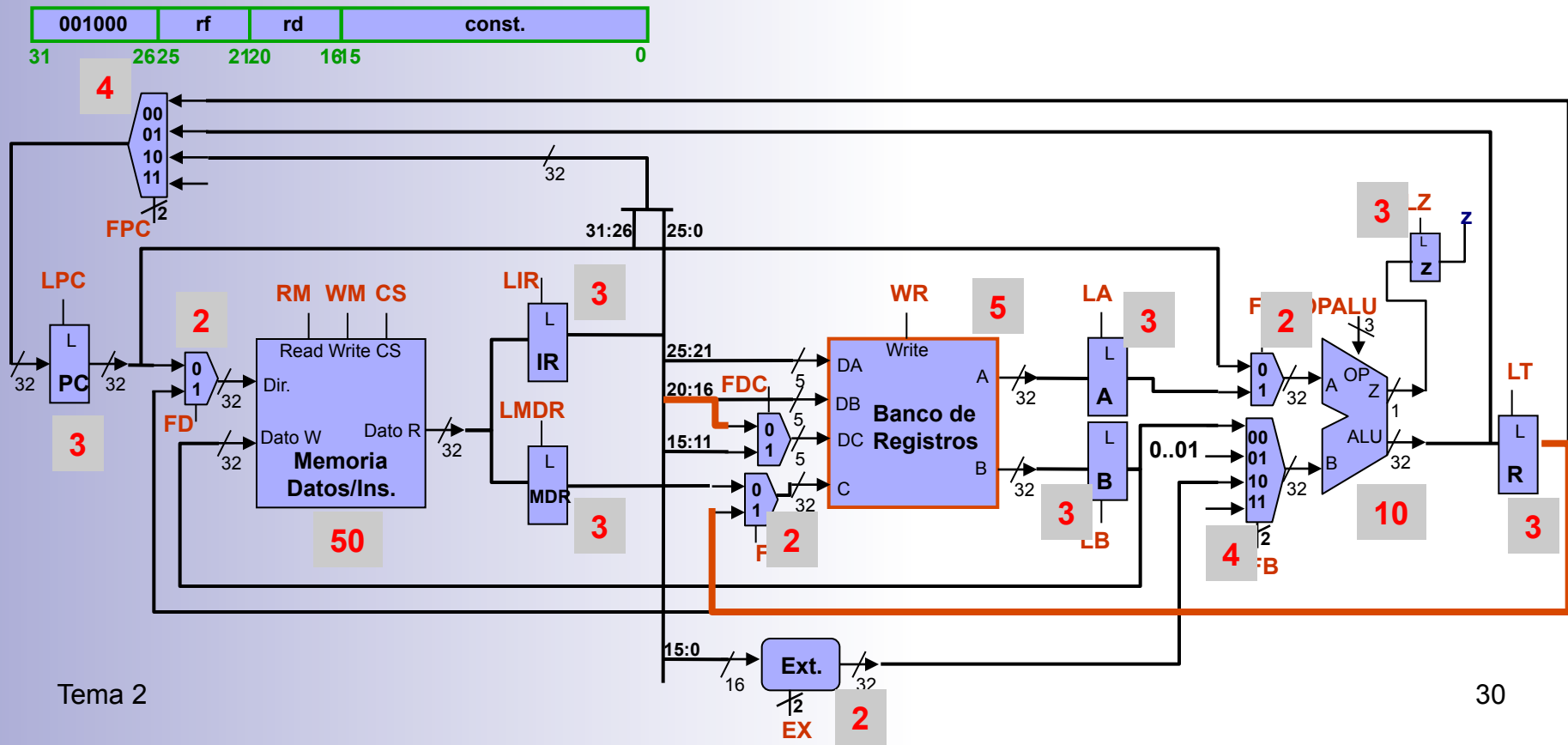
- ADDI rd, rf, cons.:  $rd \leftarrow rf + \text{cons.}$
- Ciclo 4: Almacenar resultado
  - $\text{BancoReg}[\text{IR}[20:16]] \leftarrow R$

2 (Mux) + 5 (BR) = 7

IR  $\leftarrow$  MEM[PC]  
PC  $\leftarrow$  ALU(PC;1;SUMA)

A  $\leftarrow$  BancoReg[IR[25:21]]  
B  $\leftarrow$  BancoReg[IR[20:16]]  
R  $\leftarrow$  ALU(PC;ExtSig(IR[15:0]);SUMA)

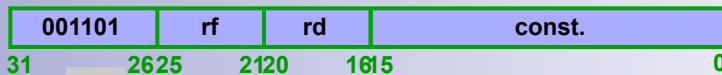
z,R  $\leftarrow$  ALU(A;IR[15]..IR[15:0];SUMA)





# Ejecución: ORI

- ORI rd, rf, cons.:  $rd \leftarrow rf \text{ OR } cons.$
- Ciclo 3: Cálculo del resultado
  - $z, R \leftarrow ALU(A; 0..0, IR[15:0]; OR) \text{ (----)}$
- Ciclo 4: Almacenar resultado
  - $BancoReg[IR[20:16]] \leftarrow R \text{ (----)}$

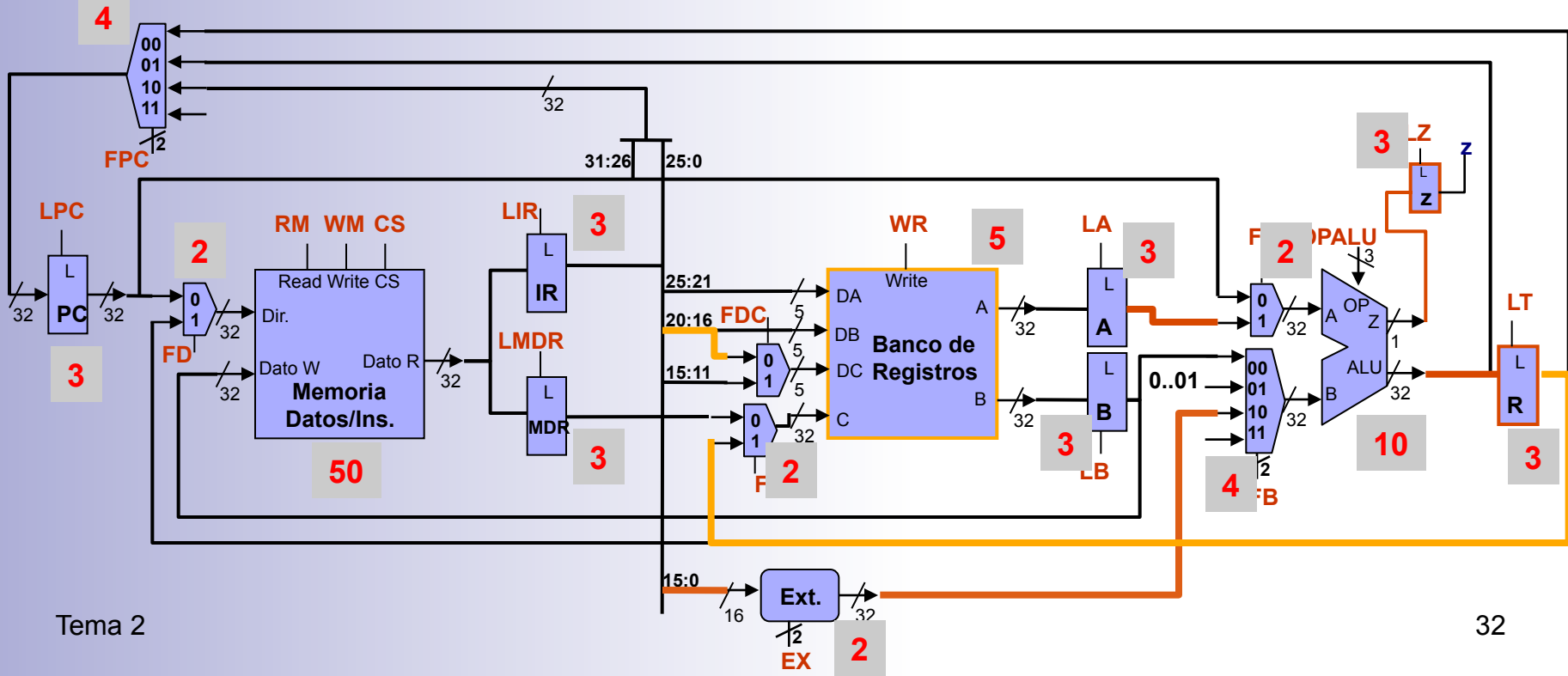


55  
 $IR \leftarrow MEM[PC]$   
 $PC \leftarrow ALU(PC; 1; SUMA)$

19  
 $A \leftarrow BancoReg[IR[25:21]]$   
 $B \leftarrow BancoReg[IR[20:16]]$   
 $R \leftarrow ALU(PC; ExtSig(IR[15:0]); SUMA)$

2 (Ext) + 4 (Mux) + 10 (ALU) + 3 (R) = 19

2 (Mux) + 5 (BR) = 7



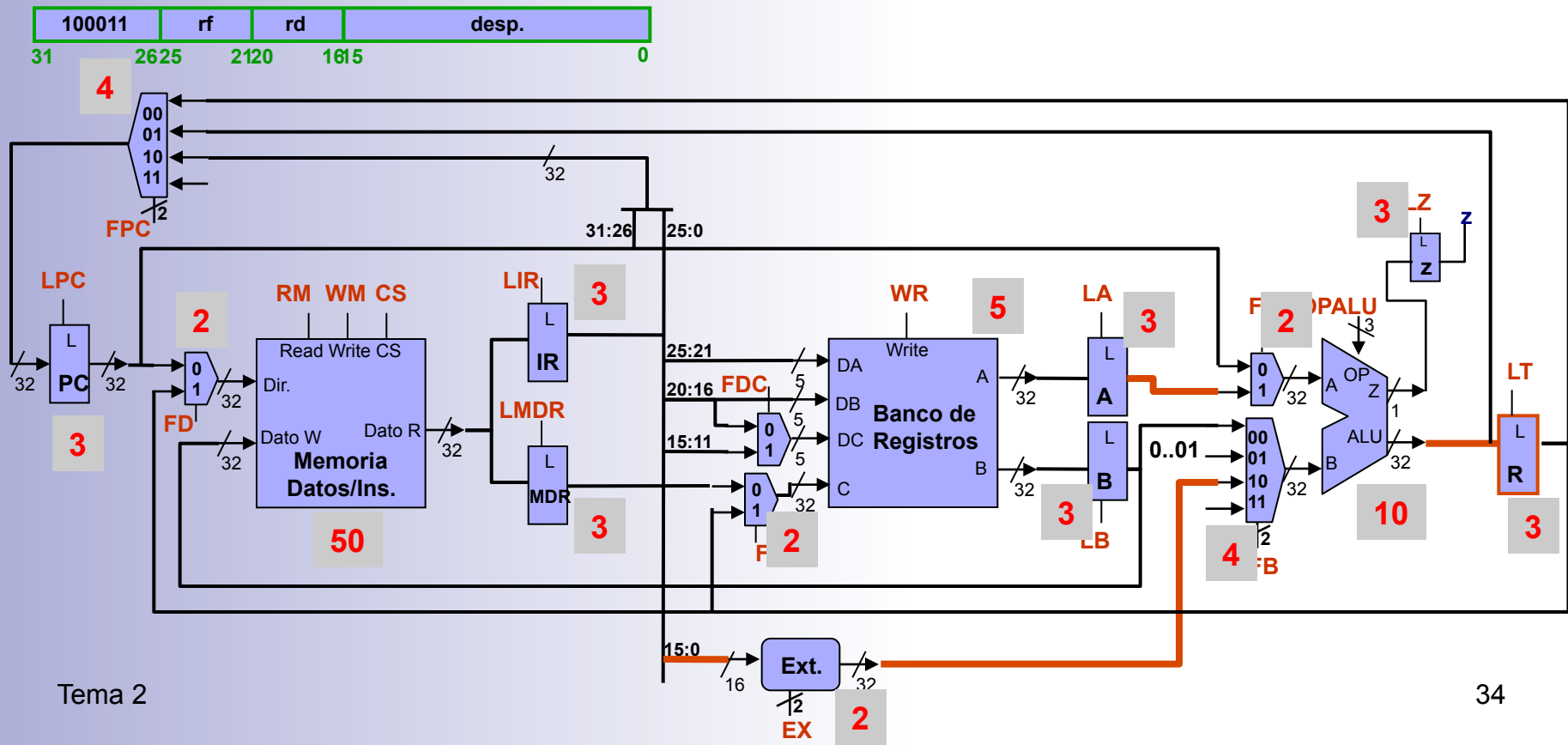
# Ejecución: LW

- LW rd, desp.(rf):  $rd \leftarrow \text{MEM}[rf + \text{desp}]$
- Ciclo 3: Cálculo dirección efectiva
  - $R \leftarrow \text{ALU}(A; \text{IR}[15].. \text{IR}[15:0]; \text{SUMA})$

IR  $\leftarrow$  MEM[PC]  
PC  $\leftarrow$  ALU(PC; 1; SUMA)

A  $\leftarrow$  BancoReg[IR[25:21]]  
B  $\leftarrow$  BancoReg[IR[20:16]]  
R  $\leftarrow$  ALU(PC; ExtSig(IR[15:0]); SUMA)

2 (Ext) + 4 (Mux) + 10 (ALU) + 3 (R) = 19



# Ejecución: LW

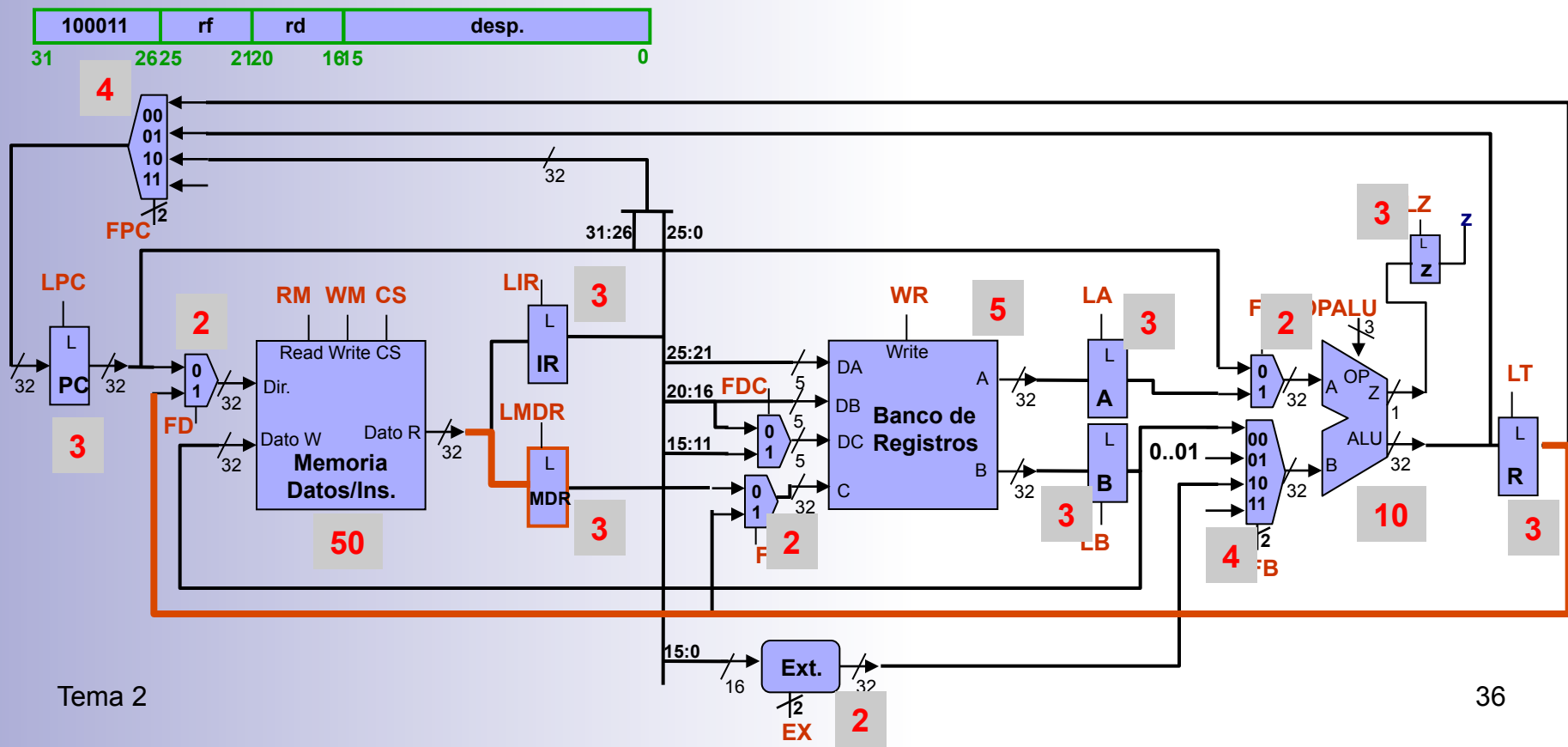
- LW rd, desp.(rf):  $rd \leftarrow \text{MEM}[rf + \text{desp}]$
- Ciclo 4: Lectura dir. Efectiva
  - $\text{MDR} \leftarrow \text{MEM}[R]$

$$2 (\text{Mux}) + 50 (\text{Mem}) + 3 (\text{MDR}) = 55$$

IR  $\leftarrow$  MEM[PC]  
PC  $\leftarrow$  ALU(PC;1;SUMA)

A  $\leftarrow$  BancoReg[IR[25:21]]  
B  $\leftarrow$  BancoReg[IR[20:16]]  
R  $\leftarrow$  ALU(PC;ExtSig(IR[15:0]);SUMA)

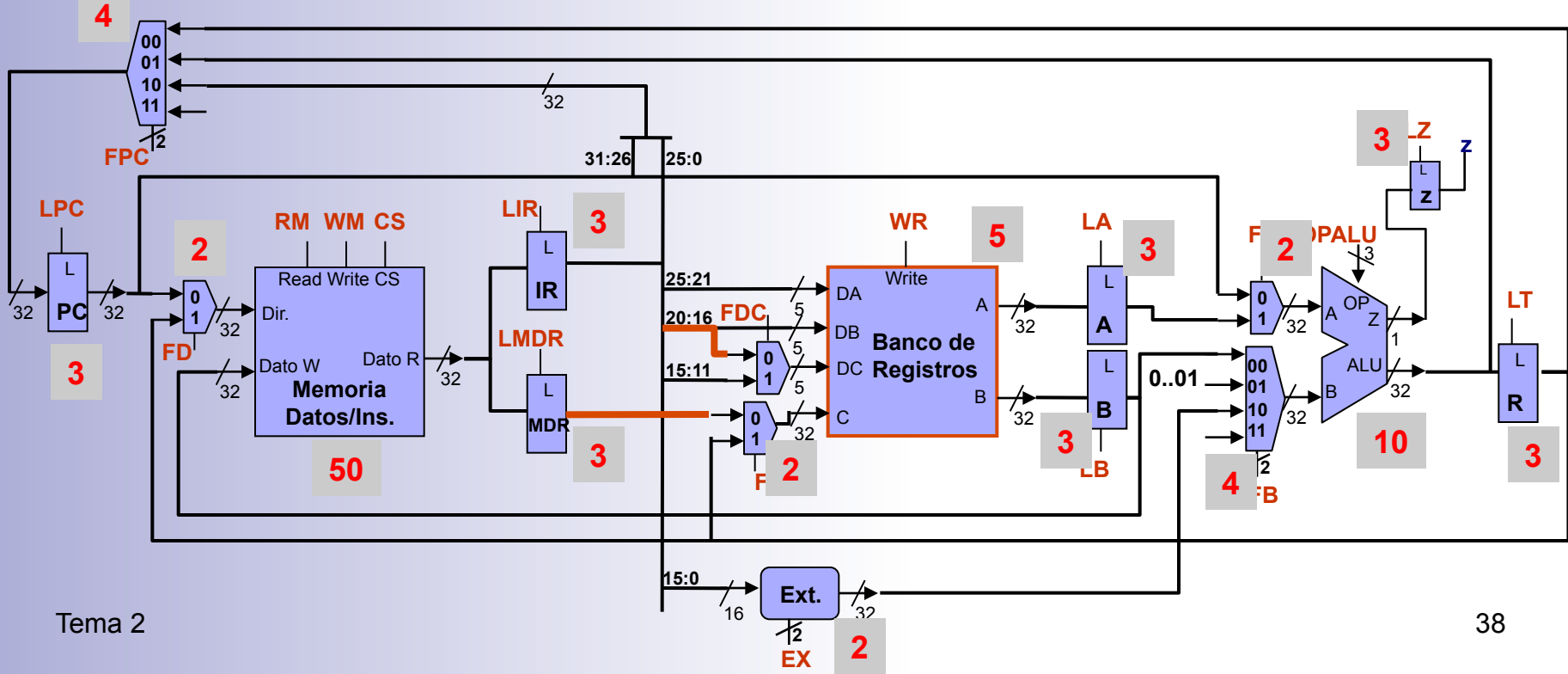
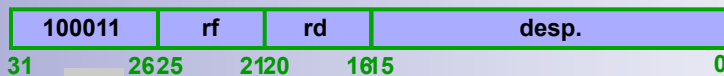
R  $\leftarrow$  ALU(A;IR[15]..IR[15:0];SUMA)



# Ejecución: LW

- LW rd, desp.(rf):  $rd \leftarrow \text{MEM}[rf + \text{desp}]$
- Ciclo 5: Escritura en reg. Destino
  - $\text{BancoReg}[\text{IR}[20:16]] \leftarrow \text{MDR}$

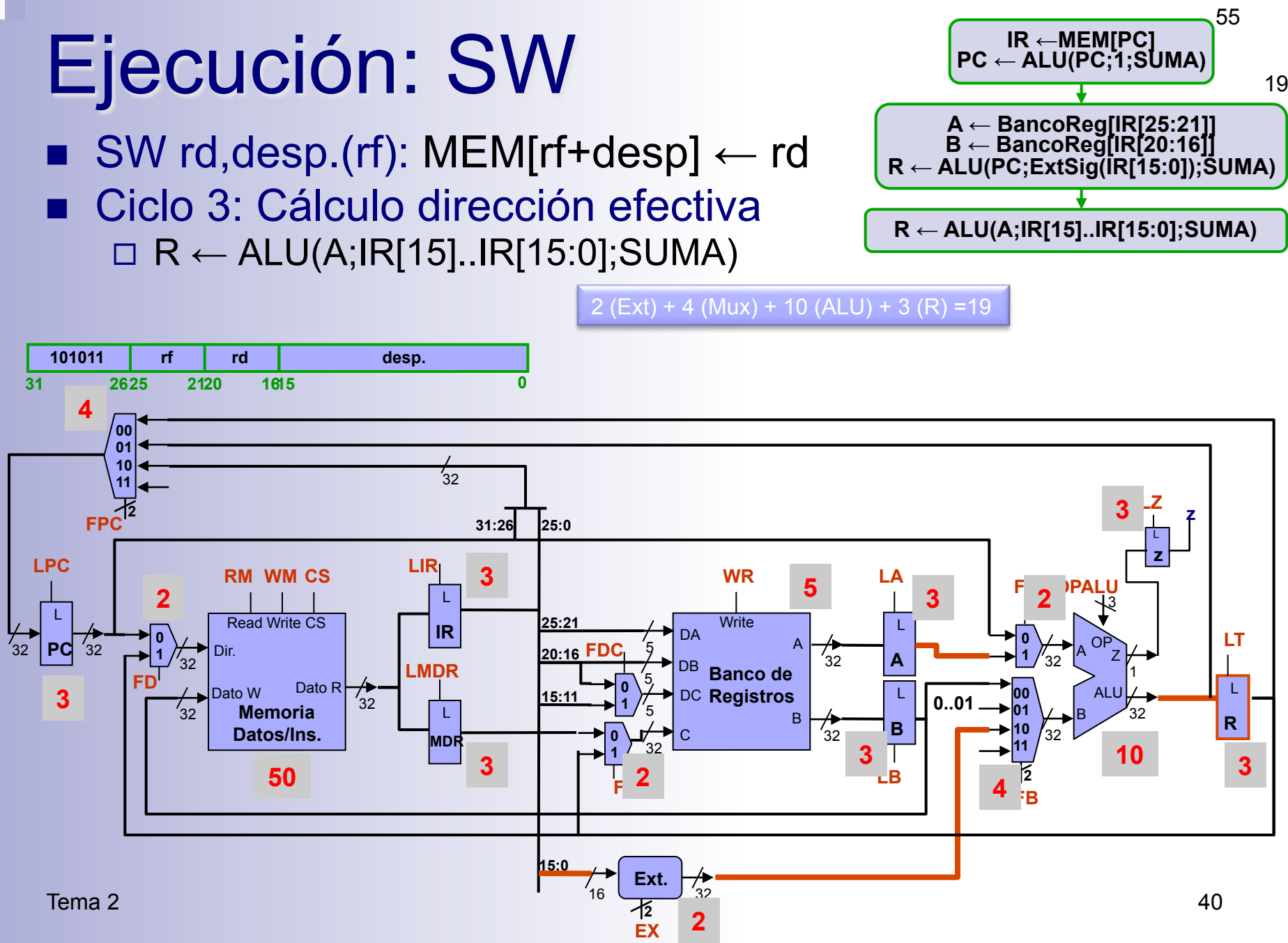
$$2 (\text{Mux}) + 5 (\text{BR}) = 7$$



# Ejecución: SW

- SW rd, desp.(rf):  $\text{MEM}[\text{rf} + \text{desp}] \leftarrow \text{rd}$
- Ciclo 3: Cálculo dirección efectiva
  - $R \leftarrow \text{ALU}(A; \text{IR}[15].. \text{IR}[15:0]; \text{SUMA})$

$$2 (\text{Ext}) + 4 (\text{Mux}) + 10 (\text{ALU}) + 3 (\text{R}) = 19$$



# Ejecución: SW

- SW rd, desp.(rf):  $\text{MEM}[\text{rf} + \text{desp}] \leftarrow \text{rd}$
- Ciclo 4: Escritura en memoria
  - $\text{MEM}[\text{R}] \leftarrow \text{B}$

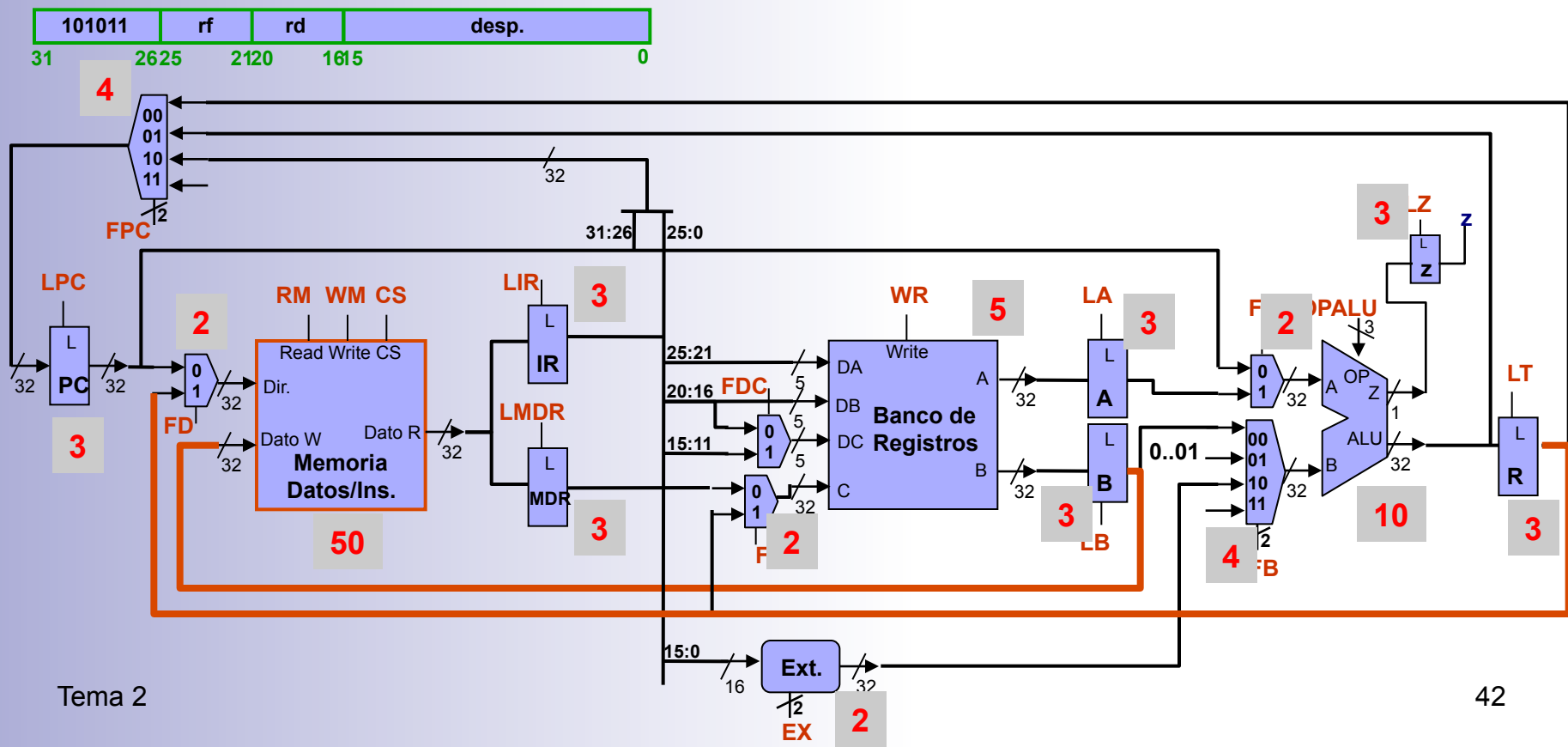
2 (Mux) + 50 (Mem) = 52

IR  $\leftarrow$  MEM[PC]  
PC  $\leftarrow$  ALU(PC;1;SUMA)

A  $\leftarrow$  BancoReg[IR[25:21]]  
B  $\leftarrow$  BancoReg[IR[20:16]]  
R  $\leftarrow$  ALU(PC;ExtSig(IR[15:0]);SUMA)

R  $\leftarrow$  ALU(A;IR[15]..IR[15:0];SUMA)

MEM[R]  $\leftarrow$  B



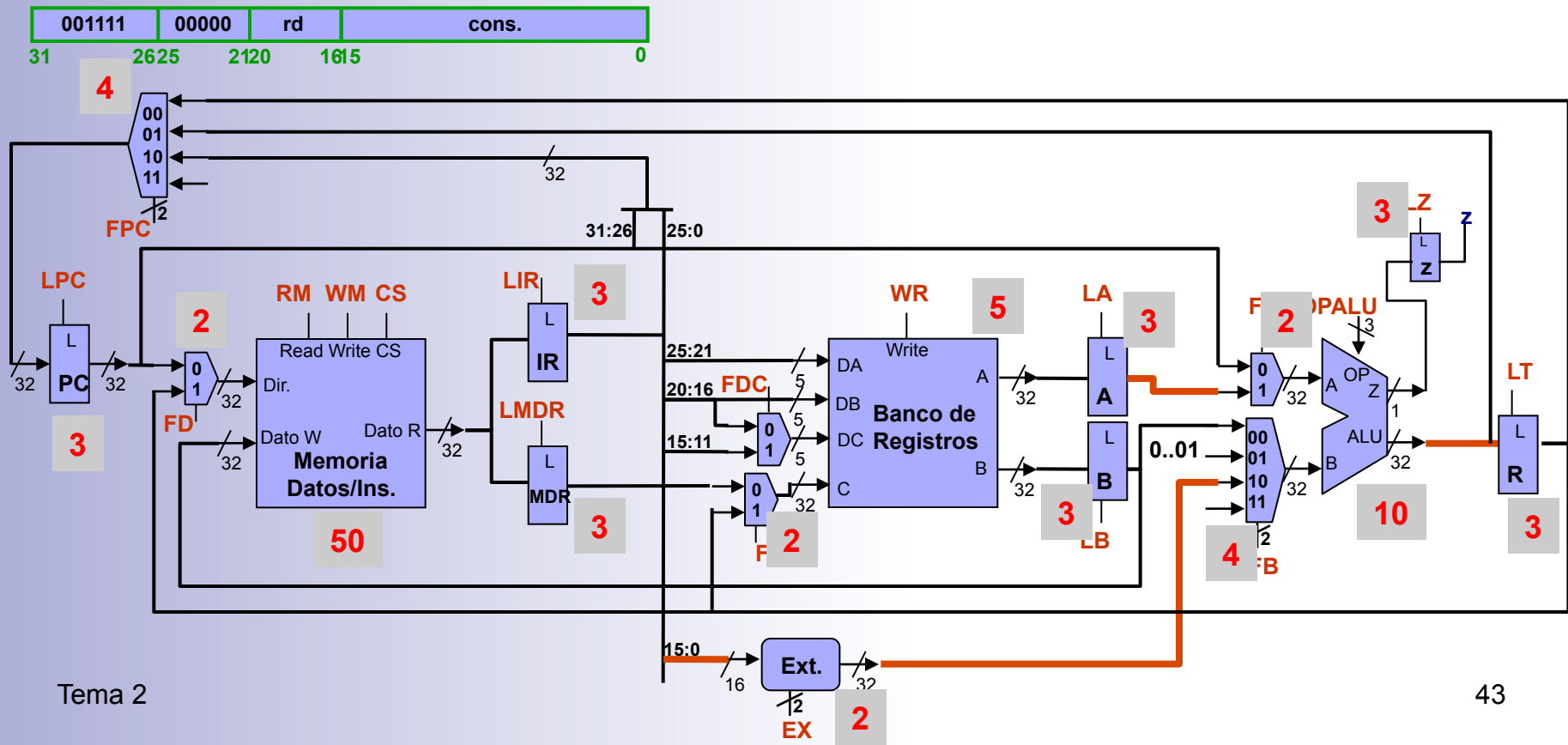
# Ejecución: LUI

- LUI rd, constante:  $rd \leftarrow \text{cons.}, 0..0$
- Ciclo 3: Cálculo desplazamiento const.
  - $R \leftarrow \text{ALU}(A; \text{IR}[15:0], 0..0; \text{SUMA})$

55  
 $\text{IR} \leftarrow \text{MEM}[\text{PC}]$   
 $\text{PC} \leftarrow \text{ALU}(\text{PC}; 1; \text{SUMA})$

19  
 $A \leftarrow \text{BancoReg}[\text{IR}[25:21]]$   
 $B \leftarrow \text{BancoReg}[\text{IR}[20:16]]$   
 $R \leftarrow \text{ALU}(\text{PC}; \text{ExtSig}(\text{IR}[15:0]); \text{SUMA})$

$R \leftarrow \text{ALU}(A; \text{IR}[15:0], 0..0; \text{SUMA})$



# Ejecución: LUI

- LUI rd, constante:  $rd \leftarrow \text{cons.}, 0..0$
- Ciclo 4: Almacenar en registro
  - $\text{BancoReg}[\text{IR}[20:16]] \leftarrow R$

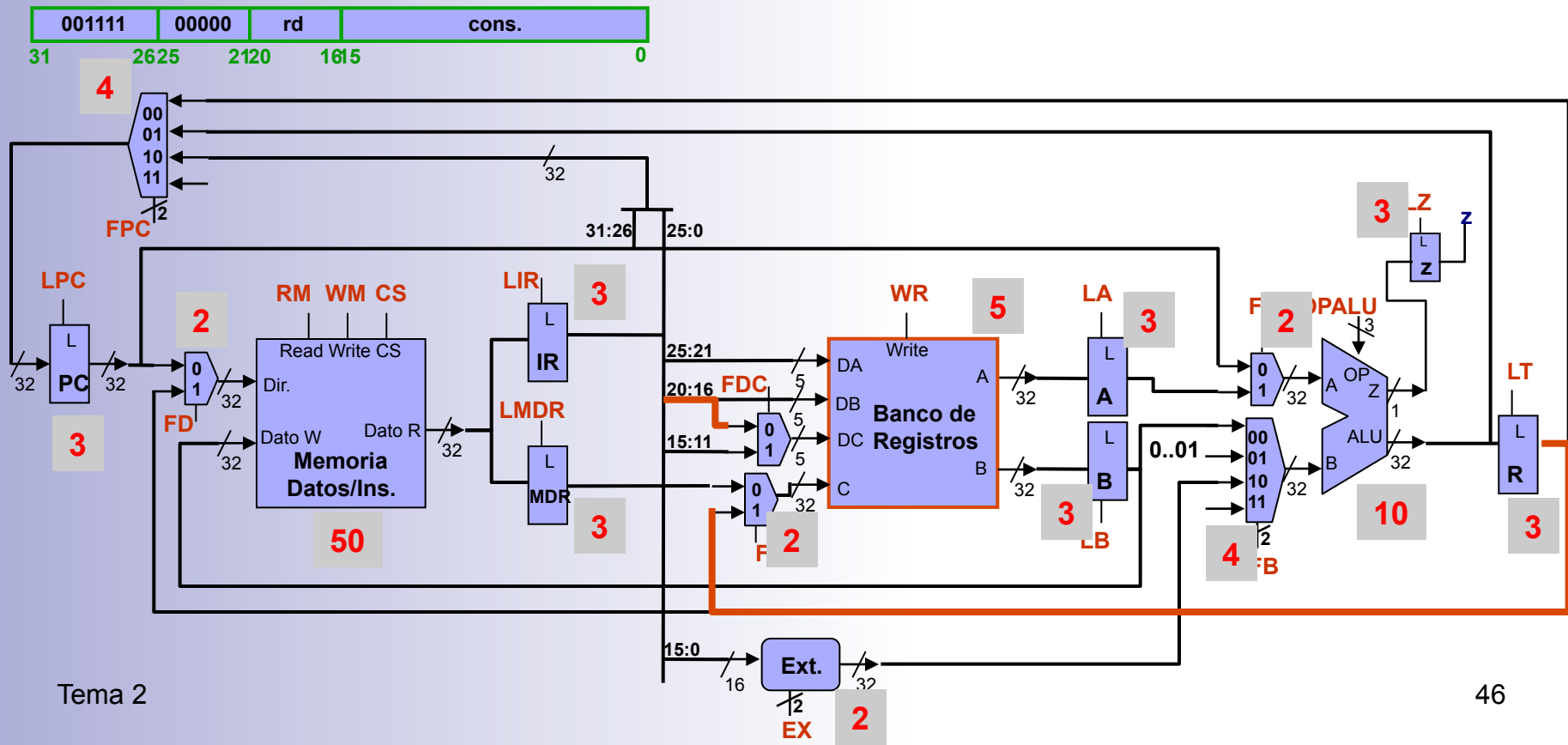
2 (Mux) + 5 (BR) = 7

IR  $\leftarrow$  MEM[PC]  
PC  $\leftarrow$  ALU(PC;1;SUMA)

A  $\leftarrow$  BancoReg[IR[25:21]]  
B  $\leftarrow$  BancoReg[IR[20:16]]  
R  $\leftarrow$  ALU(PC;ExtSig(IR[15:0]);SUMA)

R  $\leftarrow$  ALU(A;IR[15:0],0..0;SUMA)

BancoReg[IR[20:16]]  $\leftarrow$  R





# Ejecución: BEQ

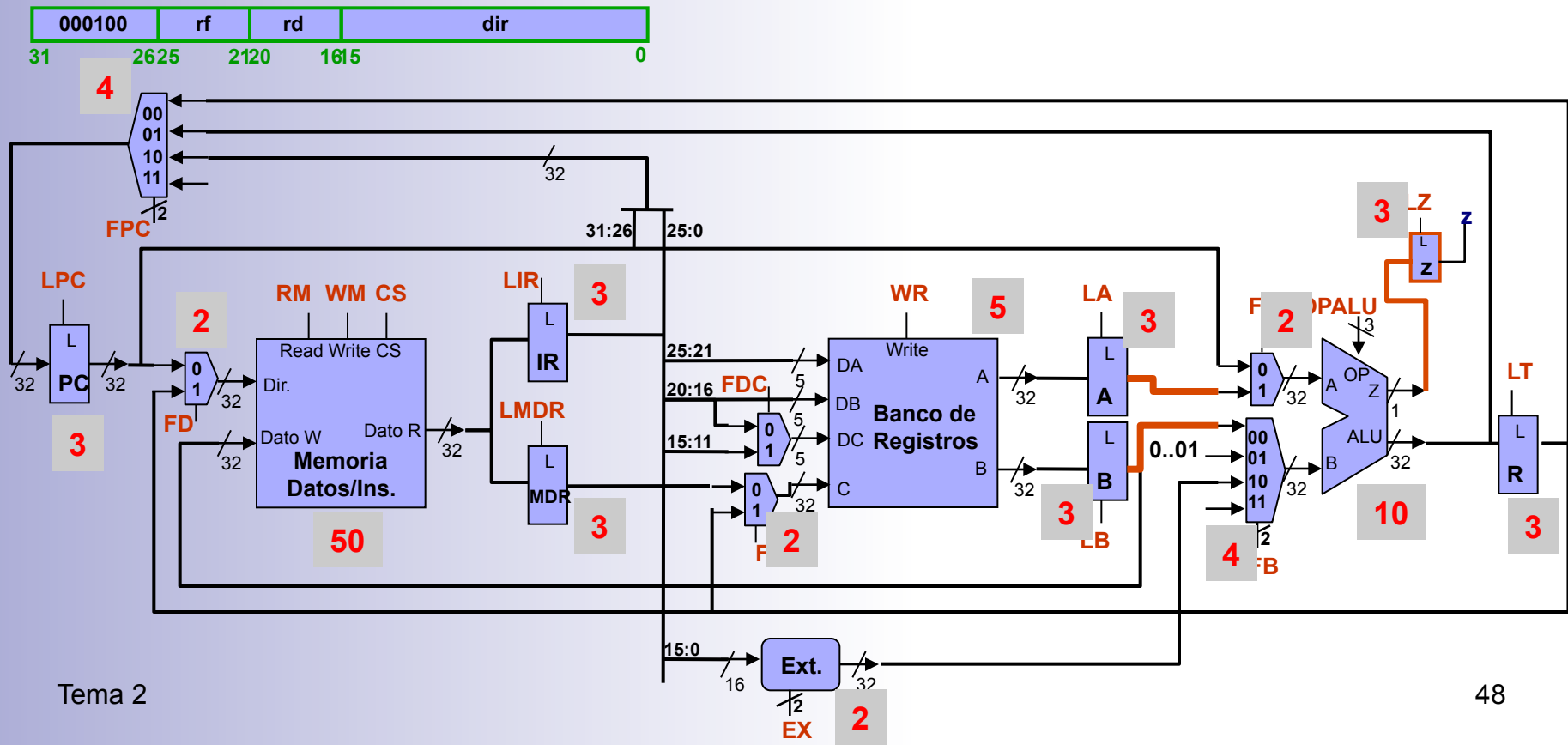
- BEQ rf,rd,dir: if (rd=rf)  $PC \leftarrow PC+1+dir$
- Ciclo 3: Cálculo de la condición
  - $Z \leftarrow ALU(A;B;RESTA)$

4 (Mux) + 10 (ALU) + 3 (R) = 17

IR  $\leftarrow$  MEM[PC]  
PC  $\leftarrow$  ALU(PC;1;SUMA)

A  $\leftarrow$  BancoReg[IR[25:21]]  
B  $\leftarrow$  BancoReg[IR[20:16]]  
R  $\leftarrow$  ALU(PC;ExtSig(IR[15:0]);SUMA)

Z  $\leftarrow$  ALU(A;B;RESTA)



# Ejecución: BEQ

- BEQ rf,rd,dir: if (rd=rf)  $PC \leftarrow PC+1+dir$
- Ciclo 4: Carga registro PC
  - $PC * z \leftarrow R$

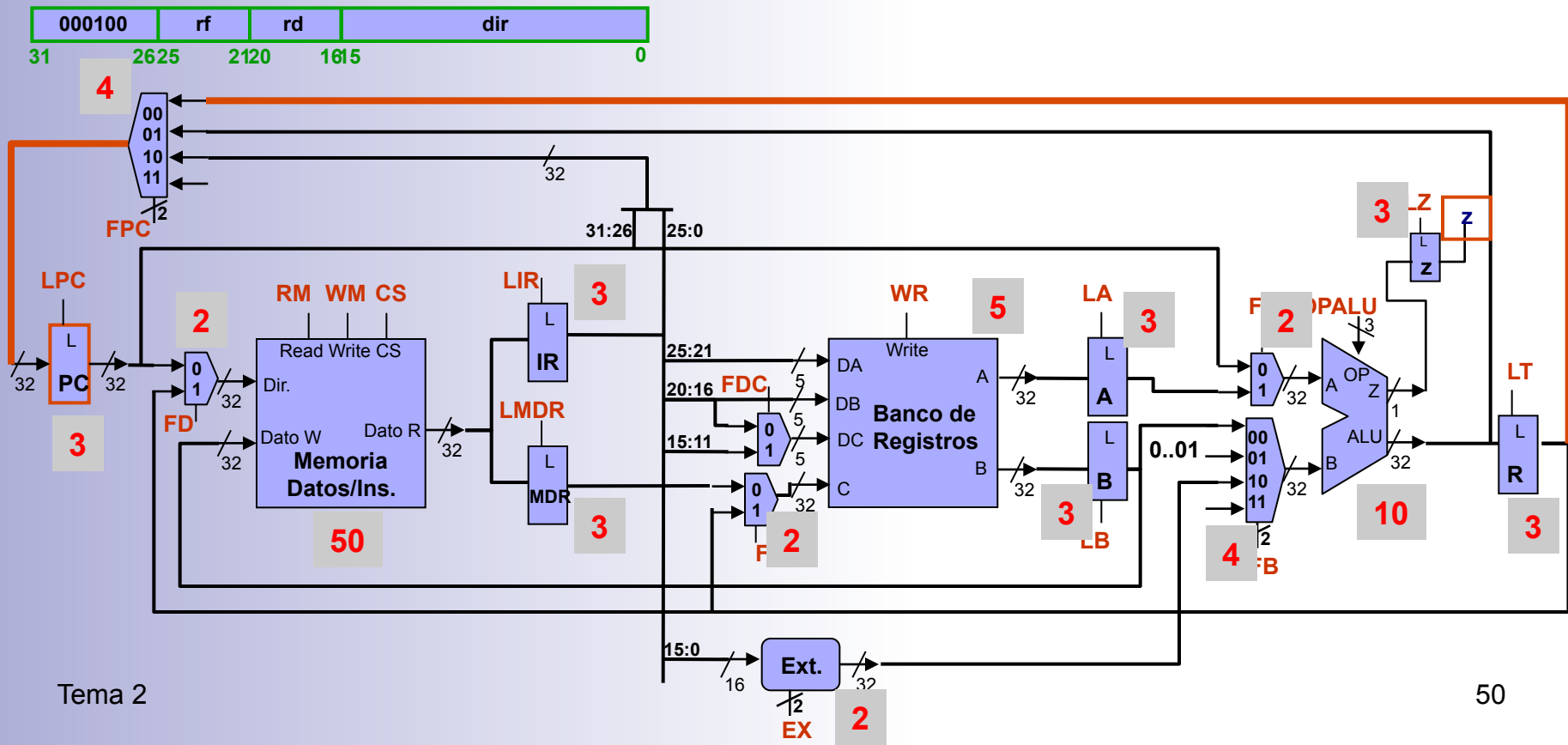
4 (Mux) + 3 (PC) = 7

IR  $\leftarrow$  MEM[PC]  
PC  $\leftarrow$  ALU(PC;1;SUMA)

A  $\leftarrow$  BancoReg[IR[25:21]]  
B  $\leftarrow$  BancoReg[IR[20:16]]  
R  $\leftarrow$  ALU(PC;ExtSig(IR[15:0]);SUMA)

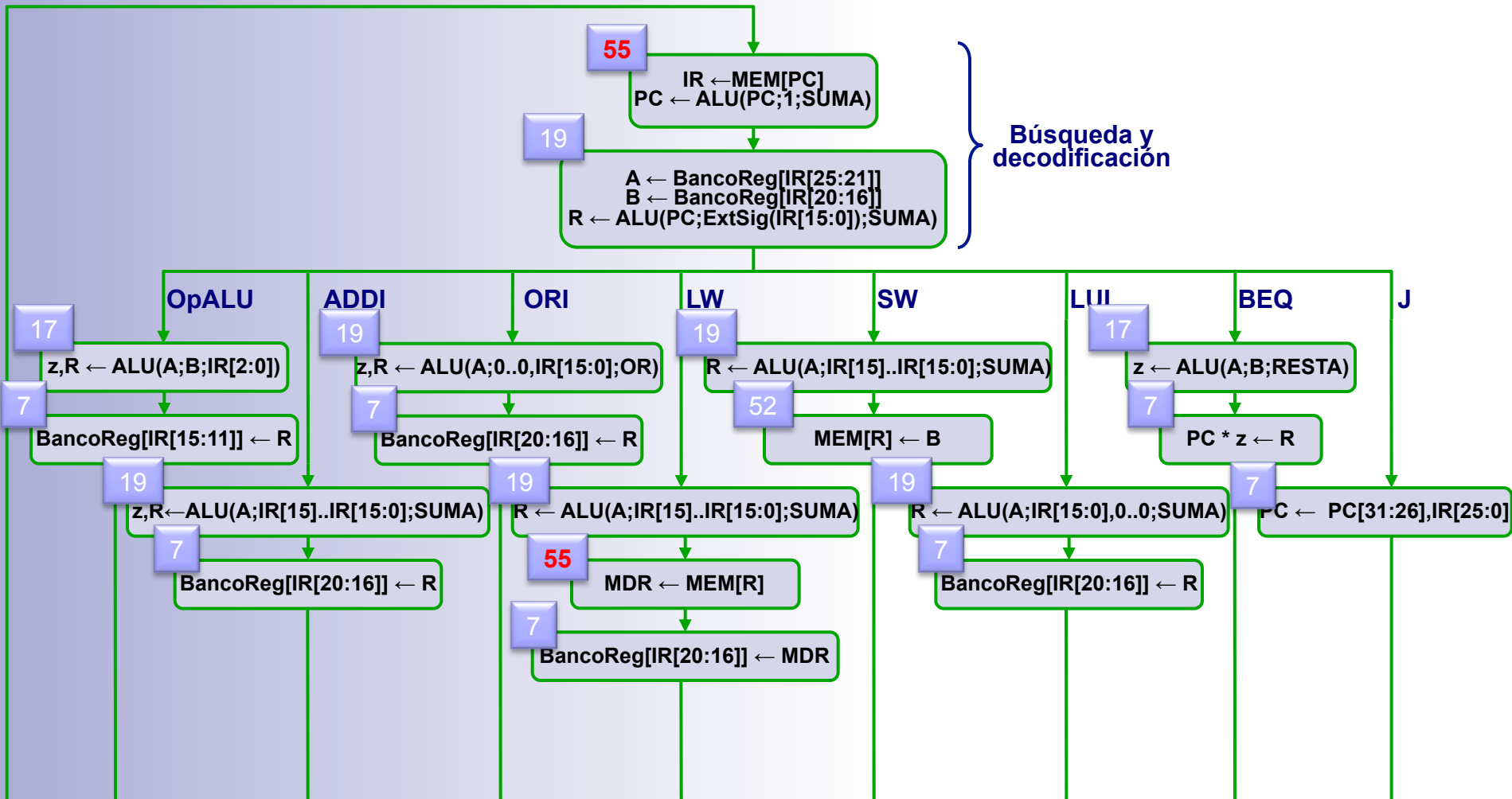
z  $\leftarrow$  ALU(A;B;RESTA)

PC \* z  $\leftarrow$  R





# Camino crítico: 55 ns

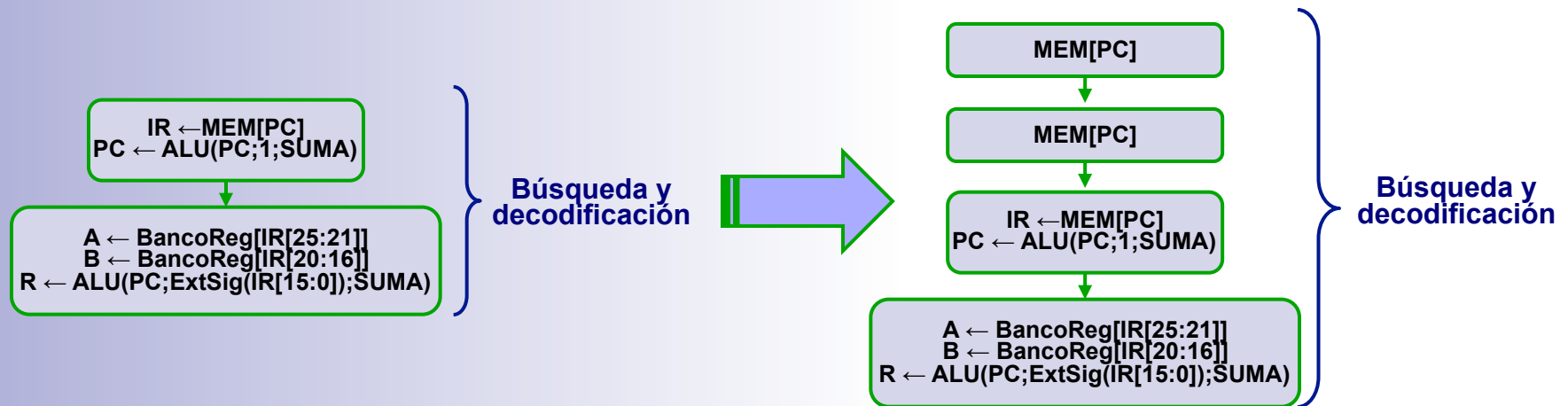


# Tiempo de ciclo (Multiciclo): 55 ns

Instrucción	Tiempo (Monoc.)	Tiempo (Multic.)
OpALU	122	$4 \times 55 = 220$
ADDI	122	$4 \times 55 = 220$
ORI	122	$4 \times 55 = 220$
LW	122	$5 \times 55 = 275$
SW	122	$4 \times 55 = 220$
LUI	122	$4 \times 55 = 220$
BEQ	122	$4 \times 55 = 220$
J	122	$3 \times 55 = 165$

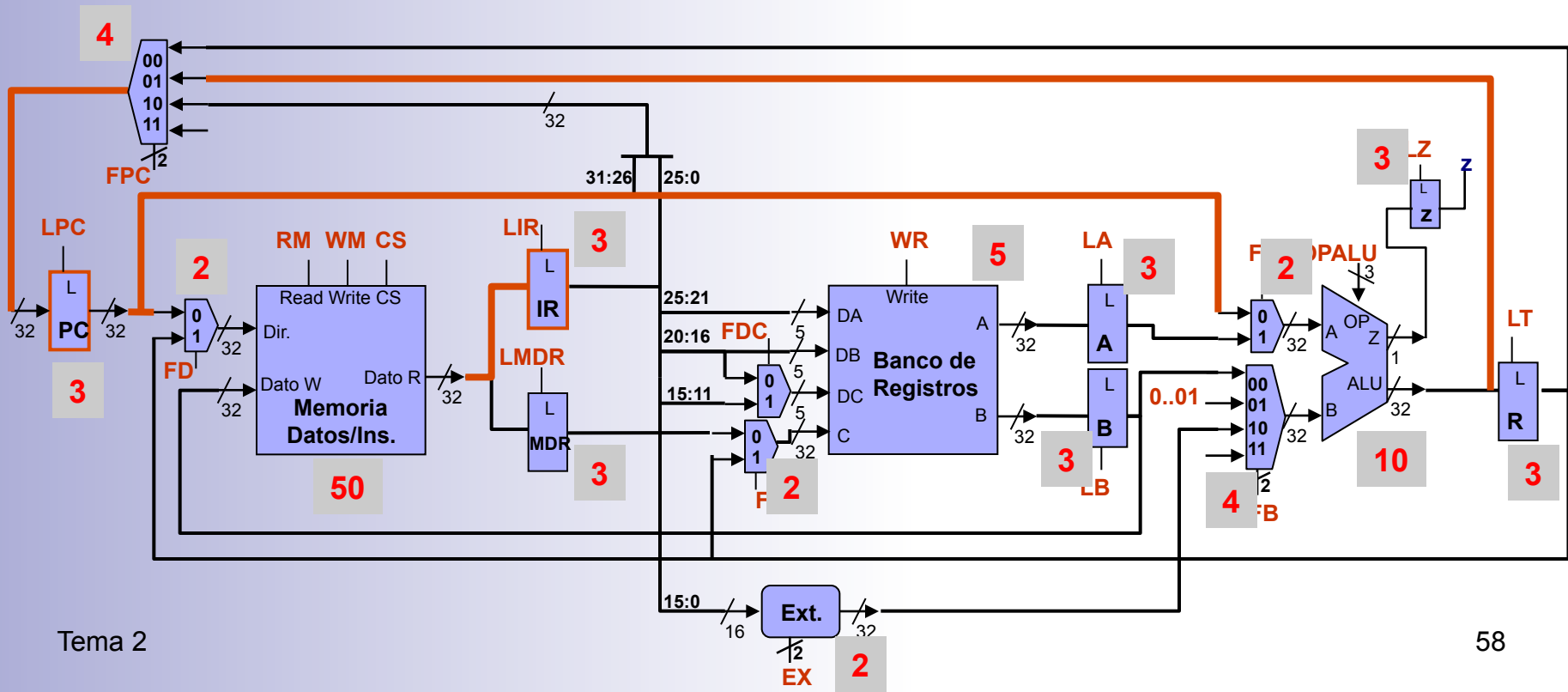
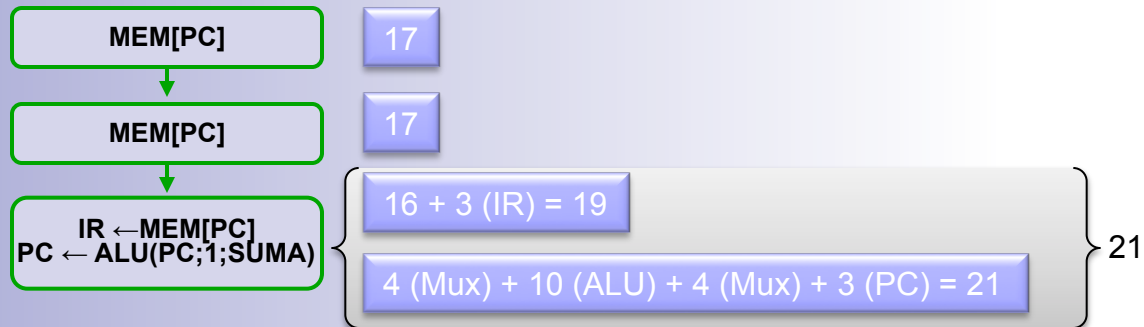
- Multiciclo mucho peor que Monociclo
- ¿Por qué?
  - El acceso a memoria es el que determina el tiempo de ciclo
- ¿Solución?
  - Partir el acceso a memoria en varios ciclos

# Acceso a memoria en varios ciclos

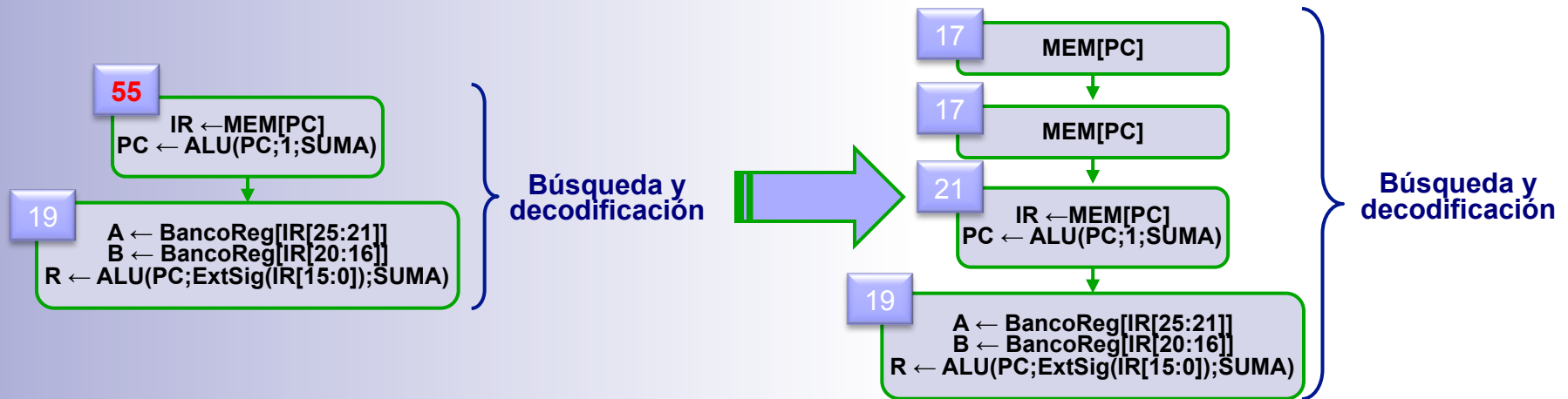


- Dividimos el acceso a memoria en 3 ciclos
  - Los dos primeros sólo direccionan memoria
  - El tercero carga el dato en el destino (IR)
  - La restricción ahora es que los 3 ciclos no pueden tardar menos de 50ns (16,6ns cada uno)

# Acceso a memoria en varios ciclos



# Acceso a memoria en varios ciclos

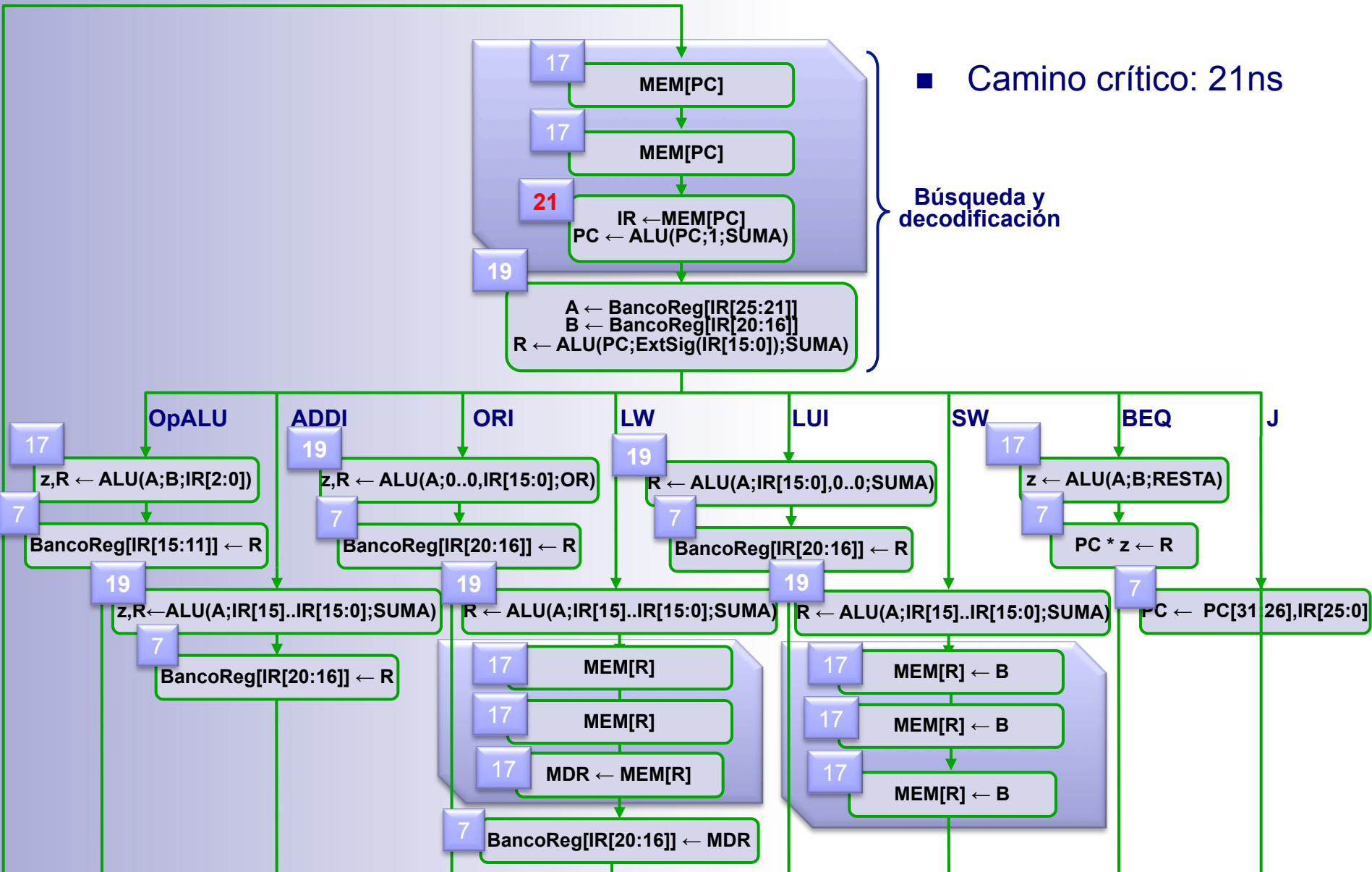


- Acceso a memoria:  $17+17+21=55 > 50$ 
  - IR se carga después de 55 ns direccionando la memoria con PC



■ Camino crítico: 21ns

Búsqueda y decodificación

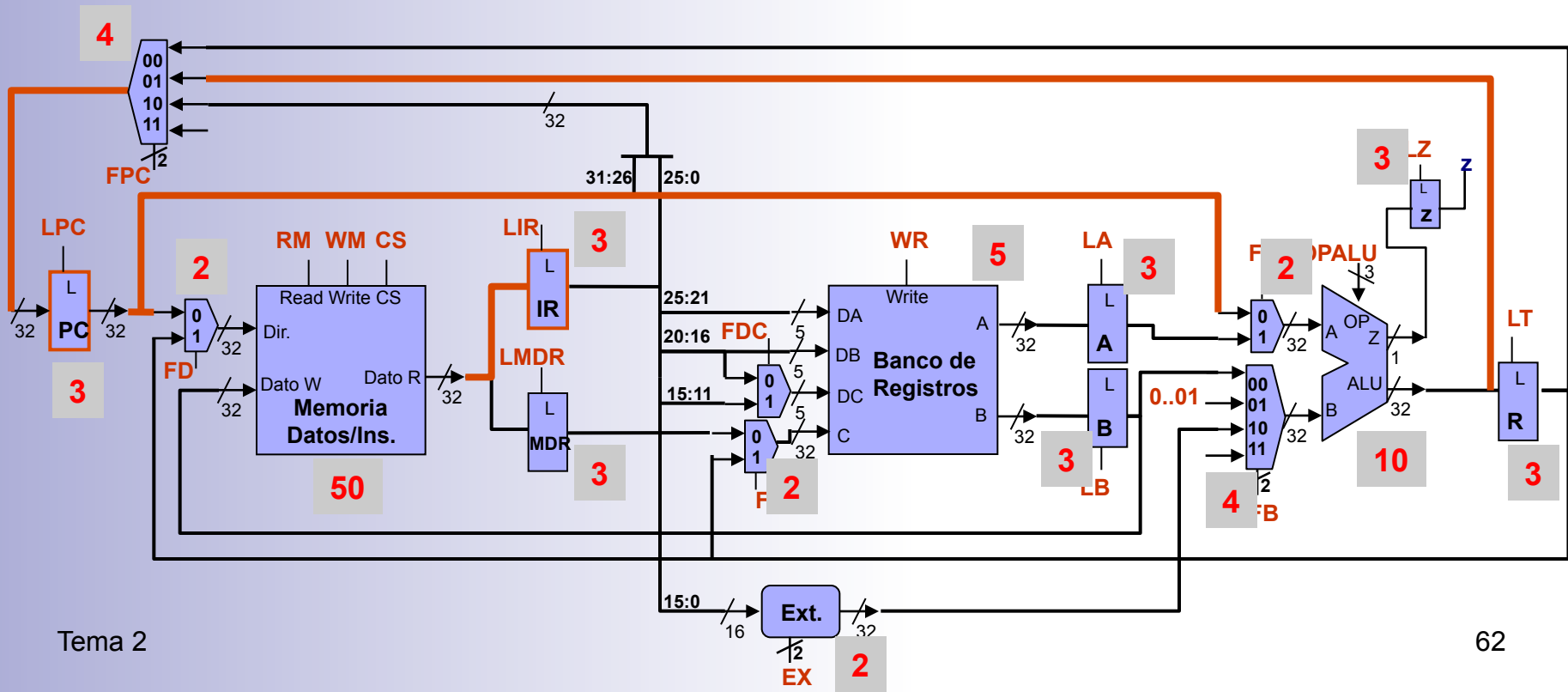
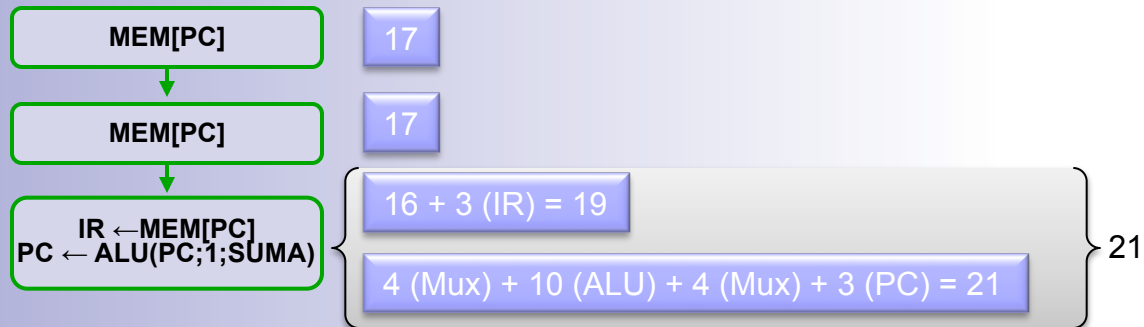


# Tiempo de ciclo (Multiciclo): 21ns

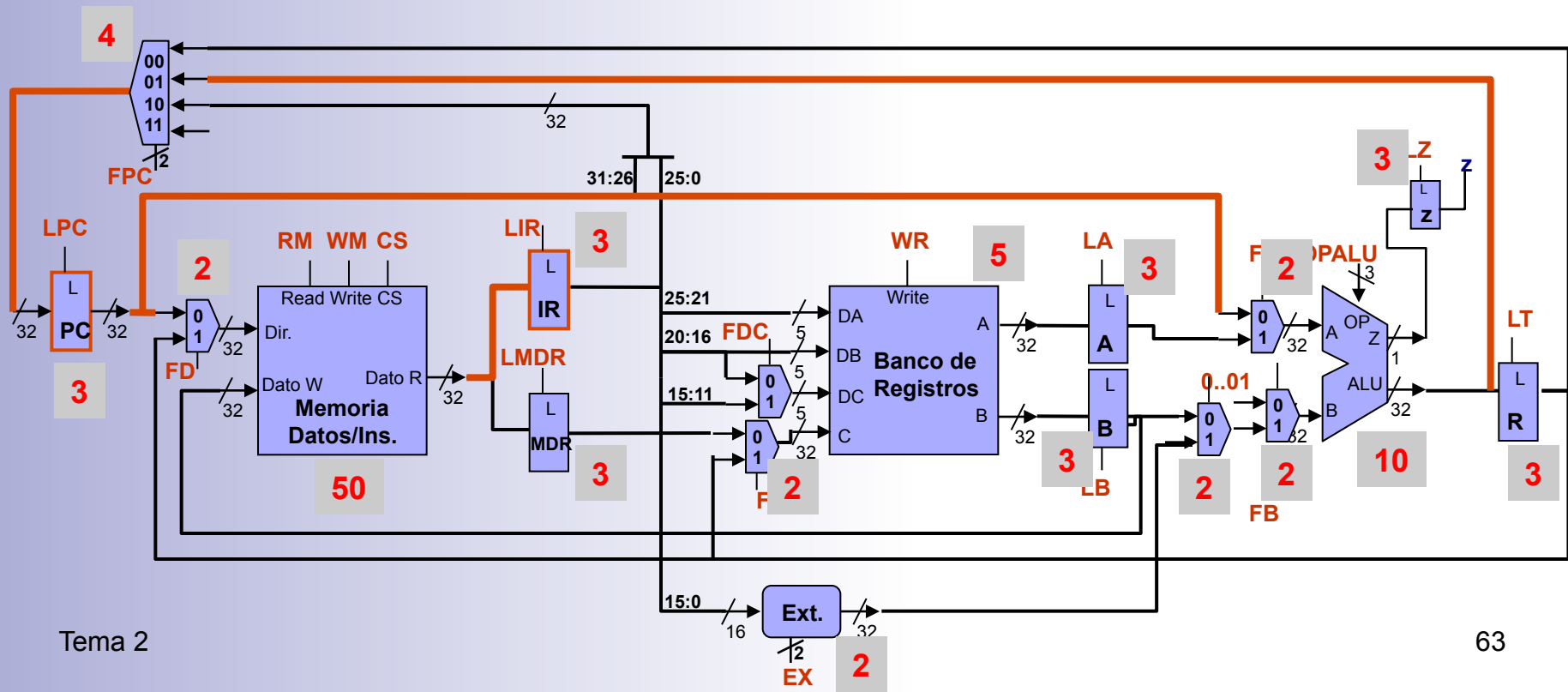
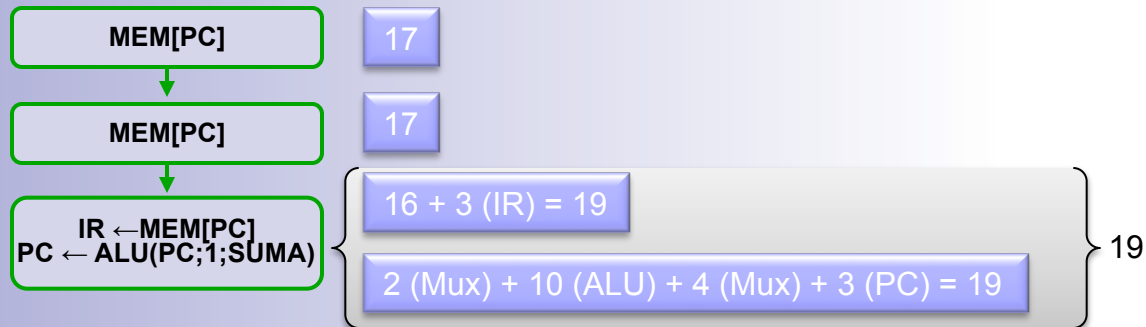
Instrucción	Tiempo (Monoc.)	Tiempo (Multic.)	Tiempo (Multic. Modificado)
OpALU	122	$4 \times 55 = 220$	$6 \times 21 = 126$
ADDI	122	$4 \times 55 = 220$	$6 \times 21 = 126$
ORI	122	$4 \times 55 = 220$	$6 \times 21 = 126$
<b>LW</b>	<b>122</b>	$5 \times 55 = 275$	$9 \times 21 = 189$
SW	122	$4 \times 55 = 220$	$8 \times 21 = 168$
LUI	122	$4 \times 55 = 220$	$6 \times 21 = 126$
BEQ	122	$4 \times 55 = 220$	$6 \times 21 = 126$
J	122	$3 \times 55 = 165$	$5 \times 21 = 105$

- Se acerca pero no mejora

# Mejorar camino crítico

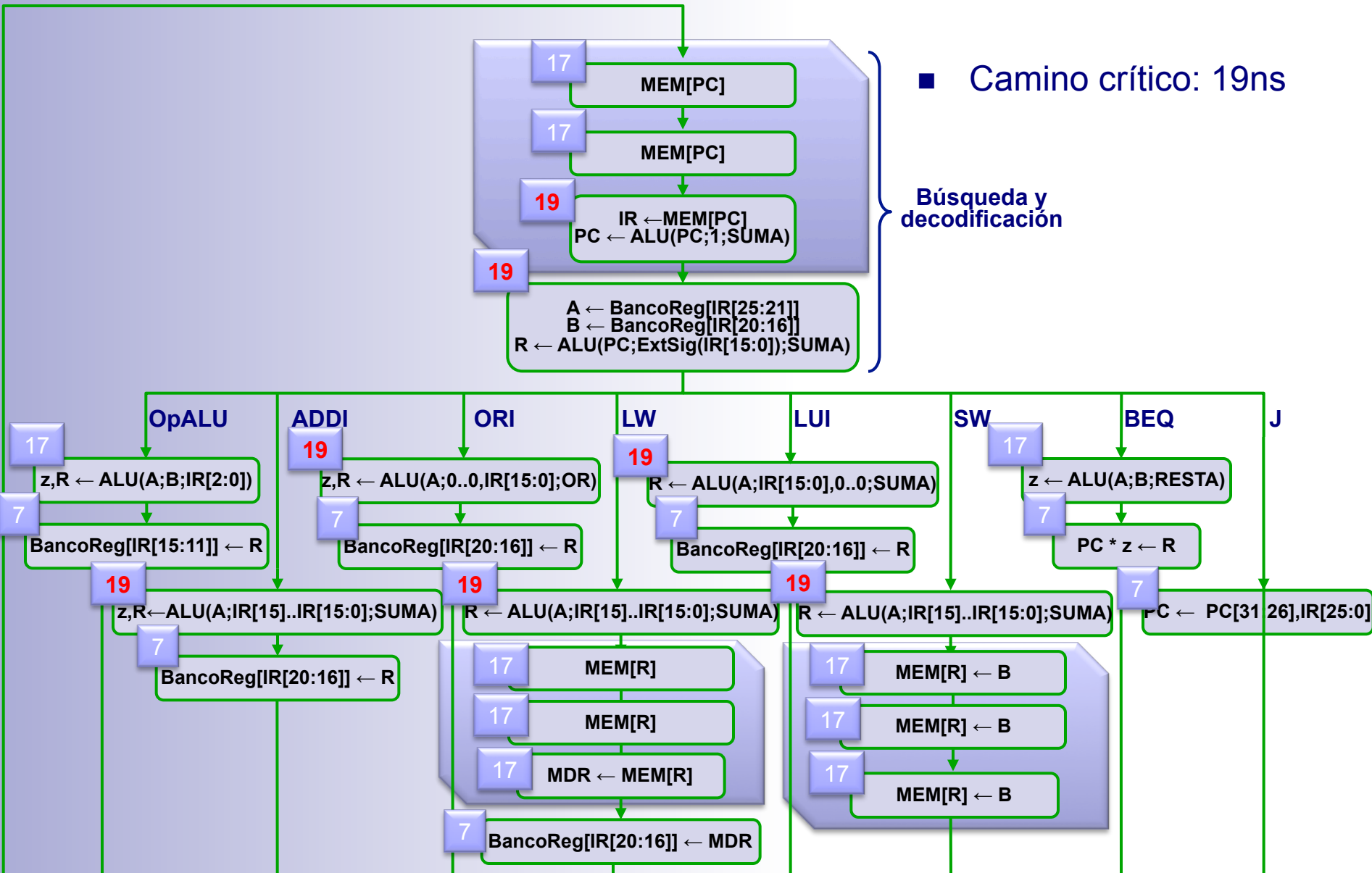


# Mejorar camino crítico



■ Camino crítico: 19ns

Búsqueda y decodificación



# Tiempo de ciclo (Multiciclo): 19ns

Instrucción	Tiempo (Monoc.)	Tiempo (Multic.)	Tiempo (Multic. Modificado)
OpALU	122	$4 \cdot 55 = 220$	$6 \cdot 19 = 114$
ADDI	122	$4 \cdot 55 = 220$	$6 \cdot 19 = 114$
ORI	122	$4 \cdot 55 = 220$	$6 \cdot 19 = 114$
LW	122	$5 \cdot 55 = 275$	$9 \cdot 19 = 171$
SW	122	$4 \cdot 55 = 220$	$8 \cdot 19 = 152$
LUI	122	$4 \cdot 55 = 220$	$6 \cdot 19 = 114$
BEQ	122	$4 \cdot 55 = 220$	$6 \cdot 19 = 114$
J	122	$3 \cdot 55 = 165$	$5 \cdot 19 = 95$

- Ya mejora algo pero poco
- ¿qué ocurriría si el retardo de la memoria fuera 200 en vez de 50?