

Tecnología de Computadores

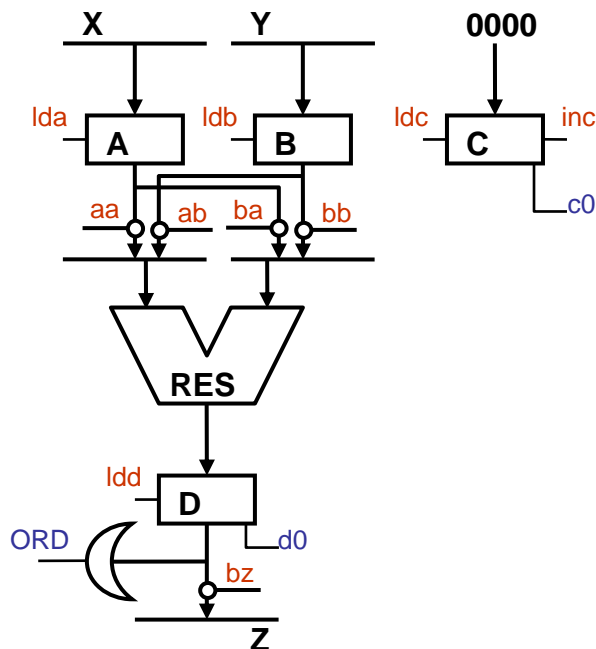
Ejercicios tema 3

Problema 1:

Sea la siguiente descripción RTL:

```
Module: Problema1
  Memory: A[4]; B[4]; C[4]; D[4].
  Input: X[4]; Y[4].
  Output: Z[4].
  1. A <- X; B <- Y; C <- 0; Z = D.
  2. D * C[0] <- RES(A; B); D * ¬C[0] <- RES(B; A).
  3. C <- INC(C); ¬>(C[0]) / (2).
  4. ¬>(V/D, ¬(V/D) ∧ D[0], ¬(V/D) ∧ ¬D[0]) / (1, 2, 3).
ENDSEQUENCE
  CONTROL RESET(1)
END
```

y su unidad de datos correspondiente:



Donde **A**, **B** y **D** son registros normales (con una señal de carga **lda**, **ldb** y **ldd**) y **C** es un registro-contador (con señal de carga **ldc** y señal de incremento **inc**). **RES** es un circuito restador que resta al valor de su entrada izquierda, el valor de su entrada derecha. Las señales **aa**, **ab**, **ba**, **bb** y **bz** controlan buffers tri-estado.

Diseña la unidad de control de dicho circuito:

1. por el método de los elementos de retardo.
2. por el método del contador de secuencias.

Problema 2:

Diseña la unidad de control del procesador del problema 8 del capítulo 5 del libro de problemas (ejercicio de unidad de datos del tema 2 de teoría) por el método del contador de secuencias.

Problema 3:

La siguiente figura representa una máquina secuencial constituida por una unidad de control cableada por el método del contador de secuencias y una unidad de datos, en la que pueden distinguirse un registro de desplazamiento **A** de 8 bits con sus señales de carga y desplazamiento a la derecha; dos contadores **CNT1** y **CNT2** módulo 8 que es posible poner a cero e incrementar; además a la salida del contador **CNT2** se han colocado unos triestados. Se pide: **Descripción RTL** completa del funcionamiento de la máquina representada (todas las señales de carga, incremento y desplazamiento actúan de forma síncrona por flanco de bajada)

