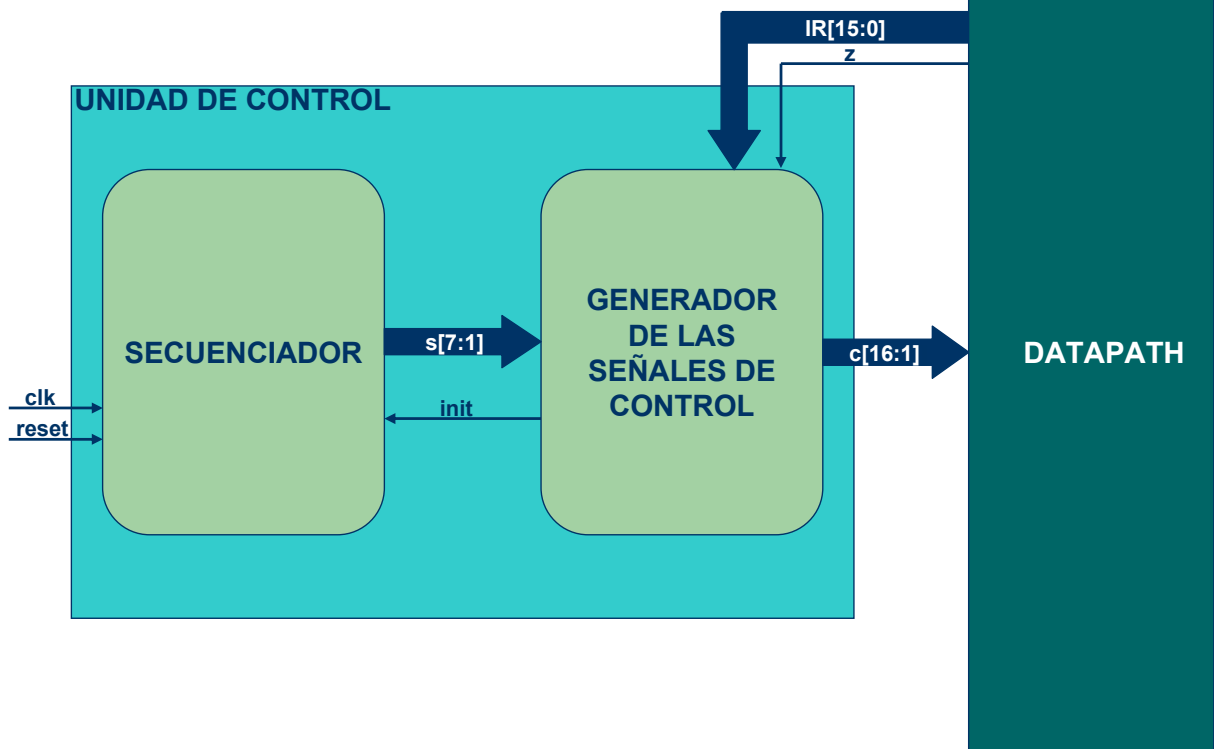
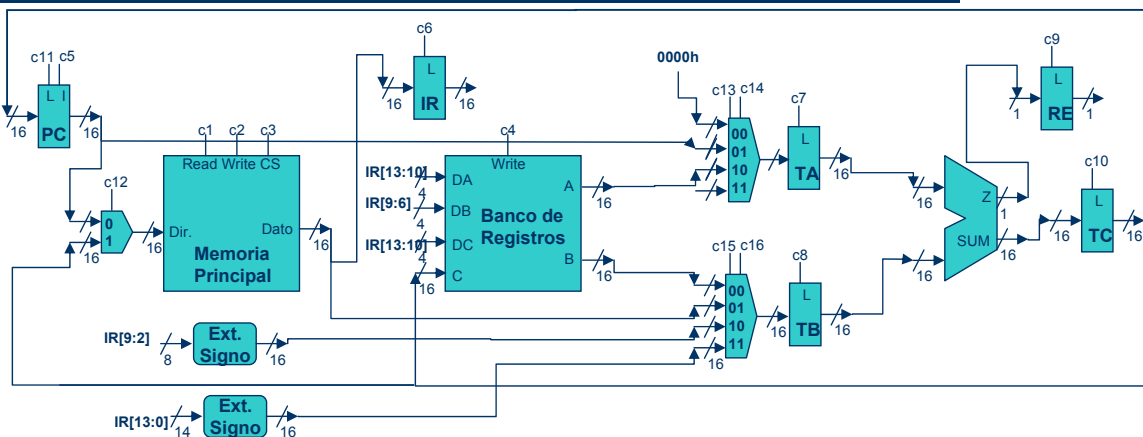


Unidad de control cableada

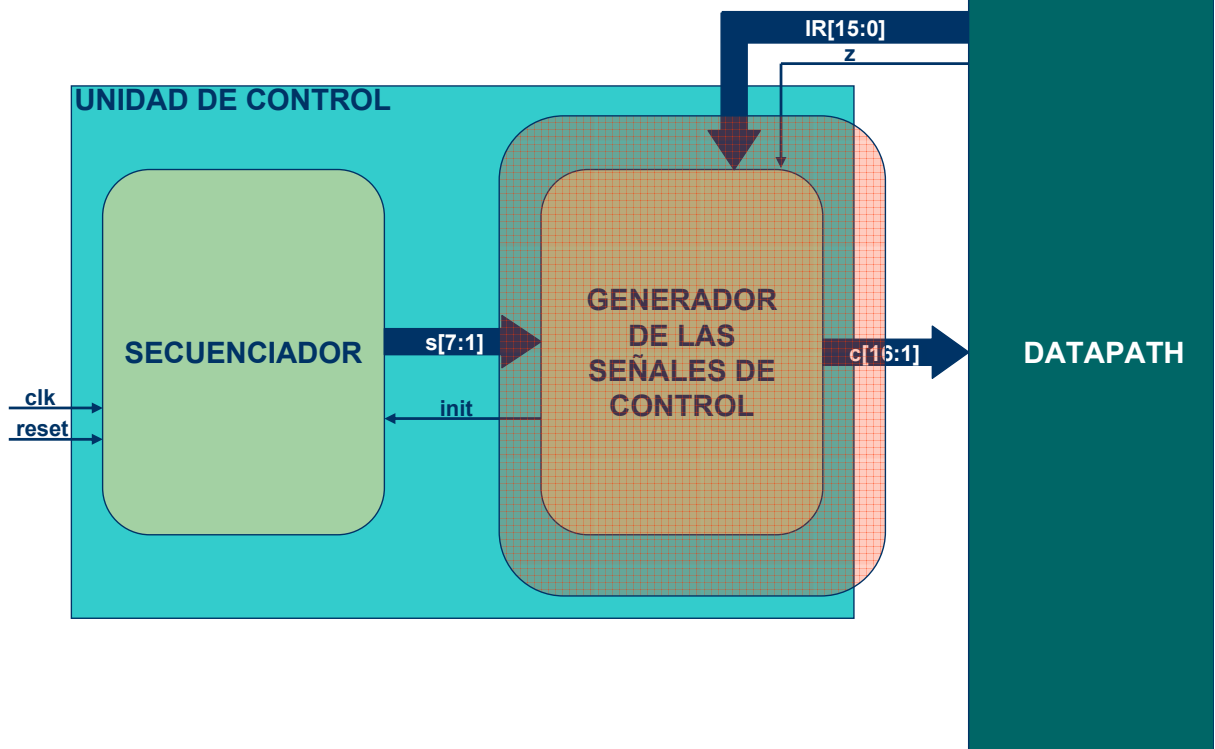


Unidad de control



s1:	IR ← M[PC]	c3, c1, c6	(ADD3)s3:	TA ← 0	c7,
s2:	PC ← INC(PC)	c5	(ADD3, ADD4)s4:	TB ← BR[rf]	c8
(ADD1)s3:	TA ← BR[rs]	c13, c7,	(JZ)s5:	TC ← TA + TB	c10
(ADD1, ADD2)s4:	TB ← BR[rf]	c8	(ADD3, ADD4)s5:	TA ← BR[rs]	c13, c7, c12, c3,
(ADD3, ADD4)s6:	TC ← TA + TB	c10	(ADD4)s3:	TB ← M[TC]	c1, c16, c8
(ADD1, ADD2)s5:	RE ← Z	c9	(JZ)s4:	TB ← ExSig(dir)	c15, c8
(ADD3, ADD4)s7:	BR[rs] ← TC	c4	(JZ)s6:	TA ← PC	c14, c7,
(ADD2)s3:	TA ← BR[rs]	c13, c7,		TB ← ExSig(de)	c15, c16, c8
	TB ← ExSig(cte)	c15, c8		PC ← TC	c11

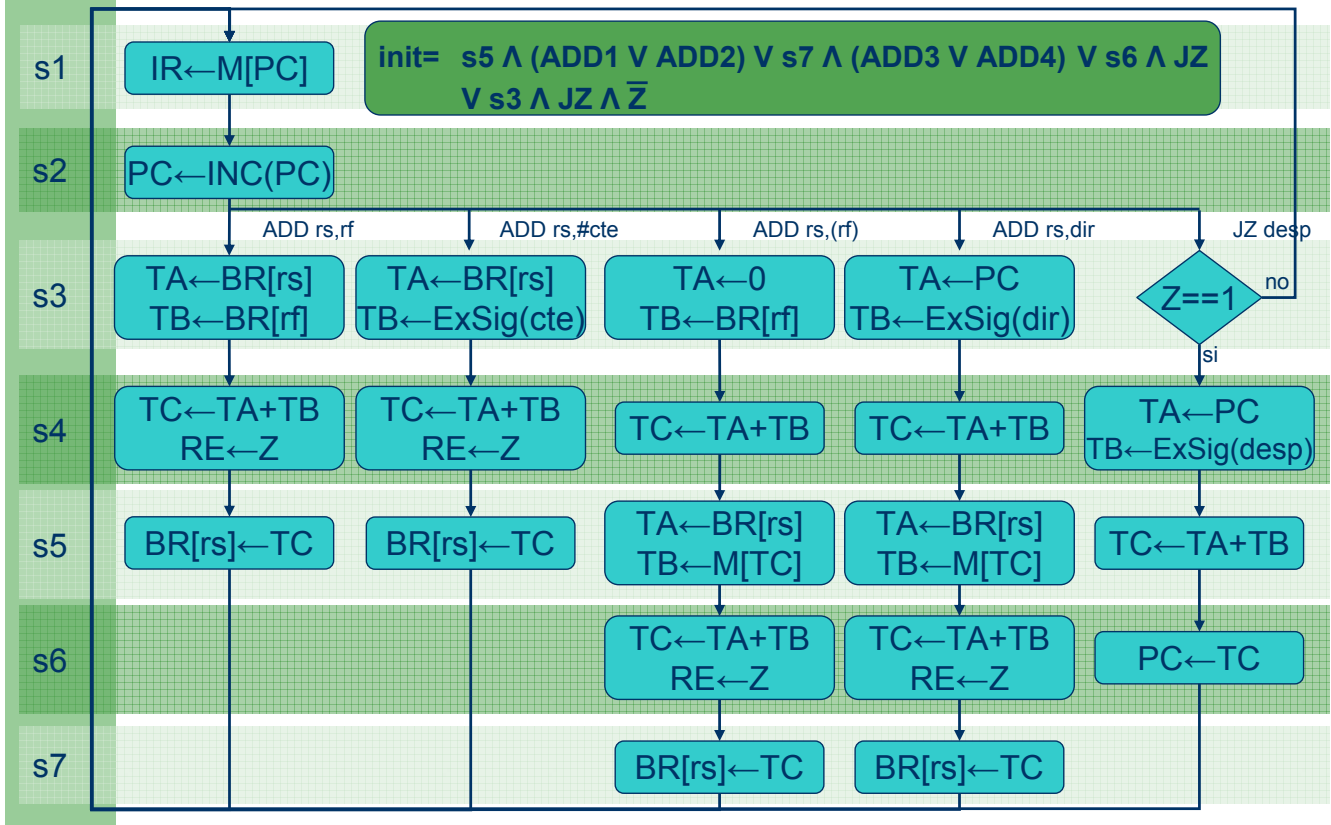
Unidad de control cableada



Generador de señales de control

s1:	IR ← M[PC]	c3, c1, c6	(ADD3)s3:	TA ← 0	c7, c8
s2:	PC ← INC(PC)	c5	(ADD3, ADD4)s4:	TC ← TA + TB	c10
(ADD1)s3:	TA ← BR[rs]	c13, c7, c8	(JZ)s5:		
(ADD1, ADD2)s4:	TB ← BR[rf]		(ADD3, ADD4)s5:	TA ← BR[rs]	c13, c7, c12, c3, c1, c16, c8
(ADD3, ADD4)s6:	TC ← TA + TB	c10	(ADD4)s3:	TB ← M[TC]	
(ADD1, ADD2)s5:	RE ← Z	c9	(ADD4)s3:	TA ← PC	c14, c7, c15, c8
(ADD3, ADD4)s7:	BR[rs] ← TC	c4	(JZ)s4:	TB ← ExSig(dir)	c15, c8
(ADD2)s3:	BR[rf] ← TC		(JZ)s4:	TA ← PC	c14, c7, c15, c16, c8
(ADD2)s3:	TA ← BR[rs]	c13, c7, c15, c8	(JZ)s6:	TB ← ExSig(de)	c11
(ADD2)s3:	TB ← ExSig(cte)			PC ← TC	
c1 = s1 V s5 ∧ (ADD3 V ADD4)			c10 = s4 ∧ (ADD1 V ADD2 V ADD3 V ADD4) V s5 ∧ JZ V s6 ∧ (ADD3 V ADD4)		
c2 = 0			c11 = s6 ∧ JZ		
c3 = s1 V s5 ∧ (ADD3 V ADD4)			c12 = s5 ∧ (ADD3 V ADD4)		
c4 = s5 ∧ (ADD1 V ADD2) V s7 ∧ (ADD3 V ADD4)			c13 = s3 ∧ (ADD1 V ADD2) V s5 ∧ (ADD3 V ADD4)		
c5 = s2			c14 = s3 ∧ ADD4 V s4 ∧ JZ		
c6 = s1			c15 = s3 ∧ (ADD2 V ADD4) V s4 ∧ JZ		
c7 = s3 ∧ (ADD1 V ADD2 V ADD3 V ADD4) V s4 ∧ JZ V s5 ∧ (ADD3 V ADD4)			c16 = s5 ∧ (ADD3 V ADD4) V s4 ∧ JZ		
c8 = s3 ∧ (ADD1 V ADD2 V ADD3 V ADD4) V s4 ∧ JZ V s5 ∧ (ADD3 V ADD4)			init =		
c9 = s4 ∧ (ADD1 V ADD2) V s6 ∧ (ADD3 V ADD4)					

Generador de señales de control



Generador de señales de control



Generador de señales de control

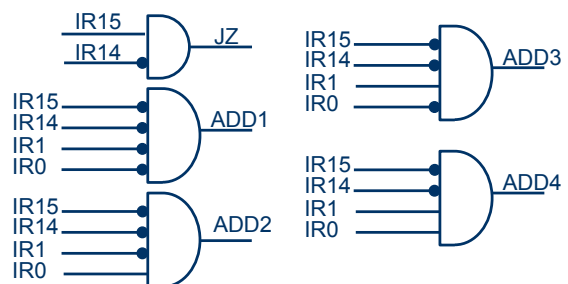
$c1 = s1 \vee s5 \wedge (ADD3 \vee ADD4)$	$c10 = s4 \wedge (ADD1 \vee ADD2 \vee ADD3 \vee ADD4) \vee s5 \wedge JZ \vee s6 \wedge (ADD3 \vee ADD4)$
$c2 = 0$	$c11 = s6 \wedge JZ$
$c3 = s1 \vee s5 \wedge (ADD3 \vee ADD4)$	$c12 = s5 \wedge (ADD3 \vee ADD4)$
$c4 = s5 \wedge (ADD1 \vee ADD2) \vee s7 \wedge (ADD3 \vee ADD4)$	$c13 = s3 \wedge (ADD1 \vee ADD2) \vee s5 \wedge (ADD3 \vee ADD4)$
$c5 = s2$	$c14 = s3 \wedge ADD4 \vee s4 \wedge JZ$
$c6 = s1$	$c15 = s3 \wedge (ADD2 \vee ADD4) \vee s4 \wedge JZ$
$c7 = s3 \wedge (ADD1 \vee ADD2 \vee ADD3 \vee ADD4) \vee s4 \wedge JZ \vee s5 \wedge (ADD3 \vee ADD4)$	$c16 = s5 \wedge (ADD3 \vee ADD4) \vee s4 \wedge JZ$
$c8 = s3 \wedge (ADD1 \vee ADD2 \vee ADD3 \vee ADD4) \vee s4 \wedge JZ \vee s5 \wedge (ADD3 \vee ADD4)$	$init = s5 \wedge (ADD1 \vee ADD2) \vee s7 \wedge (ADD3 \vee ADD4) \vee s6 \wedge JZ \vee s3 \wedge JZ \wedge \bar{Z}$
$c9 = s4 \wedge (ADD1 \vee ADD2) \vee s6 \wedge (ADD3 \vee ADD4)$	

Instrucción	Formato de instrucción
Mnemónico	
ADD rs,rf	00 rs rf xxxx 00
ADD rs,#cte	00 rs cte 01
ADD rs,(rf)	00 rs rf xxxx 10
ADD rs,dir	00 rs dir 11
JZ desp	10 desp

-s[7:1] y Z son entradas

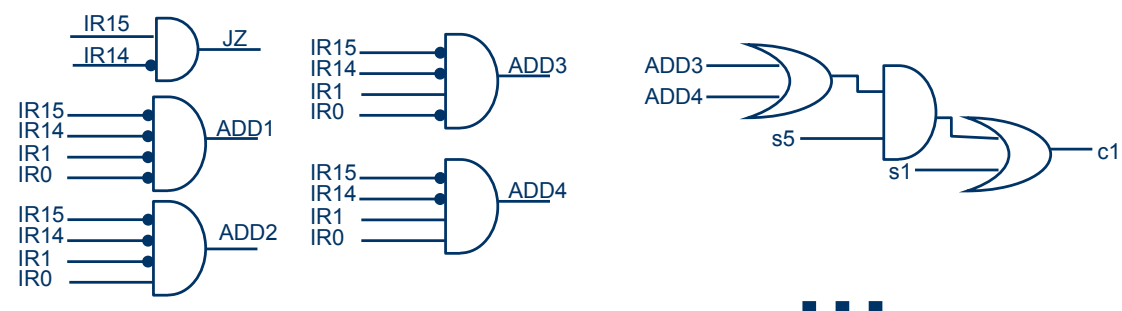
-¿ADD1, ADD2, ADD3, ADD4 y JZ?

-A partir de IR[15:0] (decodificar)

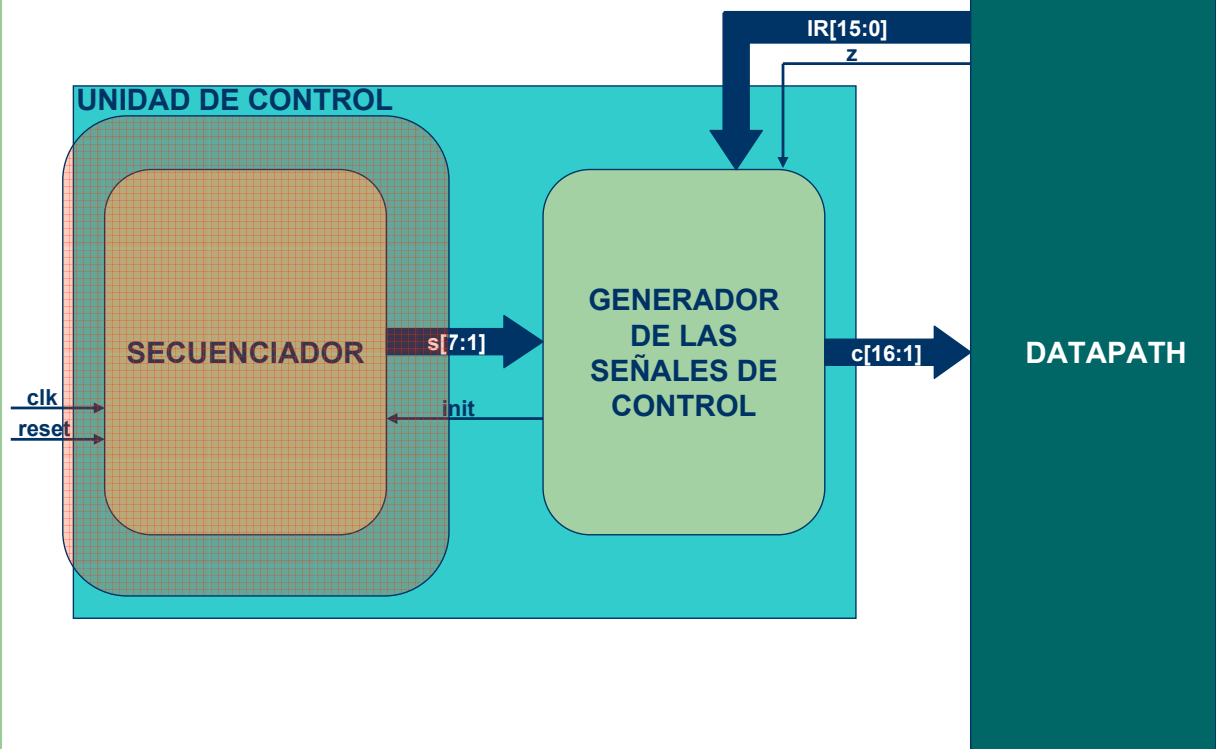


Generador de señales de control

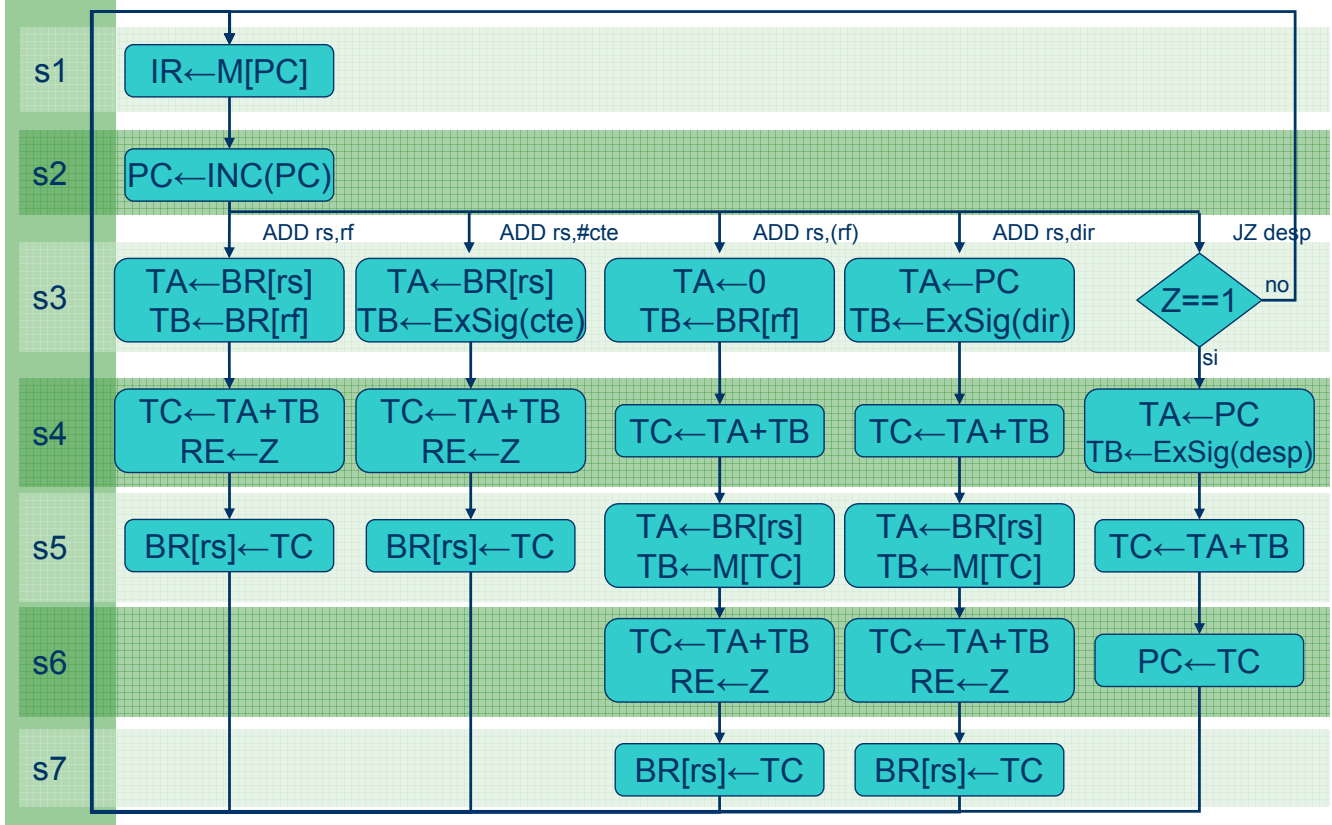
$c1 = s1 \vee s5 \wedge (ADD3 \vee ADD4)$	$c10 = s4 \wedge (ADD1 \vee ADD2 \vee ADD3 \vee ADD4) \vee s5 \wedge JZ \vee s6 \wedge (ADD3 \vee ADD4)$
$c2 = 0$	$c11 = s6 \wedge JZ$
$c3 = s1 \vee s5 \wedge (ADD3 \vee ADD4)$	$c12 = s5 \wedge (ADD3 \vee ADD4)$
$c4 = s5 \wedge (ADD1 \vee ADD2) \vee s7 \wedge (ADD3 \vee ADD4)$	$c13 = s3 \wedge (ADD1 \vee ADD2) \vee s5 \wedge (ADD3 \vee ADD4)$
$c5 = s2$	$c14 = s3 \wedge ADD4 \vee s4 \wedge JZ$
$c6 = s1$	$c15 = s3 \wedge (ADD2 \vee ADD4) \vee s4 \wedge JZ$
$c7 = s3 \wedge (ADD1 \vee ADD2 \vee ADD3 \vee ADD4) \vee s4 \wedge JZ \vee s5 \wedge (ADD3 \vee ADD4)$	$c16 = s5 \wedge (ADD3 \vee ADD4) \vee s4 \wedge JZ$
$c8 = s3 \wedge (ADD1 \vee ADD2 \vee ADD3 \vee ADD4) \vee s4 \wedge JZ \vee s5 \wedge (ADD3 \vee ADD4)$	$init = s5 \wedge (ADD1 \vee ADD2) \vee s7 \wedge (ADD3 \vee ADD4) \vee s6 \wedge JZ \vee s3 \wedge JZ \wedge \bar{Z}$
$c9 = s4 \wedge (ADD1 \vee ADD2) \vee s6 \wedge (ADD3 \vee ADD4)$	



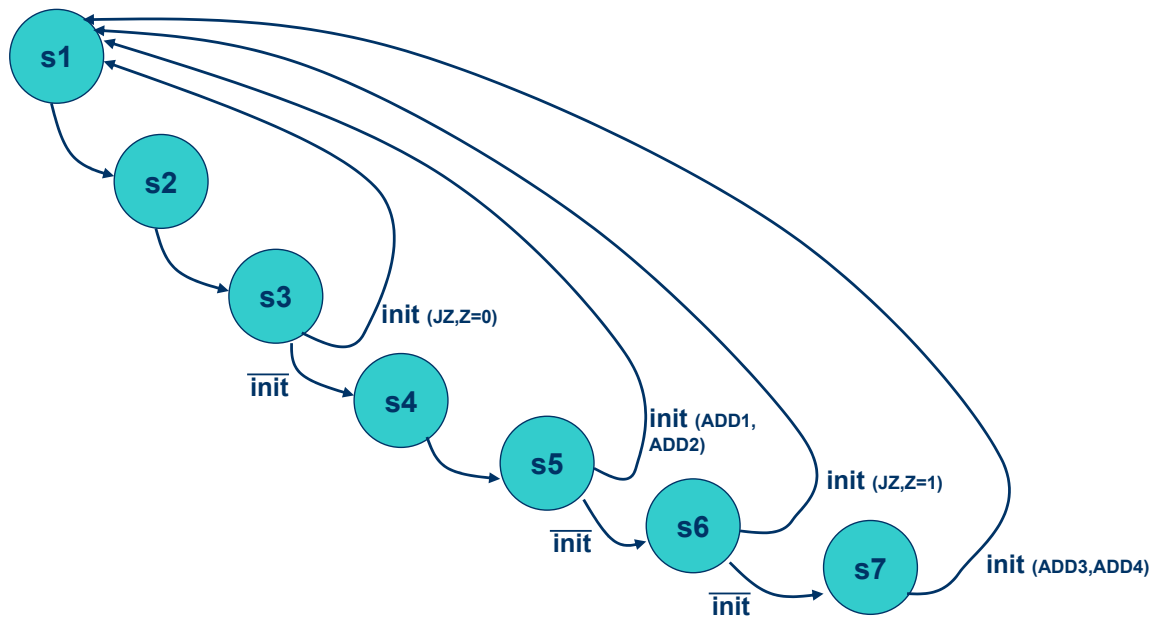
Unidad de control cableada



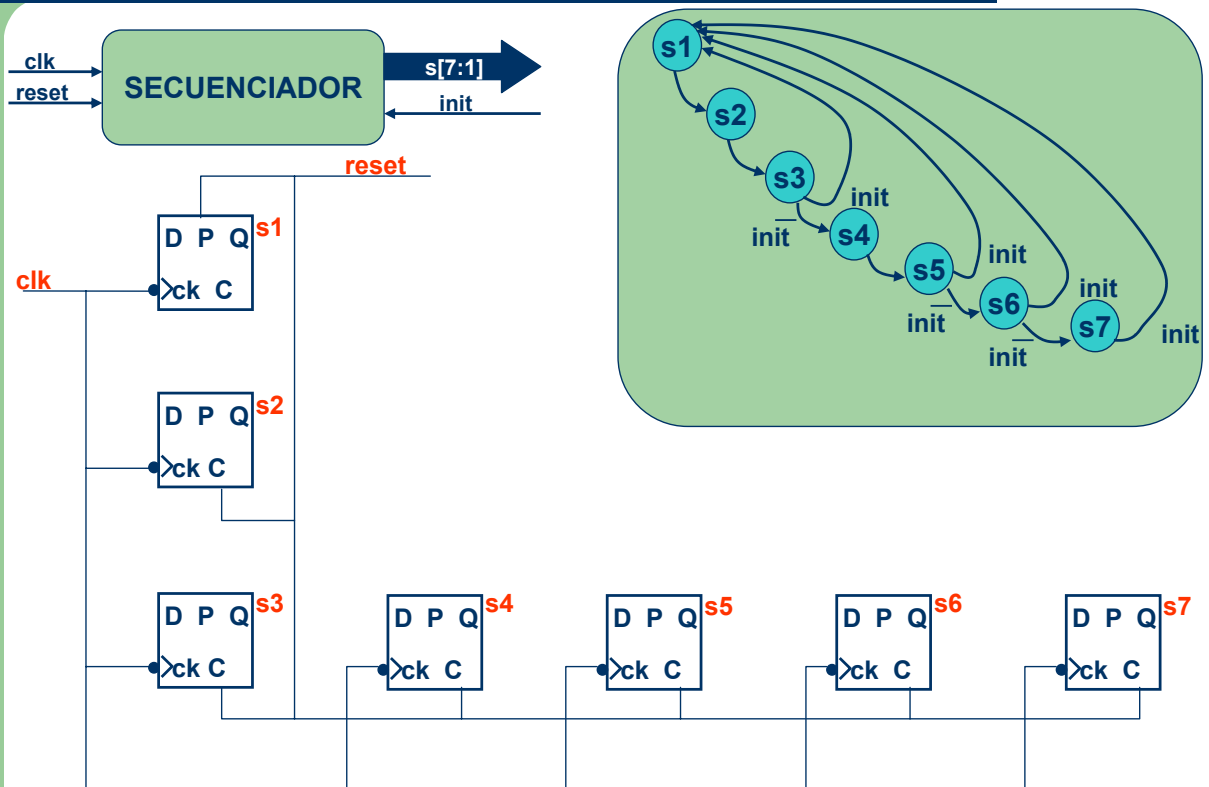
Secuenciador



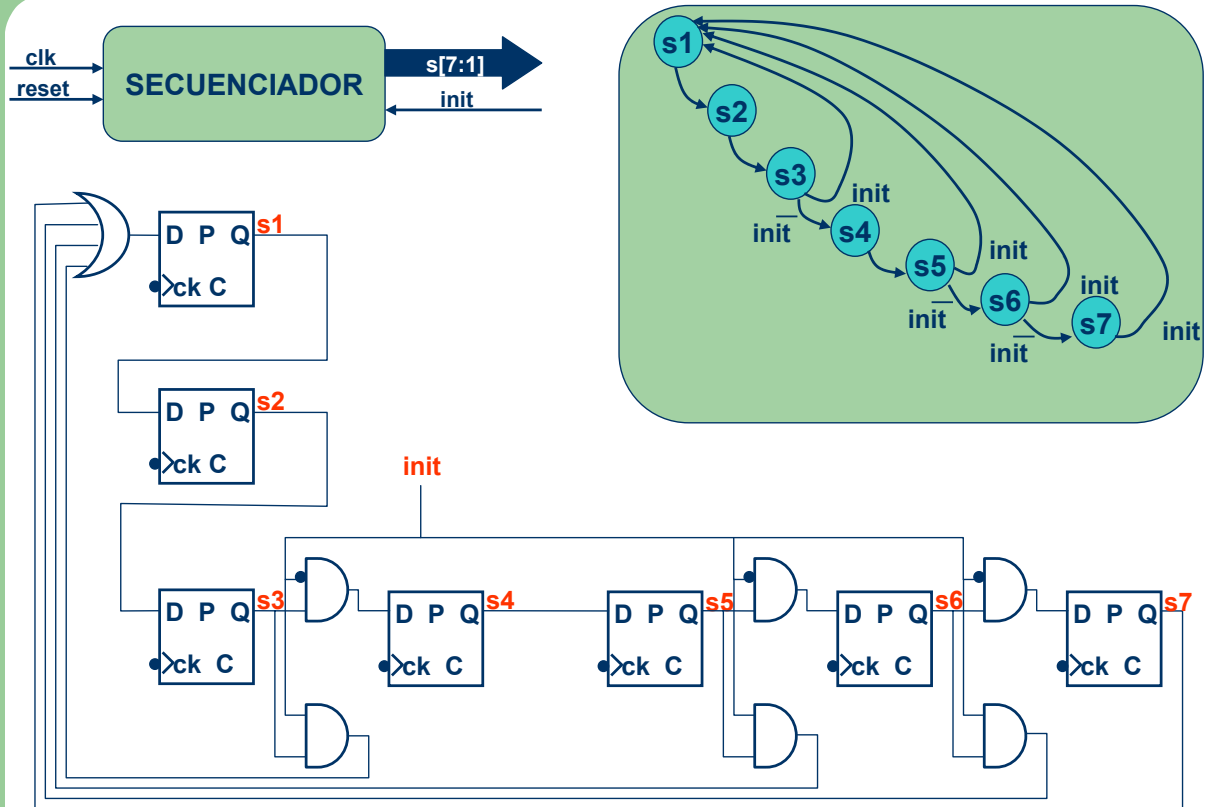
Secuenciador: Diagrama de estados



Secuenciador: Elementos de retardo



Secuenciador: Elementos de retardo



Secuenciador: Contador de secuencias

