

**Problema 6:**

Se pretende diseñar la Unidad de Control Microprogramada para el procesador mostrado en la figura 7.6. La Unidad de Datos contiene los registros PC e IR, un Banco de registros (B) con 256 registros de 8 bits, todos ellos accesibles a través de un registro BAR (que se utilizará para almacenar el número de registro al que se quiere acceder, bien para leer su contenido o bien para modificarlo). El registro BDR se utiliza como registro intermedio para el almacenamiento temporal de los datos relacionados con alguno de los registros del banco. Esta CPU también dispone de un registro de estados con 2 flags (Z y N); una ALU con 2 operaciones distintas y 3 registros de propósito general (L y R a su entrada, y TMP a su salida); una Memoria (M) de 256 palabras de 8 bits cada una, que contiene tanto instrucciones como datos y tiene asociado el registro MAR para las direcciones, no necesitando ningún registro intermedio para almacenar temporalmente los datos, sino que son volcados directamente sobre el BUS principal del sistema, pudiendo almacenarse dicho valor en cualquier registro directamente conectado con el BUS. El tamaño de palabra de la ALU, del Banco de Registros (B) y de la Memoria Principal (M) es de 8 bits.

Es importante resaltar que cada instrucción está almacenada en 1 o varias palabras de memoria, con lo que posiblemente será necesario realizar más de un acceso a memoria para acceder a la instrucción completa. El juego de instrucciones de este procesador se caracteriza por la peculiaridad de que la primera palabra de la instrucción es siempre el código de operación (COP) de la misma, que es por tanto de 8 bits. El resto de palabras de la instrucción son opcionales (depende de cada instrucción concreta) y se corresponden a números de registro utilizados en la ejecución de la instrucción. Estos operandos son también de 8 bits (ver figura 7.6).

El conjunto de instrucciones del procesador junto con sus códigos de operación y su significado, así como el número de palabras de memoria de las que se compone y el orden de acceso se muestra en la tabla 7.9, en la cual  $N$  representa el número de palabras de la instrucción. Los puntos de control que gobiernan el funcionamiento del data-path se describen en la tabla 7.10.

Se pide:

1. Diseñar la Unidad de Control de dicho procesador, especificando claramente el formato de la microinstrucción utilizado y los nuevos puntos de control si fueran necesarios. Se debe utilizar microprogramación horizontal.
2. Escribir el microcódigo correspondiente a la rutina común de búsqueda y decodificación, así como las microrrutinas asociadas a cada una de las

instrucciones máquina mostradas en la tabla 7.9.

3. Si se ha utilizado en el diseño de la Unidad de Control, describir internamente el Sistema de Proyección.

NOTA: Suponer resueltos todos los posibles problemas de temporización, y que tanto las operaciones de transferencia entre 2 registros cualquiera del procesador, cualquier operación con la ALU o acceso a memoria (lectura/escritura) o al banco de registros (lectura/escritura) requieren un único ciclo de reloj.

Mnemónico	COP	Significado	N	Orden
SALTA Z R1	$0F_{(16)}$	si $Z=1$ , $PC <- B(R1)$	2	(COP, R1)
MUEVE R1,R2	$0A_{(16)}$	$B(R2) <- B(R1)$	3	(COP, R1, R2)
SUMA R1,R2,R3	$05_{(16)}$	$B(R3) <- B(R1) + B(R2)$	4	(COP, R1, R2, R3)

Tabla 7.9: Conjunto de instrucciones del procesador (Problema 6).

Señal	Mnemónico	Significado
c1	loadBAR	Carga en BAR el contenido del BUS
c2	writeB	Escritura en el banco de registros ( $B(BAR) <- BDR$ )
c3	readB	Lectura del banco de registros ( $BDR <- B(BAR)$ )
c4	vuelcaBDR	Vuelca el contenido de BDR en el BUS
c5	loadBDR	Carga en BDR el contenido del BUS
c6	loadL	Carga en L el contenido del BUS
c7	loadR	Carga en R el contenido del BUS
c8	ALU	0: $L+R$ , 1: $L+1$
c9	loadTMP	Carga del registro TMP con el resultado de la ALU
c10	flags	Carga el registro de estado del procesador
c11	vuelcaTMP	Vuelca el contenido de TMP al BUS
c12	vuelcaPC	Vuelca el contenido de PC al BUS
c13	loadPC	Carga el PC con el contenido del BUS
c14	loadIR	Carga el IR con el contenido del BUS
c15	loadMAR	Carga el MAR con el contenido del BUS
c16	writeM	Escritura en memoria
c17	readM	Lectura de memoria
c18	vuelcaM	Vuelca el contenido de la memoria al BUS
c19	incPC	Incremento del Contador de Programa

Tabla 7.10: Puntos de control del procesador (Problema 6).

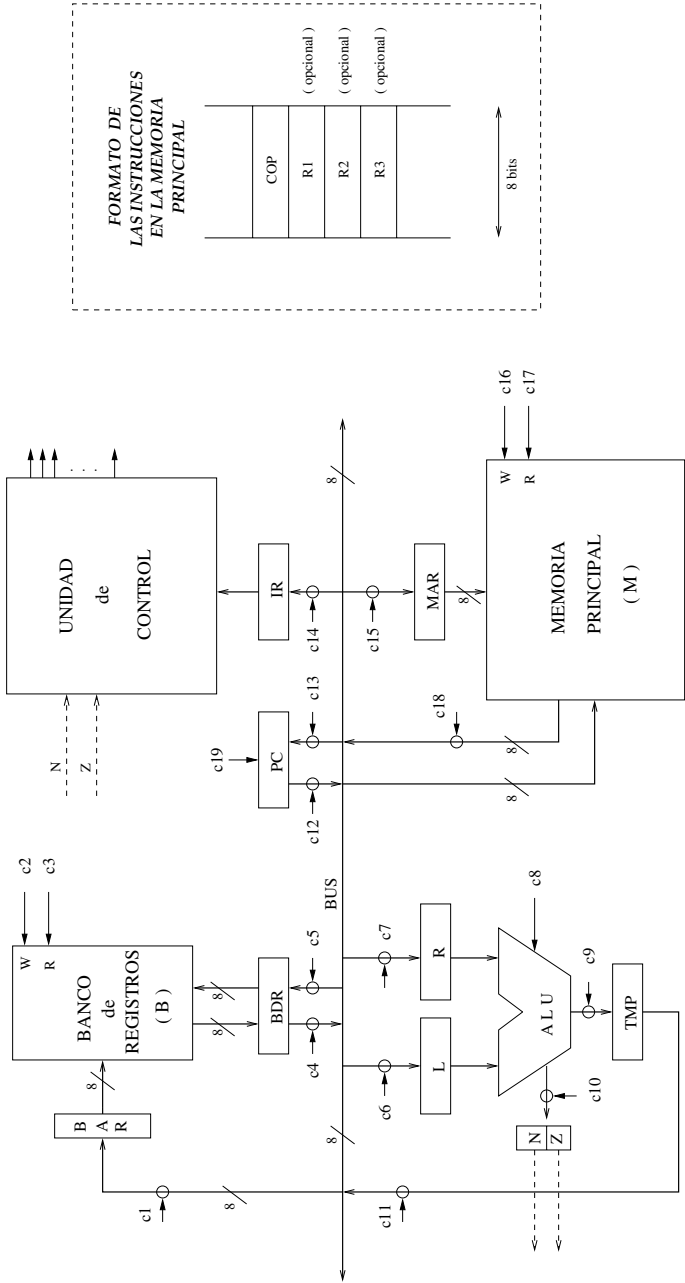


Figura 7.6: Procesador microprogramado (Problema 6).

### Problema 7:

Sean las secciones de datos y de control microprogramado de la figura 7.7. Sus elementos más destacados son:

- **Memoria RAM** externa de  $2^{32}$  celdas de 16 bits (4 Giga-palabras), común para datos e instrucciones. Está asociada a un registro de datos, DR de 16 bits, y otro de direcciones MAR de 32 bits.
- **Un banco de ocho registros** entre los que se encuentran seis registros de propósito general, D0-D5 y un registro índice IX dividido en 2 partes: IXL, que almacena los 16 bits menos significativos, e IXH, que almacena los 16 bits más significativos de una dirección de 32 bits. Las señales de control c1, c2 y c3, seleccionan uno de los ocho registros para volcar su contenido al BUS (si c5 = 1), o para cargarse con el dato del BUS (si c4 = 1).
- **Registros temporales** (TMP1 y TMP2), que pueden ser cargados desde el BUS, y proporcionan los operandos de la ALU.
- **Registro de Instrucción** (IR) de 16 bits que almacena una instrucción con un código de operación (OpCode) de 16 bits. Todas las instrucciones del micro ocupan una palabra en memoria.
- **Unidad Aritmético-Lógica** de 16 bits capaz de realizar 4 operaciones controladas por las señales c9 y c10. Notar que la ALU proporciona el carry C y que éste a su vez realimenta la entrada de carry Cin de la ALU.
- Notar también que *sólo PC y MAR son registros de 32 bits*. El resto de los registros son de 16 bits.

Suponer resueltos los posibles problemas de temporización y, dado que los registros se cargan al final del ciclo máquina (incluido el contador de microprograma), es necesario:

- 1 ciclo de reloj para completar la siguiente cadena de operaciones: “Volcado de alguno de los registros TMP1 o TMP2 a la ALU”; “Operación ALU”, y “Escritura en alguno de los registros”.
- 1 ciclo para cualquier transferencia entre dos registros cualesquiera (PC, MAR, D0, IXL, TMP1, ...)
- 1 ciclo de reloj para la lectura o escritura del dato almacenado en DR en la posición de memoria dada por MAR.

Se pide:

1. Diseño de la Unidad de Control microprogramada. Justifica el tamaño del registro de microinstrucción.
2. Diseña la microrrutina común de búsqueda y decodificación. Utiliza la

tabla 7.13 para codificar las microinstrucciones. En la columna **Descripción** detalla en RTL el significado de cada microinstrucción. *Notar que esta tabla no está completa.*

3. Diseño de las microrrutinas asociadas a cada una de las instrucciones de la tabla 7.11.
4. Detalla el número de palabras de la ROM de Proyección y el contenido de las posiciones que conozcas.

Instrucción	OpCode	Tarea a realizar
ADD D3,D4	001F <sub>(16)</sub>	D4 $\leftarrow$ D3 + D4
BCC IX	0020 <sub>(16)</sub>	IF (flag_C=1) THEN PC $\leftarrow$ IX
MOV D0,D1	0000 <sub>(16)</sub>	D1 $\leftarrow$ D0
LDIX D5,D2	0003 <sub>(16)</sub>	D2 $\leftarrow$ MEM[IX+D5]

Tabla 7.11: Subconjunto de instrucciones de la CPU (Problema 7).

Señal	Significado
c1, c2, c3	Selección de registro para lectura/escritura al BUS.
c4	Carga del dato del BUS al registro seleccionado por c1, c2, c3.
c5	Volcado del registro seleccionado por c1, c2, c3 al BUS.
c6	Carga del registro TMP1 con el dato del BUS.
c7	Carga del registro TMP2 con el dato del BUS.
c8	Reset del registro TMP2.
c9, c10	Selecciona la operación a realizar en la ALU: 00=L+R, 01=L-R, 10=L+R+1, 11=L+R+C.
c11	Carga del registro de estado.
c12	Vuelca la salida de la ALU al BUS.
c13	Carga los 16 bits menos significativos de MAR con el dato del BUS.
c14	Carga los 16 bits mas significativos de MAR con el dato del BUS.
c15	Carga del registro DR con el dato del BUS.
c16	Vuelca el registro DR en el BUS.
c17	1 = Habilita acceso a RAM; 0 = Deshabilita acceso a RAM.
c18	1 = Lectura de RAM; 0 = Escritura en RAM.
c19	Carga los 16 bits menos significativos de PC con el dato del BUS.
c20	Carga los 16 bits más significativos de PC con el dato del BUS.
c21	Vuelca los 16 bits menos significativos de PC al BUS.
c22	Vuelca los 16 bits más significativos de PC al BUS.
c23	Incrementar PC
c24	Carga del registro IR con el dato del BUS.

Tabla 7.12: Descripción de los puntos de control de la CPU (Problema 7).

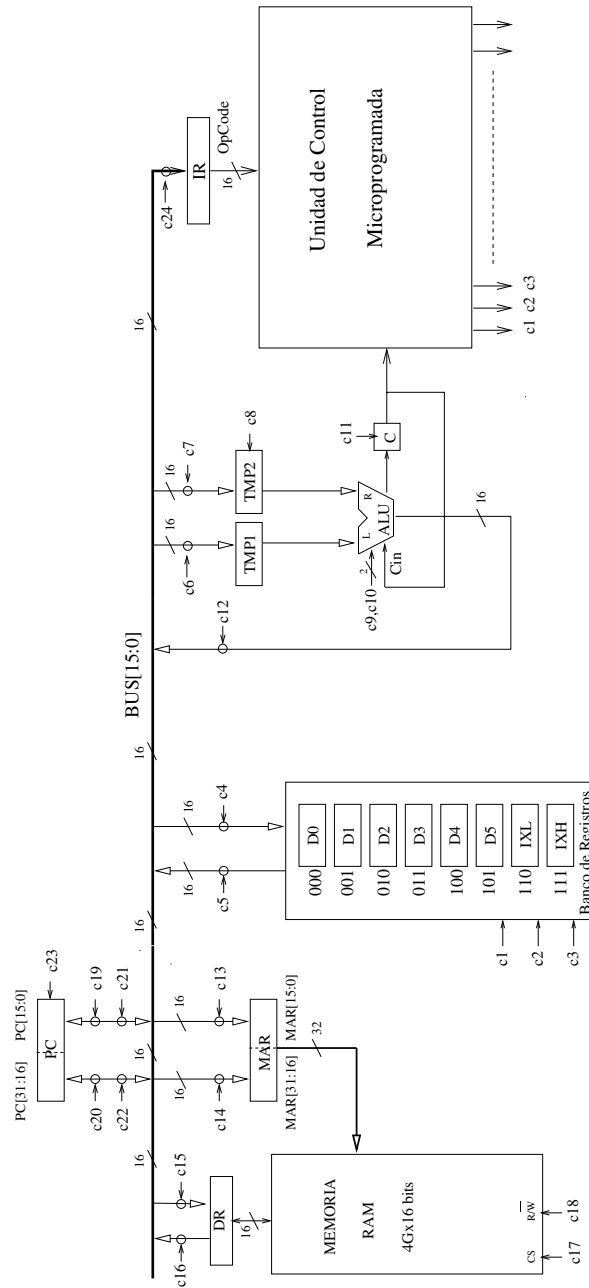


Figura 7.7: Unidades de datos y de control (Problema 7).

[illegible]

Tabla 7.13: Memoria de microprograma (Problema 7).

### Problema 8:

Se pretende diseñar la Unidad de Control Microprogramada para el procesador mostrado en la figura 7.8. La Unidad de Datos contiene los 5 registros A, B, C, PC e IR; un registro de estados con 3 flags (Z, C y N); una ALU con 4 operaciones distintas y 3 registros de propósito general (L y R a su entrada, y TMP a su salida); una Memoria de 256 palabras de 16 bits cada una, que contiene tanto instrucciones como datos y tiene asociados los registros específicos: ADR para las direcciones y DATA para los datos.

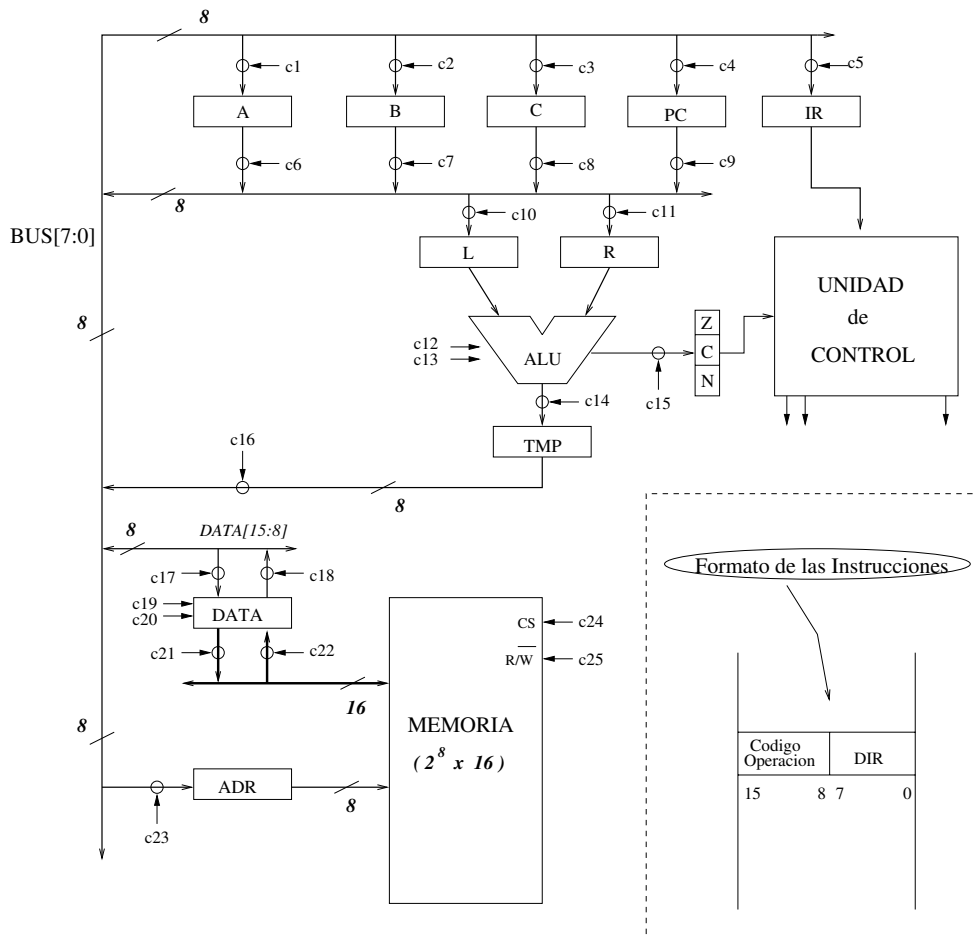


Figura 7.8: Procesador Microprogramado (Problema 8).



Es importante resaltar que *el tamaño de palabra del procesador es de 8 bits mientras que el tamaño de palabra de la memoria es de 16*. Por tanto, cada vez que se lee o escribe una palabra de memoria se debe hacer en dos partes, por un lado los bits más significativos (bits [15:8]) y por otro lado los de menor peso ([7:0]). Para ello es preciso hacer uso de la capacidad que tiene el registro DATA de desplazar 8 bits en un ciclo de reloj, bien hacia la derecha o hacia la izquierda, ya que sólo los bits [15:8] del registro DATA están directamente conectados con los 8 bits del BUS principal del sistema.

Otro detalle a destacar es que cada instrucción consta de 16 bits (una única palabra de memoria), que contiene un código de operación de 8 bits ([15:8]) y una dirección de memoria (DIR) para las instrucciones que así lo requieran en los bits [7:0] (ver figura 7.8).

El conjunto de instrucciones del procesador junto con sus códigos de operación se muestran en la tabla 7.14, y los puntos de control que gobiernan el funcionamiento del data-path se muestran en la tabla 7.15.

Mnemotécnico	C. Operación	Significado
MOVE B,A	00000000	A <- B
ADD A,C,B	00000011	B <- A + C
JUMPZ DIR	00001111	PC <- M(DIR)[15:8], si Z=1
LD A,B,DIR	11111111	A,B <- M(DIR)

Tabla 7.14: Conjunto de Instrucciones del Procesador (Problema 8).

Se pide:

1. Diseñar la Unidad de Control de dicho procesador, especificando claramente el formato de la microinstrucción utilizado y los nuevos puntos de control si fueran necesarios. Se debe utilizar microprogramación horizontal.
2. Escribir el microcódigo correspondiente a la rutina común de búsqueda y decodificación, así como las microrrutinas asociadas a cada una de las instrucciones máquina mostradas en la tabla 7.14.
3. Si se ha utilizado en el diseño de la Unidad de Control, describir internamente el Sistema de Proyección.

NOTA: Suponer resueltos todos los posibles problemas de temporización, y que tanto las operaciones de transferencia entre 2 registros cualquiera del procesador, cualquier operación con la ALU o acceso a memoria (lectura/escritura) y los desplazamientos (derecha/izquierda) de 8 bits del registro DATA,

Señal	Mnemotécnico	Significado
c1-c5	loadA, B, C, PC, IR	Carga en A, B, C, PC o IR el valor del BUS.
c6-c9	vuelcaA, B, C, PC	Vuelca A, B, C o PC en BUS.
c10	loadL	Carga en L el valor del BUS.
c11	loadR	Carga en R el valor del BUS.
c12,c13	alu	Operaciones de la ALU 00= L+R, 01= Pasa L-R, 10= Pasa L-1, 11= L+1
c14	loadTMP	Carga en TMP el resultado de la ALU
c15	status	Carga los flags del procesador (solo para instruc. aritméticas)
c16	vuelcaTMP	Vuelca TMP al BUS
c17	bus-data	Carga en DATA[15:8] el contenido del BUS (8 bits)
c18	data-bus	Vuelca en BUS el contenido del DATA[15:8] (8 bits)
c19,c20	shift	Control de los desplazamientos en el registro DATA 00= No desplaza, 01= Derecha (8 bits), 10= Izquierda (8 bits)
c21	data-mem	Vuelca el contenido de DATA al bus de datos de memoria
c22	mem-data	Carga en DATA e contenido del bus de datos de memoria
c23	loadADR	Carga del registro ADR con la dirección de acceso a memoria
c24	CS	Activación de la memoria
c25	R/W	Lectura (1) / Escritura (0) de memoria

Tabla 7.15: Puntos de Control del Procesador (Problema 8).

requieren un único ciclo de reloj.



