Universidad de San Carlos de Guatemala

Facultad de Ingeniería

Organización Computacional

Sección B

**Práctica #2**

LogicCalc

**Integrantes**

Grupo 4

|  |  |
| --- | --- |
| Nombre | Carné |
| Oswaldo Antonio Choc Cuteres | 201901844 |
| Javier Andrés Monjes Solórzano | 202100081 |
| Jencer Hamilton Hernández Alonzo | 202002141 |
| Juan Pascual Itzep Coguox | 202202161 |

**INTRODUCCIÓN**

En el ámbito de la electrónica digital, los bloques MSI (Medium Scale Integration) desempeñan un papel crucial en la construcción de circuitos complejos. En particular, los bloques MSI tipo aritmético son esenciales para realizar operaciones básicas eficientes y confiables.

Este Proyecto, encomendado por Intel Corporation, tuvo como objetivo construir una Unidad Aritmética Lógica Básica (ALU) para una calculadora llamada “LogicCalc”.

La ALU es capaz de realizar operaciones aritméticas y lógicas con números binarios de 4 bits. Los bloques digitales combinaciones MSI tipo aritmético fueron diseñados para realizar operaciones matemáticas utilizando compuertas lógicas, registros y otros componentes digitales. Se establecen objetivos específicos, como el aprender el correcto funcionamiento de Multiplexores, Demultiplexores, Comparadores y Decodificadores, así como construir un diseño optimo utilizando la menor cantidad de equipo y dispositivos posibles.

La descripción detalla las operaciones que la ALU debe llevar a cabo, incluyendo suma, resta, multiplicación, elevar al cuadrado o al cubo, y operaciones lógicas como AND, OR, XOR, y NOT. También se especifican requisitos como la presentación de resultados en Displays de 7 Segmentos y LEDs, según la unidad (aritmética, lógica o comparativa) que esté ejecutando la operación.

La metodología de trabajo establece pautas para la documentación, simulación en Proteus, implementación física en placa, y la presentación de la práctica. Se enfatizó la importancia del orden y claridad en el circuito, y se establecen consideraciones sobre penalizaciones por incumplimiento de reglas o normativas.

**OBJETIVOS**

**General**

Desarrollar una Unidad Aritmética Lógica Básica (ALU) eficiente y versátil, cumpliendo con los requisitos especificados para la calculadora "LogicCalc" de Intel Corporation.

**Específicos**

1. Aprender el funcionamiento detallado de los Multiplexores, Demultiplexores, Comparadores y Decodificadores en el contexto de la electrónica digital, para optimizar su implementación en la ALU. Diseñar el esquema electrónico del circuito.
2. Construir un diseño óptimo de la ALU, minimizando la cantidad de dispositivos utilizados, para lograr eficiencia y reducir la complejidad del circuito.
3. Comprender y aplicar de manera efectiva las funciones booleanas y los Mapas de Karnaugh en la formulación de las operaciones aritméticas y lógicas, garantizando una implementación coherente y precisa en la ALU.

**DESCRIPCION DEL PROBLEMA**

En el marco de la electrónica digital, se plantea el desarrollo de una Unidad Aritmética Lógica Básica (ALU) para la calculadora "LogicCalc", bajo el encargo de Intel Corporation. La ALU debe ser capaz de ejecutar operaciones aritméticas y lógicas con números binarios de 4 bits, desempeñando un papel fundamental en la construcción de circuitos complejos. Este proyecto se presenta como un desafío técnico y conceptual, con requisitos específicos para garantizar la eficiencia y confiabilidad de las operaciones.

La necesidad de construir un diseño óptimo, minimizando la cantidad de dispositivos, agrega un nivel adicional de complejidad y desafío al proyecto.

Los requisitos detallados incluyen la implementación de operaciones como suma, resta, multiplicación, elevar al cuadrado o al cubo, y operaciones lógicas como AND, OR, XOR y NOT. Además, se especifica la presentación de resultados en Displays de 7 Segmentos y LEDs, según la unidad (aritmética, lógica o comparativa) que esté ejecutando la operación. La ALU debe ser capaz de manejar la validación de resultados, considerando condiciones especiales para la resta y la multiplicación, y mostrar mensajes de error en caso necesario.

La unidad comparativa, encargada de realizar cálculos comparativos entre las entradas de la ALU, añade otra dimensión al proyecto. La presentación visual mediante LEDs de diferentes colores para cada unidad operativa (aritmética, lógica) agrega una capa adicional de complejidad y requerimientos estéticos.

PROCESO TEORICO

1. Diseño de Operaciones: Para cada operación (suma, resta, multiplicación, etc.), realizar un análisis teórico de las funciones booleanas y las operaciones lógicas involucradas. Utilizar Mapas de Karnaugh para simplificar y optimizar las expresiones booleanas.
2. Selección de Componentes: Elegir los componentes adecuados para cada operación, como compuertas lógicas, registros, multiplexores, demultiplexores, comparadores, decodificadores, displays de 7 segmentos y LEDs. Asegurarse de que estos componentes cumplan con los requisitos del proyecto y estén permitidos según las especificaciones.
3. Diseño de Circuitos: Utilizar diagramas de bloques y esquemas para representar visualmente la estructura del ALU. Diseñar subcircuitos para cada operación, asegurándose de que los resultados se direccionen correctamente hacia los displays y LEDs según las especificaciones.
4. Implementación de Controladores: Diseñar controladores que manejen la selección de operaciones según la tabla de control proporcionada. Estos controladores deben dirigir las señales y habilitar los subcircuitos correspondientes en el momento adecuado.
5. Simulación en Proteus: Realizar simulaciones detalladas en Proteus para verificar el funcionamiento teórico del circuito. Asegurarse de que los resultados sean coherentes con las expectativas y que se cumplan los requisitos del proyecto.
6. Construcción en Placa de Circuito: Implementar físicamente el circuito en una placa de circuito, asegurándose de seguir el diseño teórico. Construir circuitos específicos, como sumadores y restadores, y conectarlos según el esquema general del ALU.

DIAGRAMAS DEL CIRCUITO

Circuito Unidad Aritmética

SUMA

Diagrama, Esquemático

Descripción generada automáticamente

RESTA (COMPLEMENTO A2)

Diagrama, Esquemático

Descripción generada automáticamente

MULTIPLICACIÓN

Diagrama, Esquemático

Descripción generada automáticamente

NÚMERO ELEVADO

Diagrama, Esquemático

Descripción generada automáticamente Diagrama, Esquemático

Descripción generada automáticamente Diagrama, Esquemático

Descripción generada automáticamente

Diagrama, Esquemático

Descripción generada automáticamente

CIRCUITOS UNIDAD LÓGICA

Calendario

Descripción generada automáticamente con confianza media

UNIDAD COMPARATIVA

Diagrama

Descripción generada automáticamenteDiagrama, Esquemático

Descripción generada automáticamente

CONTROLADOR

Diagrama, Esquemático

Descripción generada automáticamente

BINARIO-BCD

Diagrama, Esquemático

Descripción generada automáticamente

CIRCUITOS DE LA PLACA (SUMA-RESTA (COMPLEMENTO A2))

SUMA

Imagen que contiene electrónica, circuito

Descripción generada automáticamente

Un circuito electrónico

Descripción generada automáticamente con confianza media

RESTA (COMPLEMENTO A2)

Un circuito electrónico

Descripción generada automáticamente con confianza mediaImagen de la pantalla de un computador

Descripción generada automáticamente con confianza bajaImagen de la pantalla de un computador

Descripción generada automáticamente con confianza baja

ANEXOS

Circuito Completo en Proteus

Calendario

Descripción generada automáticamente con confianza media

Binario a BCD

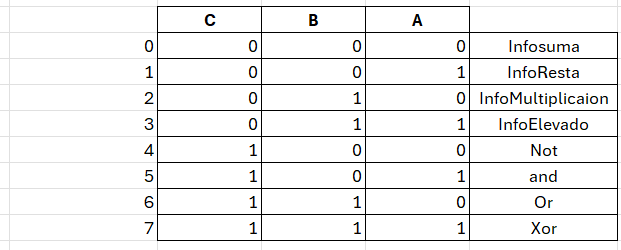
Tabla

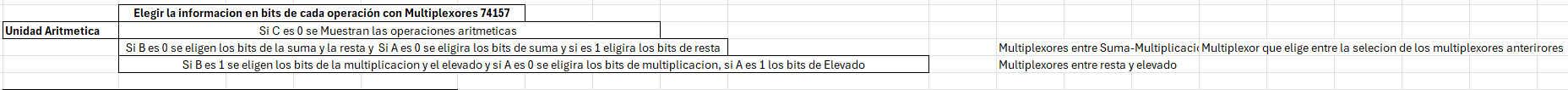
Descripción generada automáticamente

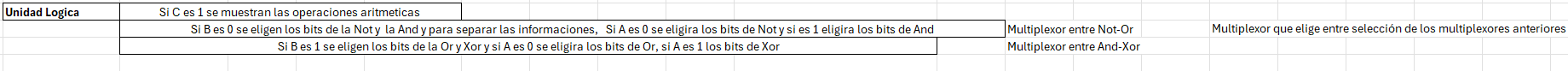
Tabla

Descripción generada automáticamente

Funcionamiento de:



Unidad aritmética:

Unidad Lógica:

EQUIPO UTILIZADO

|  |  |  |  |
| --- | --- | --- | --- |
| COMPONENTES | PRECIO-UNITARIO | CANTIDAD | TOTAL |
| Placa | 8 |  |  |
| Leds | Ya contábamos xd | 6 | - |
| Displays |  |  |  |
| Cable | 2 |  |  |
| Compuerta Lógica AND (7408) |  |  |  |
| Compuerta Lógica OR (7432) |  |  |  |
| Compuerta Lógica NOT (7404) |  |  |  |
| Dipswitch | 5 |  |  |
| Comparador (7485) | 4 |  |  |
| Decoder (7447) |  |  |  |
| Sumador (74283) |  |  |  |
| Multiplexores (74157) | 18 |  |  |
| Total | | |  |

PRESUPUESTO

APORTE DE CADA INTEGRANTE

|  |  |
| --- | --- |
| Estudiante | Aporte |
| Oswaldo Antonio Choc Cuteres | Compra de componentes, diagrama en proteus y diseño de las placas (suma y complemento A2), segmentos en placa (suma y complemento A2) y protoboard. |
| Javier Andrés Monjes Solórzano | Compra de componentes, segmentos en placa, protoboard (complemento A2 y binario a BCD) y documentación |
| Jencer Hamilton Hernández Alonzo | Compra de componentes, segmentos en protoboard (multiplicación, controlador y comparador) |
| Juan Pascual Itzep Coguox | Compra de componentes, diagrama en proteus (controlador), segmentos en protoboard (elevado cuad-cubo, unidad lógica) |