

MIPS IT Simulador – Instalación

Laboratorio de arquitectura de Computadoras

ITESM Campus Monterrey

Profesor Diego Fernando Valencia Martínez

Miguel Morales de la Vega Javier Mondragón Martín del Campo

> A00821541 A01365137

Introducción

Durante el desarrollo de la práctica observaremos las diferentes etapas por las cuales pasa un programa en ensamblador hasta llegar a su ejecución por el equipo de computo. La herramienta principal a utilizar será MIPS Simulator. La cual nos permite tener una visión abstracta de los componentes principales de una arquitectura MIPS, estos componentes son CPU, Memoria, Caché, Consola y I/O.

Al momento de ejecutar un código de ensamblador podremos observar como cada instrucción es procesada por la el CPU, convertida a lenguaje maquinal y guardada en los registros internos de CPU para su ejecución. La herramienta nos habilita la configuración sin necesidad de código en ensamblador de los registros internos tanto del CPU como los de Memoria para realizar las simulación y operaciones deseadas,

Procedimiento

Durante esta sección vemos como es usado la herramienta de simulación para el código mostrado en la figura 2.1. El código realiza una carga de valores a los registros del CPU y después realiza la operación de suma de estos valores.

```
#Lab Exercise 1
.set noreorder  #Avoid reordering instructions
.text  #Start generating instructions
.global start  #The label should be globally known
.ent start  #The label marks an entry point
start: li $8, 0x1  #Load the value 1
li $9, 0x2  #Load the value 2
add $10, $8, $9  #sum the values
.end start  #Marks the end of program
```

Figura 2.1 Código ejemplo de ensamblador

Resultados

Los resultados de la simulación son la carga de los valores 1 y 2 a los registros 8 y 9 del CPU, en la figura 3.1 podemos observar cómo estos registros tienen el valor correspondiente y también como el registro PC (Program Counter) obtiene valores correspondiente a la dirección de memoria donde reside la instrucción (Figura 3.1).

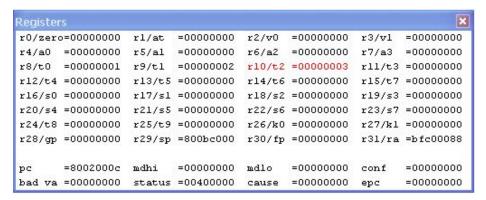


Figura 3.1 Ventana de registros del CPU

En la figura 3.2 observamos la memoria interna de la arquitectura MIPS en esta se codifica cada una de las instrucciones que el procesador va a realizar, para el ejemplo de la carga y suma de registros se observan 3 instrucciones cada una con su correspondiente codificación.

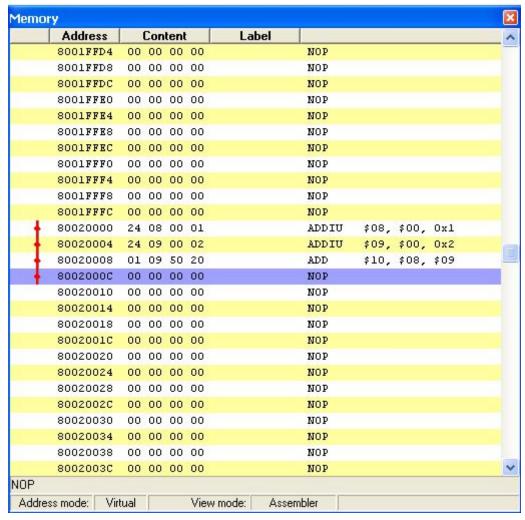


Figura 3.2 Instrucciones del programa en memoria

Referencias

• https://s3-eu-west-1.amazonaws.com/downloads-mips/documents/MIPS_Architecture e microMIPS64 InstructionSet AFP P MD00594 06.04.pdf