

PUESTO N°:

 <p>UNIVERSIDAD POLITÉCNICA DE MADRID</p> <p>ETSIS de Telecomunicación</p>	APELLIDOS:							
	NOMBRE:	DNI:						
	ASIGNATURA: DISEÑO DIGITAL I	Bloque: I						
	TITULACIÓN: <input type="checkbox"/> Electrónica de Comunic. <input type="checkbox"/> Sonido e Imagen <input type="checkbox"/> Sistemas de Telecom. <input type="checkbox"/> Telemática							
Fecha		Curso	Calificaciones Parciales				Nota Final	
8	11	2021	TERCERO					

PRIMERA PARTE.

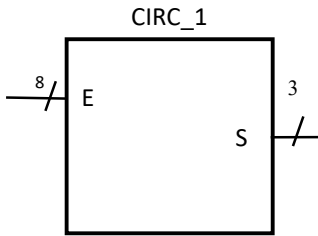
No abra el examen hasta que se le indique. Si lo hace, el examen será evaluado con 0 puntos. Mientras tanto, lea las siguientes instrucciones:

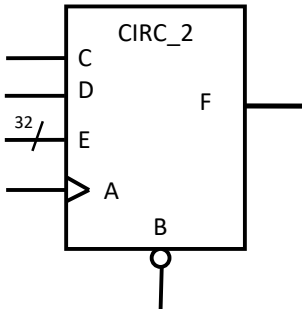
- Indique **AHORA en la esquina superior derecha** el número del puesto que ocupa.
- Rellene **AHORA** los datos personales que deben figurar en esta hoja.
- Mientras dure el examen deberá exponer su D.N.I. encima de la mesa.
- **NO SE ADMITIRÁN** exámenes escritos a lapicero ni con tinta roja o verde.
- **Cuando le indiquen que puede abrir el examen, COMPRUEBE** que su ejemplar del examen consta de 5 páginas numeradas.
- En este examen **NO PUEDEN UTILIZARSE CALCULADORAS, LIBROS, APUNTES NI DISPOSITIVOS DE TELECOMUNICACIÓN.** Retírelos ahora de la mesa.
- Este examen tiene dos partes:
 - La primera parte, que se corresponde con este documento, está orientada a comprobar los indicadores de adquisición obligatoria (A.O.) y tiene un peso del 20% en la calificación final del examen.
 - La segunda parte, que realizará tras entregar la primera, está orientada a comprobar el resto de indicadores y tiene un peso del 80% en la calificación final del examen.
- La duración de esta parte del examen es de **15 minutos**. Cuando termine de realizar esta parte, aunque no hayan transcurrido todavía los 15 minutos, levante la mano. Un profesor se la recogerá y podrá comenzar la segunda parte. Los profesores avisarán cuando hayan transcurrido los 15 minutos. A partir de ese momento podrá continuar con esta parte si lo desea, pero estará consumiendo el tiempo de la segunda parte.

Esta hoja se ha dejado en blanco intencionadamente

Ejercicio 1	Identificación de diseños		
		2 puntos	4 minutos

Dibuje la interfaz e identifique la función de los circuitos modelados por las siguientes descripciones VHDL:

Descripción VHDL	Dibuje la interfaz
<pre> entity circ1 is port(e: in std_logic_vector(7 downto 0); s: buffer std_logic_vector(2 downto 0)); end entity; architecture rtl of circ1 is begin s <= "111" when e(7) = '1' else "110" when e(7 downto 6) = "01" else "101" when e(7 downto 5) = "001" else "100" when e(7 downto 4) = "0001" else "011" when e(7 downto 3) = "00001" else "010" when e(7 downto 2) = "000001" else "001" when e(7 downto 1) = "0000001" else "000"; end rtl; </pre>	
	<p>Identifique la función</p> <p><i>Codificador de 8:3 con prioridad</i></p>

Descripción VHDL	Dibuje la interfaz
<pre> library ieee; use ieee.std_logic_1164.all; entity circ2 is port(a: in std_logic; b: in std_logic; c: in std_logic; d: in std_logic; e: in std_logic_vector(31 downto 0); f: buffer std_logic); end entity; architecture rtl of circ2 is signal g : std_logic_vector(31 downto 0); begin process(a, b) begin if b = '0' then g <= (others => '0'); elsif a'event and a = '1' then if c = '1' then g <= e; elsif d = '0' then g <= g(30 downto 0) & '0'; else g <= '0' & g(31 downto 1); end if; end if; end process; f <= g(0) when d = '1' else g(31); end rtl; </pre>	
	<p>Identifique la función</p> <p><i>Registro de desplazamiento bidireccional de 32 bits con entrada paralelo y salida serie.</i></p>

Ejercicio 2	Modelado VHDL de subsistemas aritméticos		
		6 puntos	8 minutos

Las siguientes sentencias o grupos de sentencias concurrentes implementan subsistemas aritméticos básicos:

Ref.	Modelo
a	<code>S <= A + not B + 1; Flag <= (A(3) xor S(3)) and (A(3) xor B(3)); -- Flag: std_logic</code>
b	<code>S_Aux <= ('0' & A) + ('0' & B) + C_in; -- C_in y Flag: std_logic Flag <= S_Aux(4); -- S_Aux: std_logic_vector(4 downto 0) S <= S_Aux(3 downto 0);</code>
c	<code>S_Aux <= '1' when A > B else '0'; -- S_Aux: std_logic; S <= S_Aux when A(3) = B (3) else not S_Aux;</code>
d	<code>S_Aux <= ('0' & A) + not B + 1; -- S_Aux: std_logic_vector(4 downto 0) S <= S_Aux (3 downto 0); Flag <= not S_Aux(4); -- Flag: std_logic</code>
e	<code>S <= "0001" + A(3 downto 1);</code>
f	<code>S <= (B & "000") + (B & '0') + A; -- S: std_logic_vector(6 downto 0)</code>

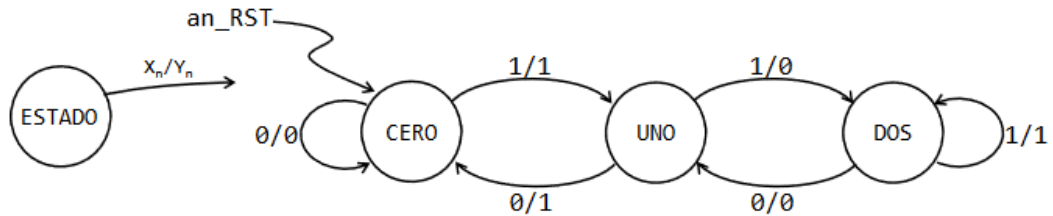
Nota: Salvo que se especifique lo contrario, todas las señales son *std_logic_vector(3 downto 0)*, y se utiliza el paquete *std_logic_unsigned*.

Indique con cuál de los subsistemas anteriores se corresponde cada una de las siguientes descripciones. Dado que hay descripciones que no se corresponden con ninguno de los subsistemas (y viceversa), la respuesta puede ser “ninguno”.

Descripción	Correspondencia (una letra de la 'a' a la 'f' o 'ninguno')
Convertor de BCD a binario natural de 2 dígitos	f
Divide un número con signo entre 2 y le suma 1	ninguno
Comparador de A > B para números con signo	c
Comparador de A > B para números en binario natural	ninguno
Comparador de A > B para números con signo o binario natural	ninguno
Sumador de 4 bits con acarreo de entrada y de salida	b
Restador de 4 bits con salida de overflow	a
Restador de 4 bits para números en binario natural con salida de overflow	d

Ejercicio 3	Autómatas		
		2 puntos	3 minutos

Responda a las siguientes preguntas sobre el autómata cuyo diagrama de estados se muestra en la figura. Debe responder y **razonar** cada respuesta.



¿El autómata es de Moore o de Mealy?

El autómata es de Mealy porque su salida depende del estado y de la entrada.

¿El autómata puede modelarse mediante un único proceso?

No, porque su salida no es directamente la salida de la memoria de estado.

¿Cuál es el mínimo número de flip-flops con el que puede construirse?

Dos, porque tiene 3 estados.