

PUESTO Nº:

 <p>UNIVERSIDAD POLITÉCNICA DE MADRID</p> <p>ETSIS de Telecomunicación</p>				APELLIDOS:					
				NOMBRE:				DNI:	
				ASIGNATURA: DISEÑO DIGITAL I				Bloque: I	
				TITULACIÓN: <input type="checkbox"/> Electrónica de Comunic. <input type="checkbox"/> Sonido e Imagen <input type="checkbox"/> Sistemas de Telecom. <input type="checkbox"/> Telemática					
Fecha			Curso	Calificaciones Parciales				Nota Final	
8	11	2021	TERCERO						

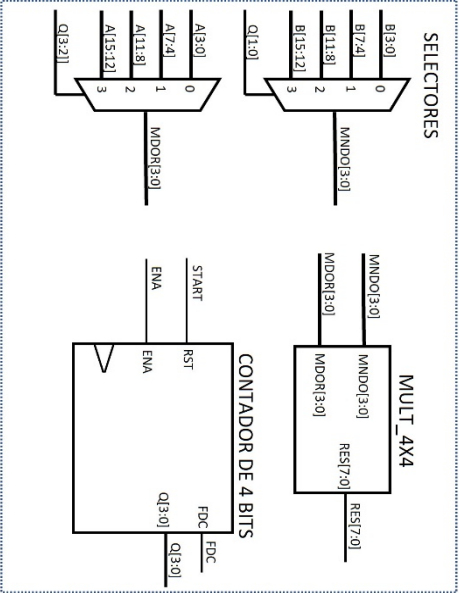
SEGUNDA PARTE

- Indique **AHORA en la esquina superior derecha** el número del puesto que ocupa.
- Rellene **AHORA** los datos personales que deben figurar en esta hoja.
- Mientras dure el examen deberá exponer su D.N.I. encima de la mesa.
- **NO SE ADMITIRÁN** exámenes escritos a lapicero ni con tinta roja o verde.
- Cuando le indiquen que puede abrir el examen, **COMPRUEBE** que su ejemplar del examen consta de **7** páginas numeradas.
- En este examen **NO PUEDEN UTILIZARSE CALCULADORAS, LIBROS, APUNTES NI DISPOSITIVOS DE TELECOMUNICACIÓN**. Retírelos ahora de la mesa.
- La duración de esta parte del examen es de **80 minutos**.
- Este examen tiene un entregable que debe descargar de Moodle.

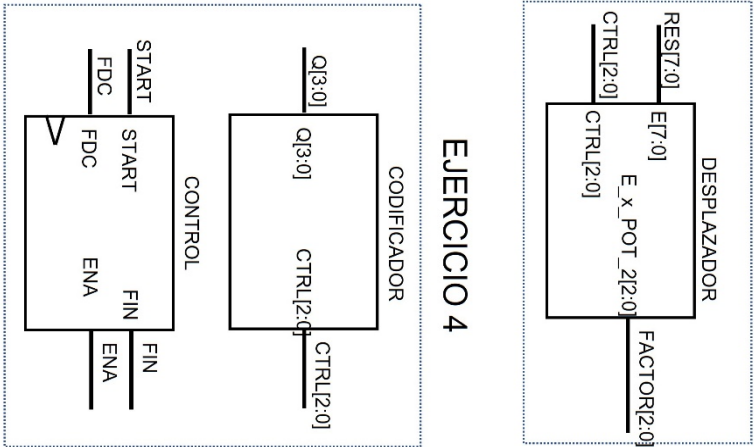
Esta hoja se ha dejado en blanco intencionadamente

Esta segunda parte consta de 4 ejercicios a lo largo de los cuales irá modelando un circuito multiplicador de dos números de 16 bits como el que se muestra en la siguiente figura. Descargue el entregable disponible en Moodle, cree un proyecto ModelSim e incluya el fichero *multiplicador.vhd* que se le suministra. El diagrama de la figura puede servirle de referencia a lo largo del examen, pero **no es necesario que lo analice ahora** para entender el funcionamiento del circuito. **Pase directamente** a la resolución del ejercicio 1.

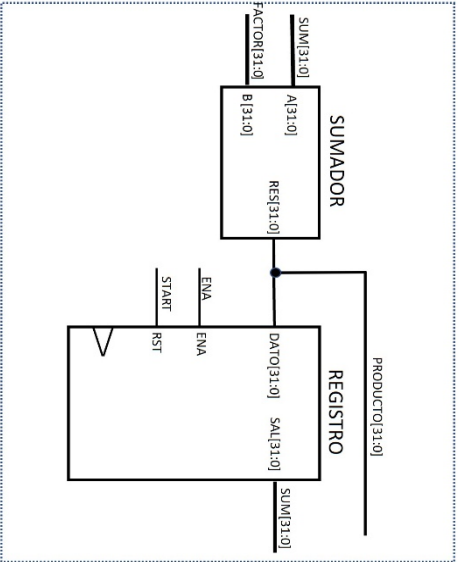
EJERCICIO 3



EJERCICIO 2

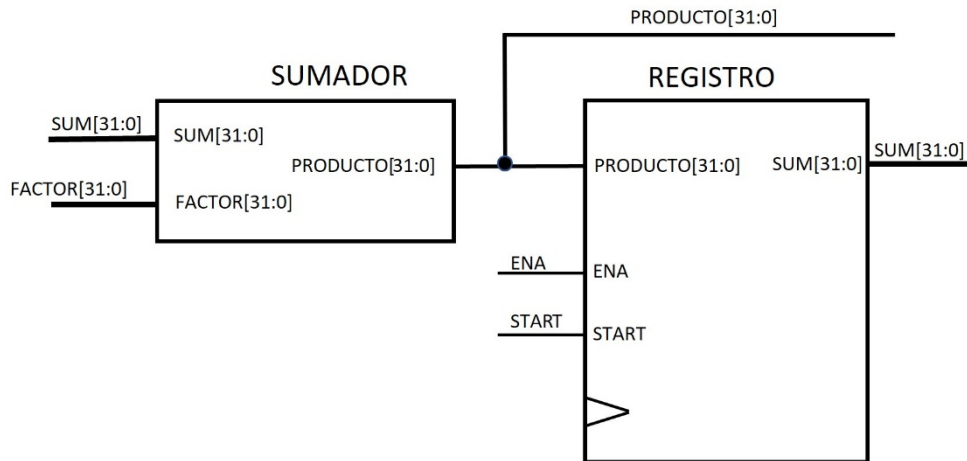


EJERCICIO 1



Ejercicio 1			
		2.5 puntos	20 minutos

Conteste las siguientes cuestiones acerca del circuito de la figura.



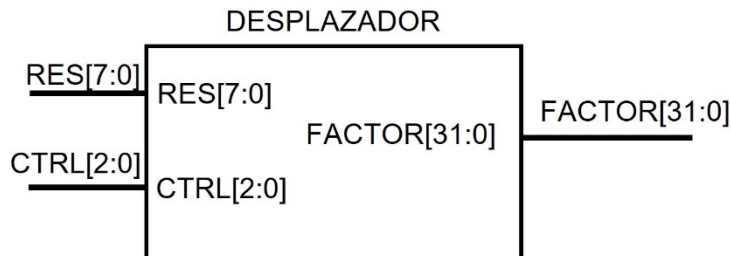
- a) Teniendo en cuenta que PRODUCTO es una salida del diseño, ¿cuál es el menor número de procesos necesarios para modelar su funcionamiento? **Justifique su respuesta** (0,5 puntos)

Dos, puesto que la salida del circuito (PRODUCTO) no coincide con la salida del registro.

- b) Realice el modelado VHDL del circuito en el espacio que se indica dentro del fichero *multiplicador.vhd*. Para hacerlo tenga en cuenta el reset síncrono (START) es independiente de la habilitación (ENA) y que el registro es inicializado asincrónicamente a 0. Las entradas síncronas de reset (START) y habilitación (ENA) son activas a nivel alto y el reset asíncrono es activo a nivel bajo. Suponga que la entrada FACTOR codifica números en binario natural. Una vez realizado compile el modelo para eliminar los errores que pudiera haber cometido (1.5 puntos)
- c) ¿Resulta relevante, en relación con el modelado VHDL del circuito, el hecho de que los datos de entrada (FACTOR) estén codificados en binario natural o complemento a 2? **Justifique su respuesta** (0.5 puntos)

Es irrelevante, puesto que la operación realizada (la suma) no depende de la codificación de los datos porque no es necesario realizar la extensión del tamaño de ninguno de los operandos.

Ejercicio 2			
		2 puntos	10 minutos



- a) Realice el modelado VHDL del circuito en el espacio que se indica dentro del fichero *multiplicador.vhd*. Este es un circuito combinacional que multiplica un número de entrada, RES, de 8 bits por $2^0, 2^4, 2^8, 2^{12}, 2^{16}, 2^{20}$ o 2^{24} cuando su entrada de control, CTRL, valga, respectivamente, 0, 1, 2, 3, 4, 5 y 6. Suponga que el número de entrada (RES) está codificado en binario natural. Compile el multiplicador en su estado actual para eliminar los errores que pudiera haber cometido (1 punto)

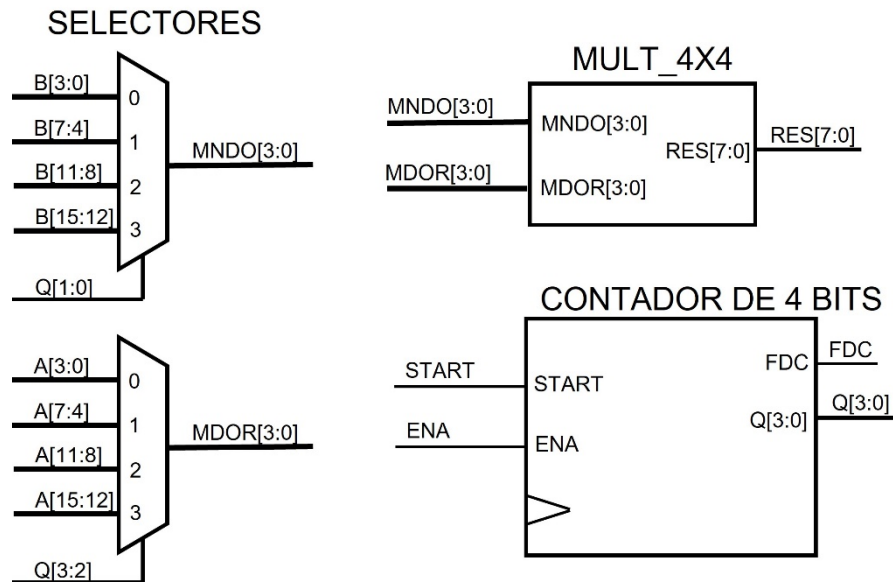
NOTA: observe que la señal RES ya ha sido declarada

- b) ¿Resulta relevante, en relación con el modelado VHDL de este circuito, el hecho de que los datos de entrada (RES) estén codificados en binario natural o complemento a 2? **Justifique su respuesta** (1 punto)

En este caso sí es relevante, porque es necesario realizar la extensión de signo del operando RES de acuerdo con las reglas de la aritmética sin signo.

Ejercicio 3			
		2 puntos	15 minutos

Realice el modelado VHDL del circuito de la figura en el espacio que se indica dentro del fichero *multiplicador.vhd*.



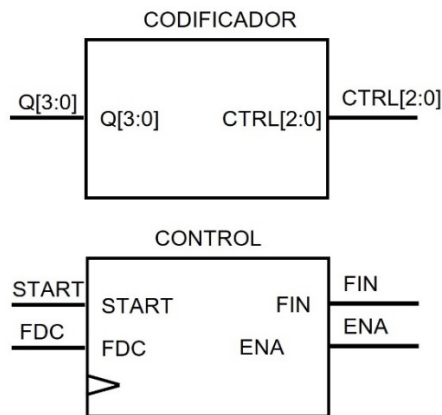
Para hacerlo, tenga en cuenta que:

- Los selectores de datos entregan en su salida el dato correspondiente al número de canal indicado, en binario natural, por la entrada de selección.
- Las entradas de habilitación (ENA) y reset síncrono (START) del contador -que cuenta en binario y es de módulo máximo- son activas a nivel alto y el reset (START) es independiente de la habilitación. Por otra parte, la salida de fin de cuenta (FDC), activa a nivel alto, también es independiente de la entrada habilitación. El reset asíncrono es activo a nivel bajo e inicializa el contador a 0.
- No tiene que realizar el modelo del multiplicador 4x4. Debe dar por válido el que se incluye en el entregable del ejercicio.

Cuando termine, compile el multiplicador en su estado actual para eliminar los errores que pudiera haber cometido.

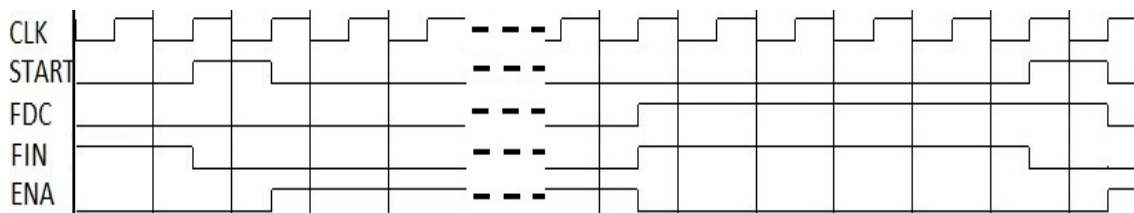
Ejercicio 4			
		3.5 puntos	35 minutos

Realice el modelado VHDL del circuito de la figura en el espacio que se indica dentro del fichero *multiplicador.vhd* (codificador, 1.5 puntos; control, 2 puntos).



Para hacerlo, tenga en cuenta que:

- a) Para la realización del código del módulo de control del circuito, el contador del ejercicio 3 debe permanecer habilitado (ENA) desde el instante posterior a la activación de la entrada START, hasta el instante anterior a la activación de su señal de fin de cuenta (FDC); la señal FIN debe activarse en coincidencia con el fin de cuenta antes mencionado y permanecer activa hasta una nueva activación de START. La secuencia de control se muestra en la siguiente figura:



- b) El módulo codificador debe generar las señales de control para el bloque DESPLAZADOR (ejercicio 2 del examen) a partir del estado de cuenta del contador del ejercicio 3, de la siguiente manera:
- En los cuatro primeros estados de cuenta, el valor de las señales de control coincide con el número de cuenta (0, 1, 2 y 3)
 - En los cuatro siguientes, la secuencia de las señales es análoga a la descrita en el punto anterior, pero incrementando en todos los casos en una unidad el valor de los números (1, 2, 3 y 4)
 - En los cuatro siguientes estados se vuelve a repetir la pauta de modificación, incrementando nuevamente en una unidad los valores de la secuencia de las señales de control (2, 3, 4 y 5)
 - En los cuatro últimos estados de cuenta se procede igualmente a repetir el incremento de la secuencia de valores de las señales de control (3, 4, 5 y 6)

IMPORTANTE: Al terminar el examen debe subir a Moodle el fichero *multiplicador.vhd* (solo este fichero) en el que ha resuelto los ejercicios. No olvide poner su nombre y apellidos en la cabecera.