


# SOLUCIÓN

 <p><b>UNIVERSIDAD POLITÉCNICA DE MADRID</b></p> <p><i>ETSI de Telecomunicación</i></p>				<b>APELLIDOS:</b>				
				<b>NOMBRE:</b>			<b>DNI:</b>	
				<b>ASIGNATURA:</b> DISEÑO DIGITAL I			<b>Bloque:</b> I	
				<b>TITULACIÓN:</b> <input type="checkbox"/> Electrónica de Comunic. <input type="checkbox"/> Sistemas de Telecom. <input type="checkbox"/> Sonido e Imagen <input type="checkbox"/> Telemática				
<b>Fecha</b>			<b>Curso</b>	<b>Calificaciones Parciales</b>			<b>Nota Final</b>	
13	11	2023	TERCERO					

## PRIMERA PARTE

**No abra el examen hasta que se le indique. Si lo hace, el examen será corregido con 0 puntos. Mientras tanto, lea las siguientes instrucciones:**

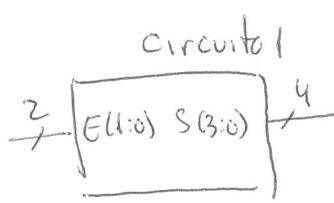
- Indique **AHORA** en la parte inferior de esta hoja el número del puesto que ocupa.
- Rellene **AHORA** los datos personales que deben figurar en esta hoja.
- Mientras dure el examen deberá exponer su D.N.I. encima de la mesa.
- **NO SE ADMITIRÁN** exámenes escritos a lapicero ni con tinta roja o verde.
- **Cuando le indiquen que puede abrir el examen, COMPRUEBE** que su ejemplar del examen consta de **6** páginas numeradas.
- En este examen **NO PUEDEN UTILIZARSE CALCULADORAS, LIBROS, APUNTES NI DISPOSITIVOS DE TELECOMUNICACIÓN**. Retírelos ahora de la mesa.
- Este examen tiene dos partes:
  - La primera parte, que se corresponde con este documento, está orientada a comprobar los indicadores de adquisición obligatoria (A.O.) y tiene un peso del 20% en la calificación final del examen.
  - La segunda parte, que realizará tras entregar la primera, está orientada a comprobar el resto de indicadores y tiene un peso del 80% en la calificación final del examen.
- La duración de esta parte del examen es de **30 minutos**.

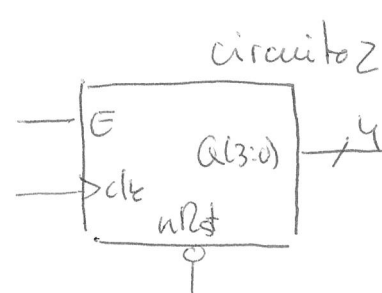
<b>Aula:</b>	<b>Puesto:</b>
--------------	----------------

Esta hoja se ha dejado en blanco intencionadamente

<b>Ejercicio 1</b>	Identificación de diseños		
		3 puntos	10 minutos

Dibuje la interfaz e identifique la función<sup>1</sup> de los circuitos modelados por las siguientes descripciones VHDL:

Descripción VHDL	Dibuje la interfaz
<pre> library ieee; use ieee.std_logic_1164.all;  entity circuito1 is port(     E: in std_logic_vector(1 downto 0);     S: buffer std_logic_vector(3 downto 0)); end entity;  architecture rtl of circuito1 is begin      S &lt;= "0001" when E = "00" else          "0010" when E = "01" else          "0100" when E = "10" else          "1000";  end rtl; </pre>	
	<b>Identifique la función</b> <p>Decodificador 2:4 o de 1 entre 4</p>

Descripción VHDL	Dibuje la interfaz
<pre> library ieee; use ieee.std_logic_1164.all; use ieee.std_logic_unsigned.all;  entity circuito2 is port(nRst: in std_logic;     clk: in std_logic;     E: in std_logic;     Q: buffer std_logic_vector(3 downto 0)); end entity;  architecture rtl of circuito2 is begin      process(clk, nRst)     begin         if nRst = '0' then             Q &lt;= "1111";          elsif clk'event and clk = '1' then             if E = '1' then                 Q &lt;= Q - 1;              end if;         end if;     end process;  end rtl; </pre>	
	<b>Identifique la función</b> <p>Contador binario descendente de 4 bits con habilitación</p>

<sup>1</sup> No explique el funcionamiento, identifique la función relacionando la descripción VHDL con algún subsistema conocido.

<b>Ejercicio 2</b>	Modelado VHDL de subsistemas aritméticos		
		4 puntos	10 minutos

Describa el subsistema aritmético modelado por las siguientes sentencias concurrentes en las que, salvo que se indique lo contrario, todas las señales son *std\_logic\_vector(3 downto 0)* y se utiliza el paquete *std\_logic\_unsigned*.

<b>Modelo VHDL:</b>
S <= E when E(3) = '0' else (not E) + 1;
<b>Descripción:</b>
Calcula el valor absoluto de un número de 4 bits.

<b>Modelo VHDL:</b>
-- Se ha dado visibilidad al paquete std_logic_signed S <= '1' when A <= "1011" else '1' when A >= "0101" else '0';
<b>Descripción:</b>
Detecta si el módulo de un número de 4 bits es $\geq 5$

Modele las siguientes descripciones de operadores aritméticos. Salvo que usted indique lo contrario, se entenderá que todas las señales son *std\_logic\_vector(3 downto 0)* y que utiliza el paquete *std\_logic\_unsigned*.

<b>Descripción:</b>
Detección del desbordamiento en la resta de dos números A y B ( $R = A - B$ ), ambos de 4 bits y codificados en Complemento a 2. No modele la resta, solo el desbordamiento.
<b>Modelo VHDL:</b>
OV <= '1' when A(3) /= B(3) and A(3) /= R(3) else '0'; -- OV es std-logic

<b>Descripción:</b>
División entre 4 de un número E de 4 bits codificado en complemento a 2. La salida debe proporcionarse también en 4 bits.
<b>Modelo VHDL:</b>
S <= E(3) & E(3) & E(3 downto 2);

<b>Ejercicio 3</b>	<b>Autómatas</b>		
		3 puntos	10 minutos

El código adjunto corresponde al modelo de un autómata.

1.- ¿Es un autómata de Moore o de Mealy?

Respuesta: *Mealy*

Razone la respuesta: *La salida depende del estado y de la entrada*

2.- Dibuje el diagrama de estados del autómata

```

library ieee;
use ieee.std_logic_1164.all;

entity automata is
port(
    clk    : in std_logic;
    nRST   : in std_logic;
    ent    : in std_logic;
    sal    : buffer std_logic);
end entity;

architecture rtl of automata is
    type t_estado is (ini, uno, dos, tres);
    signal estado : t_estado;

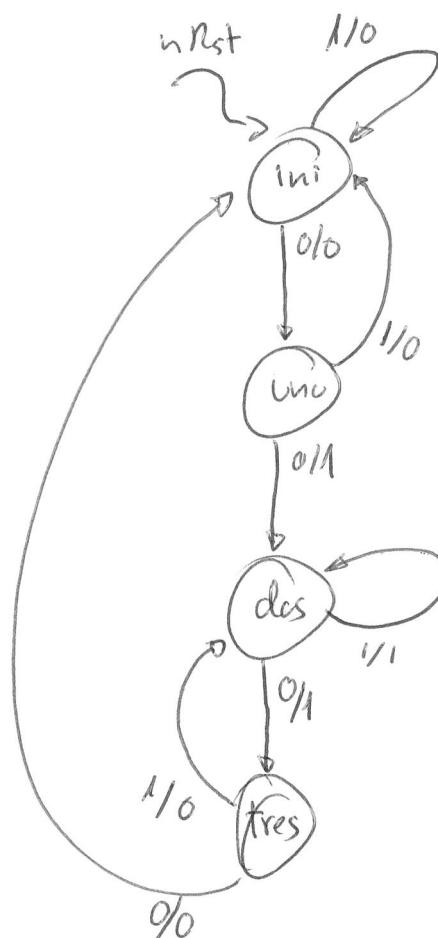
begin
    process(clk, nRST)
    begin
        if (nRST='0') then
            estado <= ini;

        elsif clk'event and clk = '1' then
            case estado is
                when ini =>
                    if (ent='0') then
                        estado <= uno;
                    end if;

                when uno =>
                    if (ent='1') then
                        estado <= ini;
                    else
                        estado <= dos;
                    end if;

                when dos =>
                    if (ent='0') then
                        estado <= tres;
                    end if;
            end case;
        end if;
    end process;
end architecture;

```



```

        when tres =>
            if (ent='0') then
                estado <= ini;
            else
                estado <= dos;
            end if;

        end case;
    end if;
end process;

sal <= '1' when (estado=uno and ent='0') or estado=dos else '0';

end rtl;

```

# SOLUCIÓN

 <p><b>UNIVERSIDAD POLITÉCNICA DE MADRID</b></p> <p><b>ETSIS de Telecomunicación</b></p>				<b>APELLIDOS:</b>					
				<b>NOMBRE:</b>				<b>DNI:</b>	
				<b>ASIGNATURA:</b> DISEÑO DIGITAL I				<b>Bloque:</b> I	
				<b>TITULACIÓN:</b> <input type="checkbox"/> Electrónica de Comunic. <input type="checkbox"/> Sistemas de Telecom. <input type="checkbox"/> Sonido e Imagen <input type="checkbox"/> Telemática					
<b>Fecha</b>			<b>Curso</b>	<b>Calificaciones Parciales</b>					<b>Nota Final</b>
13	11	2023	TERCERO						

## SEGUNDA PARTE

- Indique **AHORA** en la parte inferior de esta hoja el número del puesto que ocupa.
- Rellene **AHORA** los datos personales que deben figurar en esta hoja.
- Mientras dure el examen deberá exponer su D.N.I. encima de la mesa.
- **NO SE ADMITIRÁN** exámenes escritos a lapicero ni con tinta roja o verde.
- Cuando le indiquen que puede abrir el examen, **COMPRUEBE** que su ejemplar del examen consta de **4** páginas numeradas.
- En este examen **NO PUEDEN UTILIZARSE CALCULADORAS, LIBROS, APUNTES NI DISPOSITIVOS DE TELECOMUNICACIÓN**. Retírelos ahora de la mesa.
- La duración de esta parte del examen es de **80 minutos**.
- Cree una carpeta **EXAMEN** y, dentro de ella, un proyecto *Modelsim* que debe utilizar para resolver todos los ejercicios. Al final del examen realice un comprimido (.zip) de esta carpeta y súbala a Moodle.

<b>Aula:</b>	<b>Puesto:</b>
--------------	----------------

Esta hoja se ha dejado en blanco intencionadamente



Ejercicio 1	Modelado de autómatas		
		3,5 puntos	35 minutos

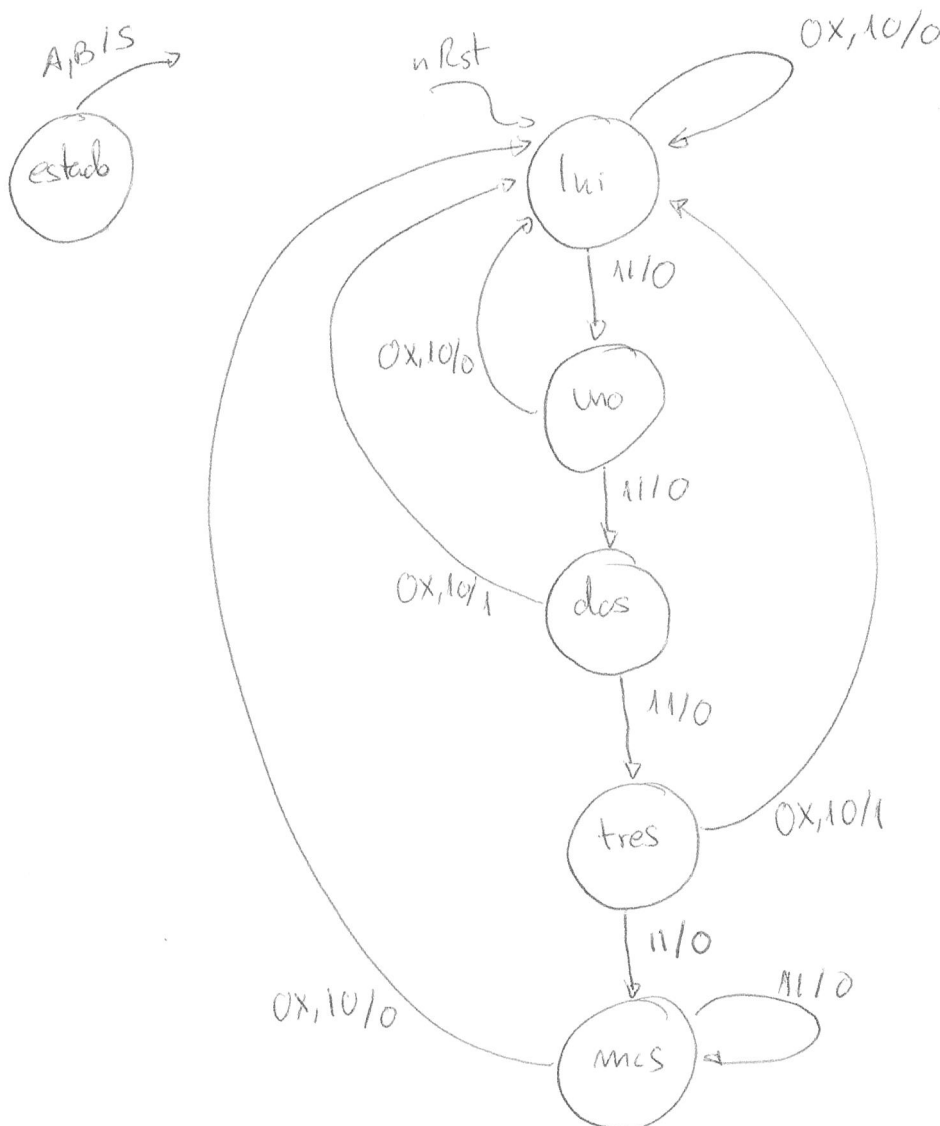
Diseñe el diagrama de estados y luego realice el modelo VHDL sintetizable de un autómata de Mealy que tiene dos entradas **A** y **B**, de un bit, sincronizadas con el reloj y una salida **S**, también de 1 bit.

La salida **S** debe activarse, durante un período de reloj, **después** de que ambas entradas **A** y **B** hayan permanecido activas simultáneamente durante 2 o 3 ciclos de reloj consecutivos. Si el número de ciclos es inferior a 2 o supera los 3, la salida no debe activarse.

**Nota:** Llame al circuito diseñado *automata.vhd*. Este circuito debe estar ubicado dentro de la carpeta *EXAMEN*. Rellene con sus datos (**nombre** y **fecha**) la cabecera del fichero.

**Nota2:** No es necesario que realice el test de este circuito.

Dibuje aquí el diagrama de estados



<b>Ejercicio 2</b>	<b>Modelado de circuitos combinacionales</b>		
		2,5 puntos	15 minutos

Realice el modelo VHDL sintetizable de un circuito combinacional, **div\_100**, que divida entre cien el número en binario natural de 8 bits presente en su entrada, **E**. El circuito debe obtener en sus salidas, **C** y **R**, en binario natural y con el menor número de bits, el cociente y el resto de la operación, respectivamente.

Antes de realizar el modelo complete la siguiente tabla:

E	C	R
255	2	55
130	1	30
90	0	90
Nº mínimo de bits para representar el cociente en binario natural:		2
Nº mínimo de bits para representar el resto en binario natural:		7

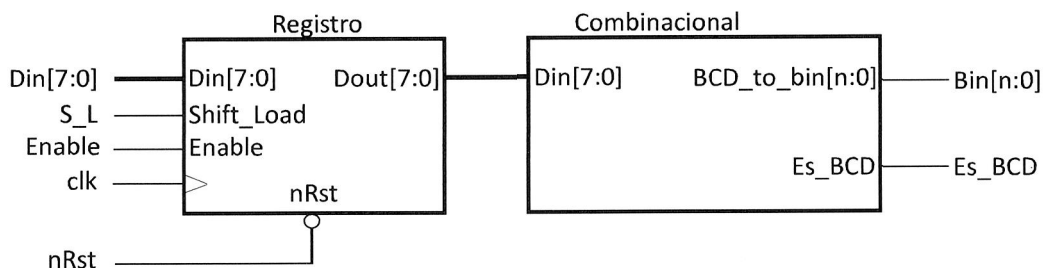
**Nota:** Guarde el circuito diseñado en el fichero **div\_100.vhd**. Este fichero debe estar ubicado dentro de la carpeta **EXAMEN**. Rellene con sus datos (**nombre y fecha**) la cabecera del fichero.

**Nota2:** No es necesario que realice el test de este circuito.

<b>Ejercicio 3</b>	<b>Modelado de sistemas</b>		
		4 puntos	30 minutos

Realice un modelo VHDL sintetizable del circuito de la figura (llámelo **regcomb**) sabiendo que:

- El módulo **Registro** es un registro de desplazamiento que carga el dato de entrada, **Din**, cuando la entrada **S\_L** está a nivel bajo y la entrada **Enable** está activa (a nivel alto) o desplaza el dato almacenado introduciendo un cero como bit de menor peso cuando **S\_L** está a nivel alto y **Enable** está activa. Cuando **Enable** está a nivel bajo el contenido del registro se mantiene inalterado.
- El módulo **Combinacional** es un circuito combinacional que activa su salida **Es\_BCD**, a nivel alto, únicamente cuando el dato almacenado en el registro corresponde a un código BCD; en tal caso entrega en su salida **BCD\_to\_bin** el valor en binario del número BCD almacenado en el registro, en caso contrario (si el contenido del registro no es un número BCD), los bits de la salida **BCD\_to\_bin** deben estar a nivel bajo.



**Nota:** Debe determinar el número de bits de la salida **Bin**.

**Nota2:** Una vez terminado el ejercicio, la carpeta **EXAMEN** debe contener el fichero **regcomb.vhd** con el modelo del circuito. Rellene con sus datos (**nombre y fecha**) la cabecera del fichero.

**Nota3:** No es necesario que realice el test de este circuito.