


PUESTO N°:

 <p>UNIVERSIDAD POLITÉCNICA DE MADRID</p> <p>ETSIS de Telecomunicación</p>				APELLIDOS:					
				NOMBRE:				DNI:	
				ASIGNATURA: DISEÑO DIGITAL I				Bloque: I	
				TITULACIÓN: <input type="checkbox"/> Electrónica de Comunic. <input type="checkbox"/> Sonido e Imagen <input type="checkbox"/> Sistemas de Telecom. <input type="checkbox"/> Telemática					
Fecha			Curso	Calificaciones Parciales				Nota Final	
7	11	2022	TERCERO						

PRIMERA PARTE.

No abra el examen hasta que se le indique. Si lo hace, el examen será corregido con 0 puntos. Mientras tanto, lea las siguientes instrucciones:

- Indique **AHORA en la esquina superior derecha** el número del puesto que ocupa.
- Rellene **AHORA** los datos personales que deben figurar en esta hoja.
- Mientras dure el examen deberá exponer su D.N.I. encima de la mesa.
- **NO SE ADMITIRÁN** exámenes escritos a lapicero ni con tinta roja o verde.
- **Cuando le indiquen que puede abrir el examen, COMPRUEBE** que su ejemplar del examen consta de 5 páginas numeradas.
- En este examen **NO PUEDEN UTILIZARSE CALCULADORAS, LIBROS, APUNTES NI DISPOSITIVOS DE TELECOMUNICACIÓN**. Retírelos ahora de la mesa.
- Este examen tiene dos partes:
 - La primera parte, que se corresponde con este documento, está orientada a comprobar los indicadores de adquisición obligatoria (A.O.) y tiene un peso del 20% en la calificación final del examen.
 - La segunda parte, que realizará tras entregar la primera, está orientada a comprobar el resto de indicadores y tiene un peso del 80% en la calificación final del examen.
- La duración de esta parte del examen es de **20 minutos**.

Esta hoja se ha dejado en blanco intencionadamente

Ejercicio 1	Identificación de diseños		
		2 puntos	5 minutos

Dibuje la interfaz e identifique la función de los circuitos modelados por las siguientes descripciones VHDL:

Descripción VHDL	Dibuje la interfaz
<pre> library ieee; use ieee.std_logic_1164.all; entity circ2 is port(a: in std_logic_vector(1 downto 0); b: in std_logic; s: buffer std_logic_vector(3 downto 0)); end entity; architecture rtl of circ1 is begin process (a, b) begin case a is when "00" => s <= "000"&b; when "01" => s <= "00"&b&'0'; when "10" => s <= '0'&b"00"; when others => s <= b&"000"; end case; end process; end rtl; </pre>	
	<p>Identifique la función</p> <p><i>Decodificador de 2 a 4 con entrada de habilitación "b" activa a nivel alto</i></p>

Descripción VHDL	Dibuje la interfaz
<pre> library ieee; use ieee.std_logic_1164.all; use ieee.std_logic_unsigned.all; entity circ2 is port(a: in std_logic; b: in std_logic; c: in std_logic; s: buffer std_logic_vector(3 downto 0)); end entity; architecture rtl of circ2 is begin process(a, b) begin if b = '0' then s <= "0000"; elsif a'event and a = '1' then s <= s + c; end if; end process; end rtl; </pre>	
	<p>Identifique la función</p> <p><i>Contador de 4 bits con entrada de habilitación "c" activa a nivel alto y entrada de reset asíncrono "b".</i></p>

Ejercicio 2	Modelado VHDL de subsistemas aritméticos		
		5 puntos	9 minutos

Modele con sentencias concurrentes el funcionamiento de los circuitos aritméticos que se indican.

Nota: Debe indicar el tamaño de las señales empleadas y el paquete aritmético que se emplea para modelar

- 1) Realice el modelo VHDL de un circuito que detecte el desbordamiento en la suma de dos números A y B, ambos de 4 bits y codificados en Complemento a 2.

```
use ieee.std_logic_unsigned.all;
S: std_logic;

S <= '1' when A(3)=B(3) and A(3)/=S(3) else '0';
```

- 2) Realice el modelo VHDL de un circuito cuya salida indica que un dato A de cuatro bits es impar

```
use ieee.std_logic_unsigned.all;
S: std_logic;

S <= A(0);
```

- 3) Realice el modelo VHDL de un circuito que multiplique por -8 un numero en complemento a 2 de 4 bits.

```
use ieee.std_logic_unsigned.all;
Res: std_logic_vector(7 downto 0);
Res <= not (A(3)&A(3 downto 0)&"000") + 1;
```

- 4) Realice el modelo VHDL de un circuito que sume tres números en binario natural de 4, 3 y 2 bits, sin entrada ni salida de acarreo.

```
use ieee.std_logic_unsigned.all;
sum : std_logic_vector(4 downto 0);
sum <= ('0'&a4) + a3 + a2;
```

Ejercicio 3	Autómatas		
		3 puntos	6 minutos

El código adjunto corresponde al modelo de un autómatas.

1.- ¿Es un autómatas de Moore o de Mealy? *Mealy*

2.- Dibuje el diagrama de estados del autómatas

```

library ieee;
use ieee.std_logic_1164.all;

entity automata is
port(
    clk    : in std_logic;
    nRST   : in std_logic;
    ent    : in std_logic;
    sal    : buffer    std_logic);
end entity;

architecture rtl of automata is
    type t_estado is(ini, uno, dos, tres);
    signal estado : t_estado;

begin
    process(clk, nRST)
    begin
        if(nRST='0') then
            estado <= ini;

        elsif clk'event and clk = '1' then
            case estado is
                when ini =>
                    if (ent='0') then
                        estado <= uno;
                    end if;

                when uno =>
                    if (ent='1') then
                        estado <= ini;
                    else
                        estado <=dos;
                    end if;

                when dos=>
                    if (ent='0') then
                        estado <= tres;
                    end if;

                when tres =>
                    if (ent='0') then
                        estado <= ini;
                    else
                        estado <=dos;
                    end if;

            end case;
        end if;
    end process;

    sal <= '1' when (estado=uno and ent='0') or estado=dos else '0';

end rtl;

```

