

DISEÑO DIGITAL 1. BLOQUE TEMÁTICO 1**TÍTULO DE LA ACTIVIDAD:**
Ejercicios de repaso de flip-flops y registros**CÓDIGO:**
BT1.AR1**FECHA:****NOMBRE:****APELLIDOS:****MODALIDAD:**

Individual. Ejercicios

TIPO:

No presencial

DURACIÓN:100
minutos**CALENDARIO:**

Previo a la sesión síncrona P3.

REQUISITOS:Conocimientos adquiridos en
Electrónica 2**CRITERIO DE
ÉXITO:**

COMENTARIOS E INCIDENCIAS:

TIEMPO DEDICADO:

minutos

AUTOEVALUACIÓN:
[entre 0 y 10 puntos]

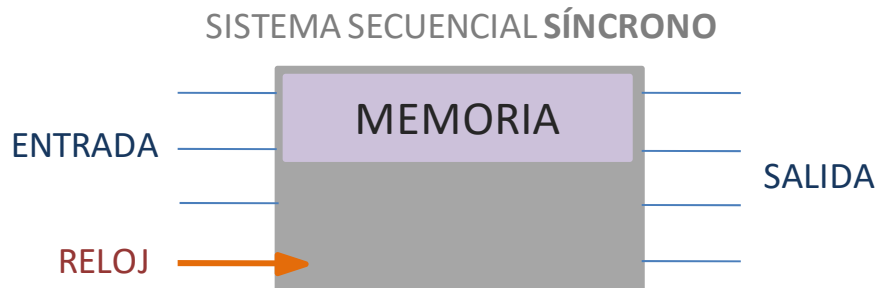
No procede

Introducción

Esta es una actividad opcional de repaso de flip-flops y registros. Está dividida en cinco partes. Las partes 1, 2 y 3 le servirán de repaso sobre los conceptos generales de los circuitos secuenciales síncronos (parte 1), los flip-flops tipo D (parte 2) y los registros (parte 3). La parte 4 comprende un conjunto de ejercicios tipo test cuyos resultados puede subir a Moodle para realizar una autocorrección. La parte 5 contiene dos ejercicios cuya solución se ha publicado en Moodle.

PARTE I. Introducción a los circuitos secuenciales síncronos

En los sistemas combinacionales, el valor de sus salidas en cada instante de tiempo depende exclusivamente del estado de sus entradas en ese instante. En cambio, los sistemas secuenciales se caracterizan porque el valor de sus salidas en un determinado instante de tiempo depende del valor de sus entradas en instantes de tiempo previos. Por ello, a diferencia de los sistemas combinacionales, los sistemas secuenciales deben *recordar* la información pasada y, en este sentido se dice que son sistemas *con memoria*. Los sistemas secuenciales síncronos disponen de una entrada de reloj que define el transcurso del tiempo.



Seguidamente se desarrolla un ejemplo de sistema secuencial síncrono. Sea un circuito con una entrada de 4 bits que compara, en cada flanco de reloj, si el valor actual de la entrada es mayor (salida 01), menor (salida 10) o igual (salida 11) que el anterior. En cada instante de tiempo, el circuito tiene que recordar el valor de la entrada que estaba presente en el instante de tiempo anterior, compararlo con el valor de la entrada actual, y decidir la salida en función del resultado de esa comparación. A continuación puede verse un cronograma de funcionamiento:

TIEMPO		T	T+1	T+2	T+3	T+4
RELOJ						
ENTRADA	6	5	5	14	7	
ESTADO	0	6	5	14	7	
SALIDA		01 (>)	10 (<)	11 (=)	01 (>)	10 (<)

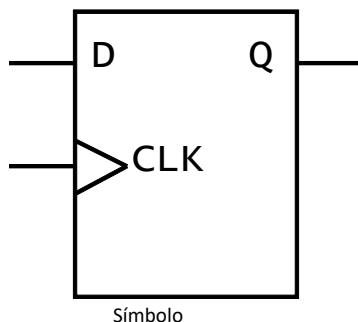
En el cronograma de la figura:

- La entrada de reloj es la que marca el tiempo que transcurre en el sistema. Concretamente, la transición entre un instante de tiempo (p. ej, T) y el siguiente (T+1) se produce en los flancos de subida de la señal de reloj. Estos flancos se denominan *flancos activos* de reloj. Lo habitual en los sistemas síncronos es que los flancos activos sean los de subida, aunque también podrían ser los de bajada (unos u otros, no ambos).

- Los sistemas secuenciales disponen de una *memoria de estado* para recordar los eventos sucedidos en instantes anteriores al actual. La memoria de estado almacena el *estado* del sistema, tal es la notación que se ha utilizado en el cronograma de la figura. En este caso, el sistema solo tiene que recordar el valor que tenía su entrada en el instante de tiempo anterior al actual. Por ejemplo, en el instante T+1 (marcado por el segundo flanco activo de reloj en el cronograma) la entrada es '5' y el sistema recuerda, mediante el estado, que la entrada en el instante anterior T (marcado por el primer flanco activo) fue '6'. De esta forma, la salida del sistema en T+1 es '10', indicando que la entrada en el instante actual es menor que la entrada en el instante anterior.
- El sistema solamente toma decisiones en los flancos activos de la señal de reloj, en este caso, los de subida. En efecto, el sistema *lee* el dato en la entrada solo en los flancos activos de reloj, y cambia la salida en estos flancos de acuerdo con el valor del dato leído y el estado.
- Claramente, este sistema no puede implementarse con un circuito combinacional. Por ejemplo, en el instante T+1 la entrada vale '5' y la salida vale '10'. En cambio, en el instante T+2, la entrada sigue valiendo '5' y la salida cambia a '11'. Este comportamiento solo resulta posible en sistemas con memoria.


PARTE II. Flip-flops tipo D

El sistema secuencial síncrono más sencillo es el flip-flop tipo D. En la siguiente figura se ilustran el símbolo y la tabla de transiciones de este flip-flop.



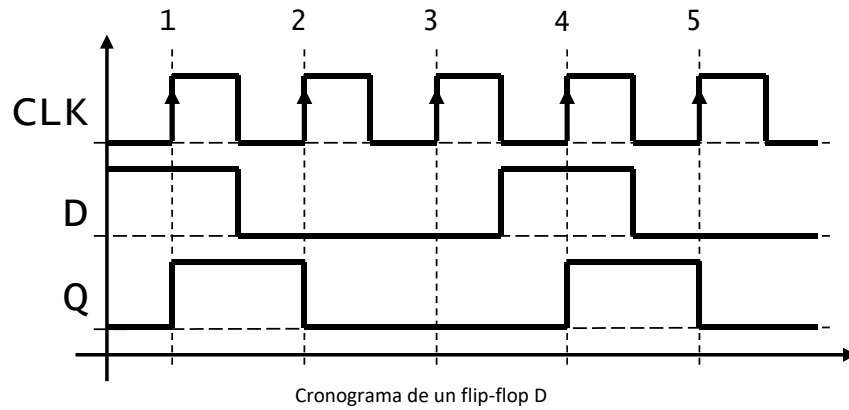
Entradas		Salidas
D	CLK	Q(T)
0	↑	0
1	↑	1

Tabla de transiciones

Un flip-flop tipo D posee una entrada de datos (D), una entrada de reloj (CLK) y una salida de datos (Q). El flip-flop captura el dato presente en la entrada cuando llega un flanco activo de reloj y lo muestra en la salida. El símbolo de la figura y la tabla de transiciones se corresponden con un flip-flop activo en el flanco de subida del reloj. Para flip-flops activos por flanco de bajada se utiliza el símbolo  en la entrada de reloj.

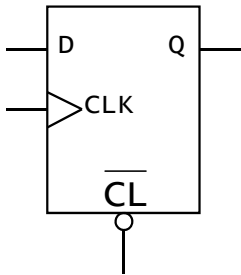
La siguiente figura muestra un ejemplo de cronograma de un flip-flop D. Observe que, en todos los casos,

- La salida Q conmuta en el flanco activo de la señal de reloj
- La salida Q toma el valor que tenga la entrada D en el flanco activo de reloj, independientemente de los valores que haya podido tomar esa entrada en otros instantes de tiempo.



Flip-flops D con entradas asíncronas

Los flip-flops D pueden tener entradas asíncronas de clear o reset (puesta a cero) o preset o set (puesta a uno). Estas entradas se utilizan para fijar la salida de los flip-flops del sistema a un valor conocido durante la inicialización del circuito en el que se utilicen. La siguiente figura muestra el símbolo y la tabla de transiciones de un flip-flop D con *clear* asíncrono. Observe en la tabla de transiciones cómo la entrada de *clear* tiene prioridad sobre la entrada de datos síncrona: cuando se activa, la salida del flip-flop se pone a '0' independientemente del estado de la entrada síncrona y del reloj.

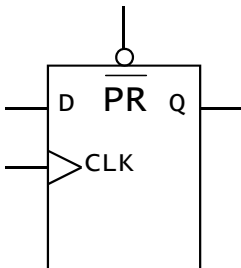


Flip-flop D con entrada de *clear* activa a nivel bajo

Entradas			Salidas
CL	D	CLK	Q(T)
0	X	X	0
1	0	↑	0
1	1	↑	1

Tabla de transiciones

La siguiente figura muestra el símbolo y la tabla de transiciones de un flip-flop D con *preset* asíncrono. Normalmente, las entradas de preset o clear asíncronas son activas a nivel bajo, como en los ejemplos de las figuras.



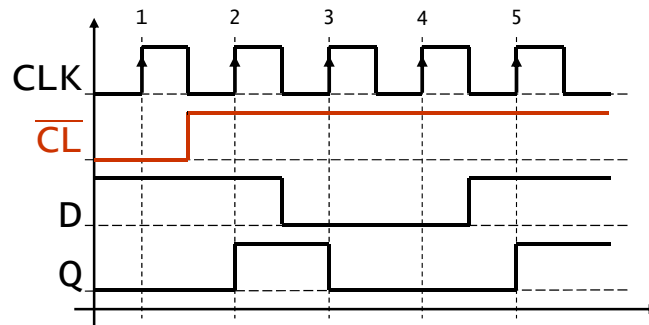
Flip-flop D con entrada de *preset* activa a nivel bajo

Entradas			Salidas
PR	D	CLK	Q(T)
0	X	X	1
1	0	↑	0
1	1	↑	1

Tabla de transiciones

A modo de ejemplo, en el siguiente cronograma, correspondiente a un flip-flop D con *reset* asíncrono activo a nivel bajo, la salida se inicializa a '0' al estar al principio su entrada *clear* activa. Esto ocurre a pesar de que, en el primer flanco de reloj, la entrada D está a '1' (funcionamiento

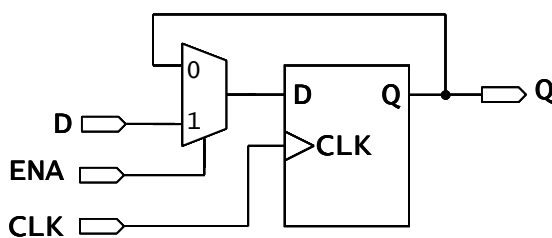
asíncrono). Cuando *clear* se pone a nivel alto, en el siguiente flanco de reloj, el flip-flop conmuta su salida a '1' porque tiene su entrada D a '1' (funcionamiento síncrono).



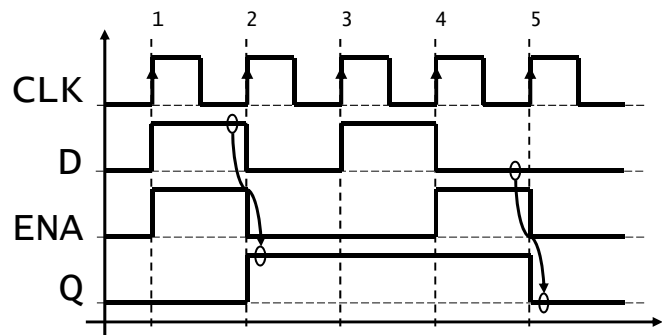
Cronograma de un flip-flop D con clear

Flip-flops D con entrada de habilitación

La entrada de habilitación de reloj –también se suele llamar, simplemente, *entrada de habilitación*, o por su nombre original en inglés: entrada de *clock enable*- sirve para controlar los instantes de tiempo (flancos activos) en los que se permite al flip-flop memorizar un nuevo valor. Cuando está activa permite que el flip-flop *capture*, en los flancos activos de reloj, el bit presente en la entrada D; en los flancos de reloj en los que la habilitación está desactivada el flip-flop mantiene el valor memorizado. En la siguiente figura se muestra el diseño de un flip-flop D con entrada de habilitación activa a nivel alto. Cuando 'ENA' está a nivel alto, el multiplexor encamina la entrada 'D' a la entrada de datos del flip-flop; cuando 'ENA' está a nivel bajo el multiplexor conecta la salida del flip-flop a su entrada. En la figura también se muestra un cronograma de funcionamiento. En el cronograma puede verse que la salida del flip-flop almacena el dato presente en su entrada solo en los flancos activos de reloj en los que la entrada de habilitación está a nivel alto (flancos de reloj 2 y 5), mientras que en el resto de los flancos retiene el valor almacenado.



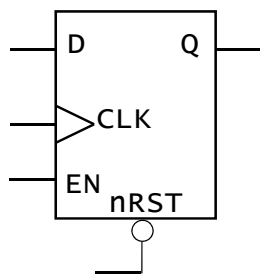
Flip-flop D con entrada de habilitación



Cronograma

Símbolo y ejemplo de cronograma de un flip-flop D con entrada de habilitación

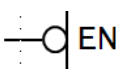
En la siguiente figura se muestra el símbolo y la tabla de transiciones de un flip-flop D con entrada de habilitación activa a nivel alto y entrada de reset asíncrono activa a nivel bajo.



Símbolo de un flip-flop D con entrada de habilitación activa a nivel alto

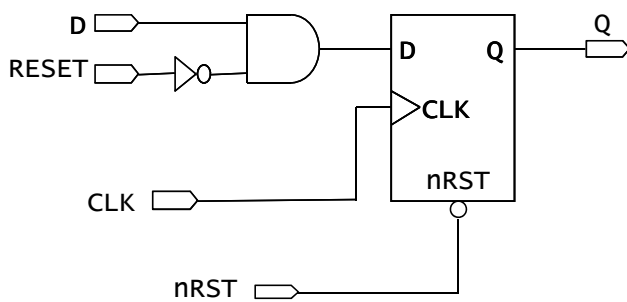
Entradas				Salidas
nRST	EN	D	CLK	Q(T)
0	X	X	X	0
1	0	X	↑	Q(T-1)
1	1	0	↑	0
1	1	1	↑	1

Tabla de transiciones

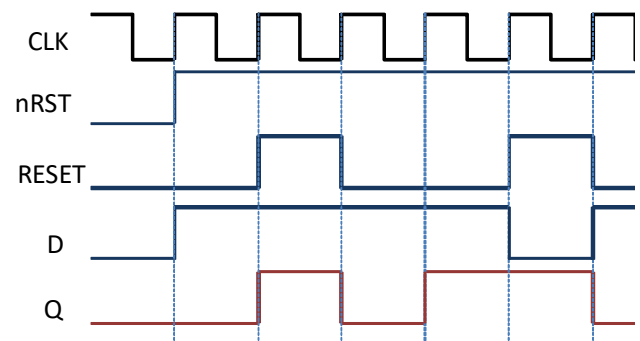
Cuando la habilitación es activa a nivel bajo se utiliza el símbolo  en la entrada.

Flip-flops D con entradas de *reset* y *preset* síncrono

Las entradas de *reset* y *preset* síncronas ponen a '0' o a '1' la salida del flip-flop en el siguiente flanco activo de la señal de reloj. En la figura se muestra el diseño de un flip-flop con entrada de *reset* síncrona activa a nivel alto. Cuando 'RESET' está a '1', la salida de la puerta AND es un '0', independientemente del valor que tenga la entrada 'D', con lo que, en el siguiente flanco activo de reloj, la salida del flip-flop se pondrá a '0'. Si se desea un *reset* síncrono activo a nivel bajo, basta con eliminar el inversor que hay en la entrada de la puerta AND. En la figura se muestra también un cronograma de funcionamiento. Al principio, la salida del flip-flop está a '0' debido al *reset* asíncrono inicial. En el funcionamiento síncrono, el flip-flop se pone a '0' en los flancos activos de reloj en los que su entrada 'RESET' está activa; en el resto de flancos activos la salida toma el valor de la entrada.

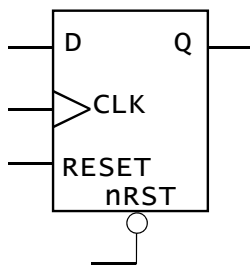


Flip-flop D con reset síncrono activo a nivel alto



Cronograma

En la siguiente figura se muestra el símbolo y la tabla de transiciones del flip-flop del ejemplo anterior. Observe que la entrada de *reset* asíncrona tiene prioridad sobre el funcionamiento síncrono.

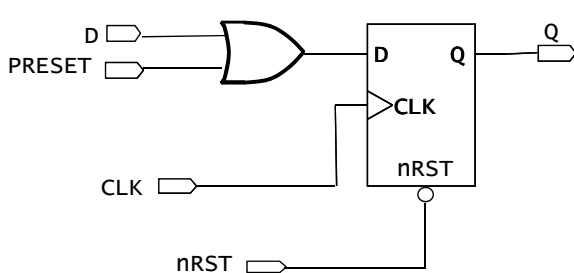


Símbolo del flip-flop D con reset síncrono activo a nivel alto

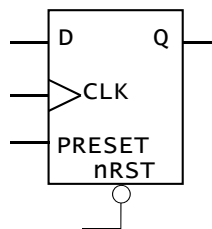
Entradas				Salidas
nRST	RESET	D	CLK	Q(T)
0	X	X	X	0
1	1	X	↑	0
1	0	0	↑	0
1	0	1	↑	1

Tabla de transiciones

El flip-flop D con entrada de *preset* síncrona se diseña con una puerta OR, en lugar de una AND, como puede verse en la figura siguiente. En este caso se trata de una entrada de *preset* activa a nivel alto; si se desea a nivel bajo basta con añadir un inversor en la entrada 'PRESET'. En la figura también se han representado el símbolo del flip-flop y su tabla de transiciones.



Flip-flop D con preset síncrono activo a nivel alto



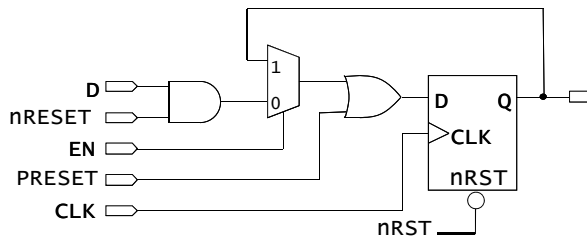
Símbolo

Entradas				Salidas
nRST	PRESET	D	CLK	Q(T)
0	X	X	X	0
1	1	X	↑	1
1	0	0	↑	0
1	0	1	↑	1

Tabla de transiciones

Flip-flops D con entradas de habilitación, *reset* y *preset* síncrono

Un flip-flop puede tener cualquier combinación de las entradas síncronas y asíncronas que se han visto, incluso puede tenerlas todas (aunque no es frecuente). En estos casos, es necesario tener en cuenta la prioridad de cada entrada. Por ejemplo, en la figura siguiente se muestra un flip-flop D con entrada de habilitación, reset y preset síncronos y reset asíncrono. El reset síncrono y la entrada de habilitación son activas a nivel bajo; el preset síncrono es activo a nivel alto. El preset es la entrada síncrona más prioritaria, no requiriendo que la habilitación de reloj esté activa para su funcionamiento. Por el contrario, el reset síncrono solo funcionará si el clock enable está activo. El reset asíncrono es activo a nivel bajo y, naturalmente, es prioritario sobre todas las demás entradas. En la figura se muestra también la tabla de transiciones del flip-flop, en la que se resume de forma muy compacta su funcionamiento.


 Flip-flop D con entrada de habilitación, *preset* y *reset* síncronos.

Entradas						Salidas
nRST	PRESET	EN	nRESET	D	CLK	Q(T)
0	X	X	X	X	X	0
1	1	X	X	X	↑	1
1	0	1	X	X	↑	Q(T-1)
1	0	0	0	X	↑	0
1	0	0	1	0	↑	0
1	0	0	1	1	↑	1

Tabla de transiciones

Para el diseño de otras variantes de este circuito tenga en cuenta que:

- La prioridad de las entradas de control puede alterarse cambiando la ubicación de las puertas AND y OR y del multiplexor. Por ejemplo, si se desea que el *preset* síncrono requiera la activación de la habilitación de reloj, basta con colocar la puerta OR detrás del multiplexor.
- El nivel lógico (alto o bajo) con el cual son activas las entradas de control puede modificarse invirtiendo dichas entradas o, en el caso específico del *clock enable*, intercambiando las entradas del multiplexor.
- Normalmente existirá una entrada de *reset* o *preset* asíncrona, habitualmente activa a nivel bajo. El funcionamiento asíncrono siempre es prioritario sobre el síncrono.

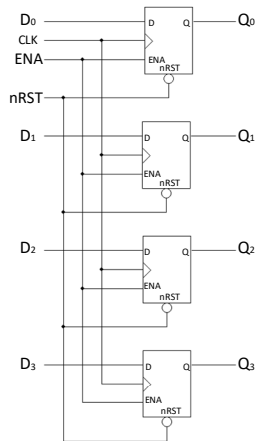
PARTE III. Registros

Los registros son subsistemas cuya función consiste en el almacenamiento temporal de datos. Atendiendo al modo de lectura y escritura de un registro, se puede hablar de:

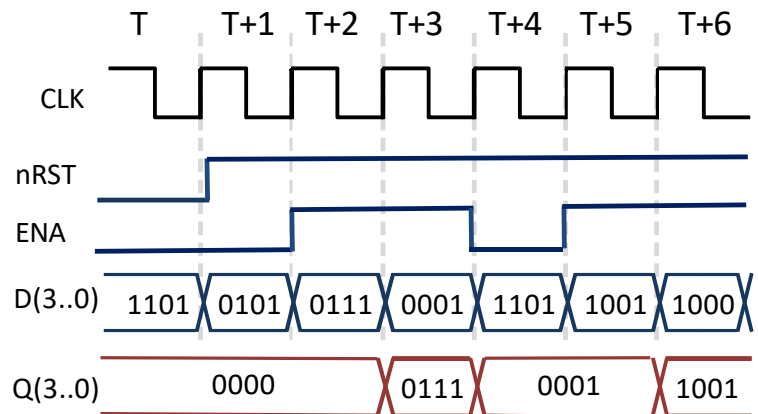
- Registros con escritura y lectura en paralelo
- Registros de desplazamiento
 - Registros con escritura y lectura en serie
 - Registros con escritura en paralelo y lectura en serie
 - Registros con escritura en serie y lectura en paralelo

Registros con escritura y lectura en paralelo

Este es el tipo de registro más común. Cuando se habla de registro sin especificar el tipo, se sobreentiende que se trata de un registro con lectura y escritura en paralelo. En la siguiente figura se muestra un registro de cuatro bits con entrada de habilitación. También en la figura se muestra un cronograma de funcionamiento. Tras el *reset* asíncrono, el registro almacena y muestra a su salida los datos que están presentes en su entrada solo en los flancos activos de reloj en los que la entrada de habilitación esté activa (en este caso a nivel alto).

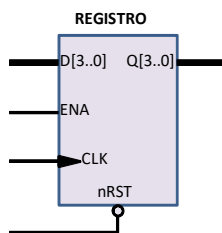


Registro de 4 bits con entrada de habilitación



Cronograma

En la siguiente figura se muestra el símbolo de este registro junto con su tabla de funcionamiento:

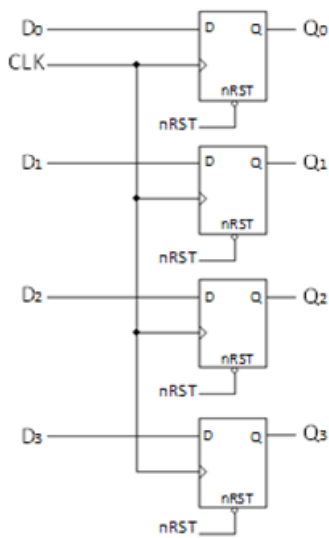


Símbolo de un registro de 4 bits con entrada de habilitación

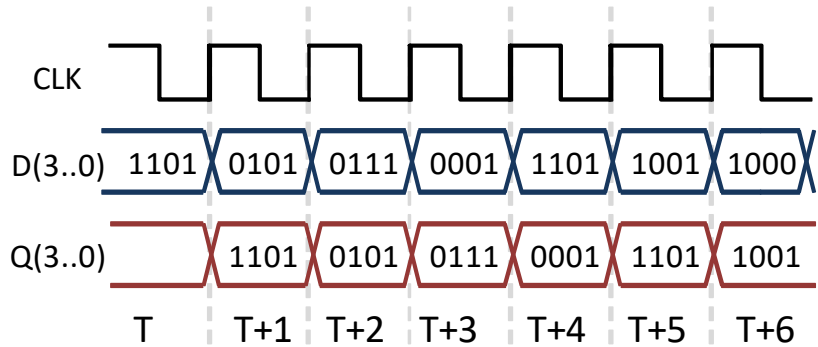
Entradas				Salidas
nRST	ENA	D(3..0)	CLK	Q(3..0)
0	X	XXXX	X	0000
1	0	XXXX	↑	q(3..0)
1	1	dato(3..0)	↑	dato(3..0)

Tabla de funcionamiento

De este tipo de registros pueden encontrarse variantes: además del número de bits, los registros pueden ser con o sin entrada de habilitación, con entradas síncronas de *reset* o *preset*, o con *preset* asíncrono en lugar de *reset*. Por ejemplo, en la siguiente figura se muestra un registro sin entradas de control síncronas. En el cronograma que muestra su funcionamiento se observa que, en funcionamiento síncrono, en cada flanco activo de reloj, la salida pasa a tomar el valor que tenga la entrada en ese flanco.



Registro de 4 bits

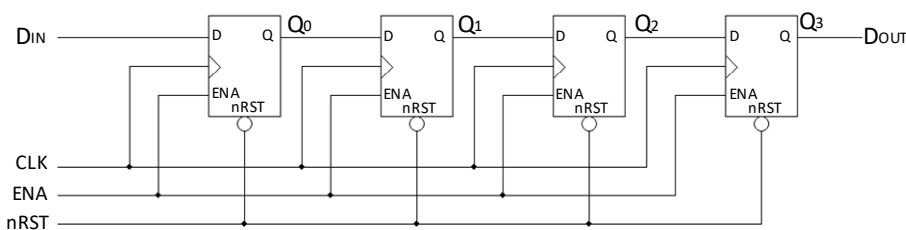


Cronograma

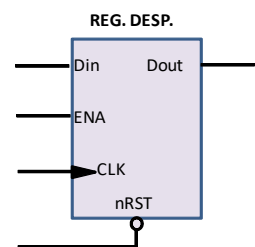
Registros de desplazamiento

Los registros de desplazamiento son registros con lectura y escritura en serie. En la figura siguiente se muestra un registro de desplazamiento de 4 bits con entrada de habilitación. El registro está formado por flip-flops tipo D interconectados de forma que la salida de cada uno está conectada a la entrada del siguiente. La entrada del primer flip-flop funciona como entrada de datos serie y la salida del último flip-flop es la salida de datos serie. En la figura se muestran también el símbolo del registro, su tabla de funcionamiento y un cronograma. En el cronograma se observa que, con la entrada de habilitación (ENA) activada:

- En cada flanco activo de reloj, el dato presente en la entrada serie (D_{in}) se almacena en el primer flip-flop (salida Q_0).
- En cada flanco activo de reloj, el dato presente en la salida del flip-flop N (salida Q_n) se almacena en el flip-flop N+1 (salida Q_{n+1}).
- Los datos que se introducen por la entrada serie (D_{in}) comienzan a verse en la salida serie (D_{out} , la salida del flip-flop número 4) cuatro ciclos de reloj más tarde.



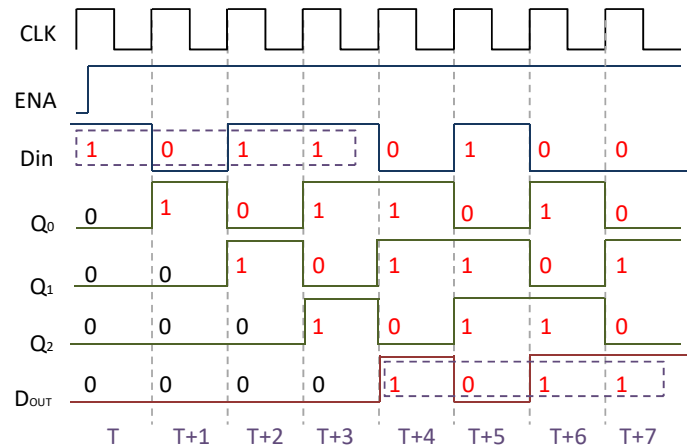
Registro de desplazamiento de 4 bits



Símbolo

Entradas				Nodos internos			Salidas
nRST	ENA	Din	CLK	Q ₀	Q ₁	Q ₂	Dout
0	X	X	X	X	X	X	0
1	0	X	↑	q ₀	q ₁	q ₂	d _{out}
1	1	d _{in}	↑	d _{in}	q ₀	q ₁	q ₂

Tabla de funcionamiento

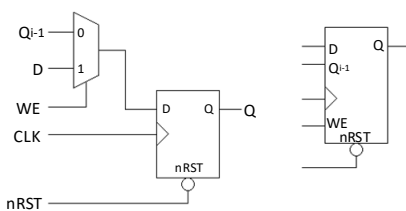


Cronograma del registro de desplazamiento de 4 bits

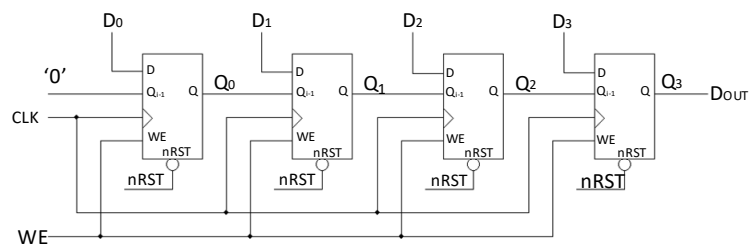
Además del número de bits, los registros de desplazamiento pueden ser con o sin entrada de habilitación, y pueden tener entradas síncronas de *preset* o *reset*.

Registros de desplazamiento con entrada o salida paralelo

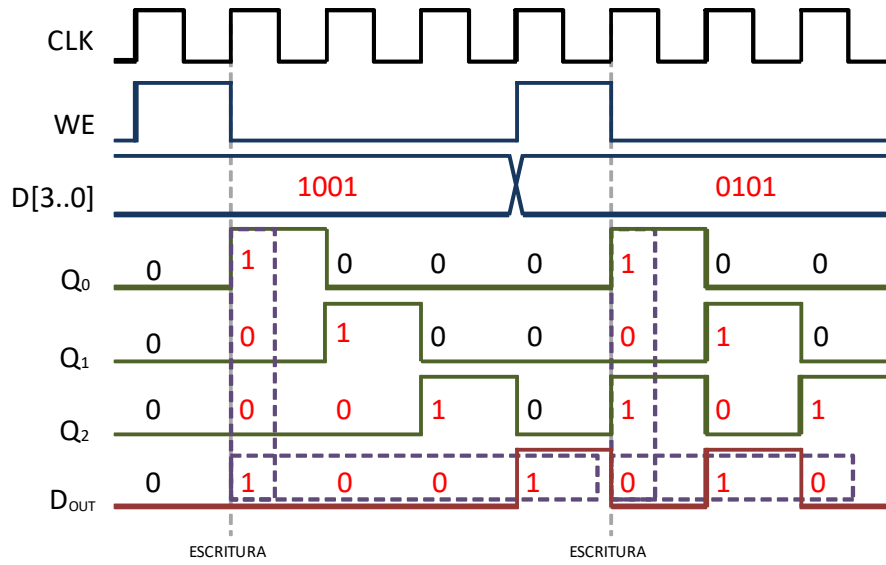
Los registros de desplazamiento con entrada paralelo poseen una entrada de datos paralelo, controlada por un bit de habilitación de escritura. Esta entrada permite la inicialización síncrona del registro completo con el dato deseado en un ciclo de reloj. Por otro lado, un registro tiene salida de datos paralelo si en su salida están accesibles las salidas de todos los flip-flops que lo componen. Por ejemplo, en la siguiente figura se muestra un registro de 4 bits con entrada y salida paralelo. El funcionamiento de este registro depende del nivel lógico presente en la entrada de habilitación de escritura, WE. Con WE activa, el registro almacena en el siguiente flanco activo de reloj el dato presente en la entrada paralelo, D(3..0). Cuando WE no está activa, el registro funciona en modo desplazamiento, como el registro del ejemplo anterior.



Bloque funcional básico



Registro de desplazamiento de 4 bits con entrada de datos paralelo



Cronograma del registro de desplazamiento con entrada paralelo

PARTE IV. Ejercicios tipo Test (con autocorrección en Moodle)

Ejercicio 1.- Identifique el tipo de flip-flop representado por la siguiente tabla de transiciones (a, b, c, d, o ninguno).

CLK	nRST	ENA	D	Q(T+1)
X	0	X	X	0
↑	1	1	0	0
↑	1	1	1	1
↑	1	0	0	Q(T)

- Flip-flop D con entrada de habilitación activa a nivel bajo y entrada de reset asíncrono activa también a nivel bajo.
- Flip-flop D con entrada de habilitación activa a nivel alto y entrada de reset asíncrono activa a nivel bajo.
- Flip-flop D con reset síncrono y entrada de habilitación, ambos activos a nivel bajo.
- Flip-flop D con reset síncrono activo a nivel bajo y entrada de habilitación activa a nivel alto.

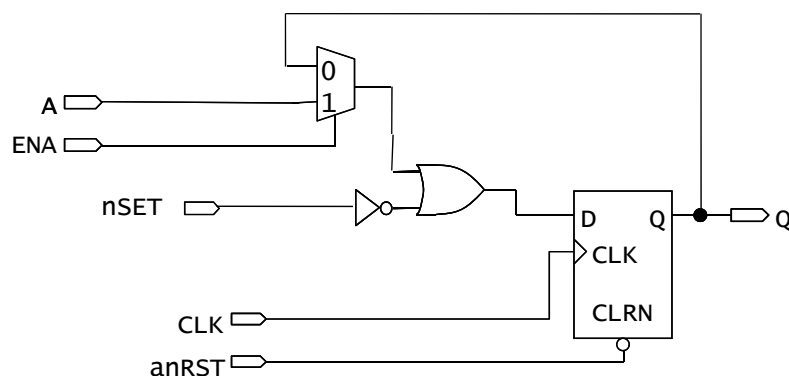
Ejercicio 2.- En el flip-flop cuya funcionalidad viene dada por la siguiente tabla de transiciones:

CLK	Z	X	Y	D	Q(T+1)
X	0	X	X	X	0
↑	1	1	X	X	Q(T)
↑	1	0	1	X	1
↑	1	0	0	0	0
↑	1	0	0	1	1

Identifique la función de las entradas X, Y y Z (a, b, c, d, o ninguno).

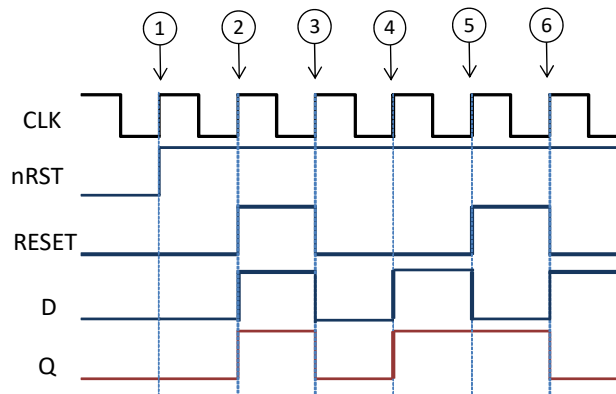
- X: reset síncrono; Y: preset síncrono; Z: reset asíncrono
- X: habilitación de reloj; Y: reset síncrono; Z: reset asíncrono
- X: habilitación de reloj; Y: preset síncrono; Z: reset asíncrono
- X: habilitación de reloj; Y: preset asíncrono; Z: reset asíncrono

Ejercicio 3.- El circuito de la figura (a, b, c, d, o ninguno):



- Es un flip-flop D con entrada de habilitación activa a nivel alto, entrada de *preset* síncrona activa a nivel bajo y entrada de *reset* asíncrona, también activa a nivel bajo. El *preset* síncrono no requiere la activación de la entrada de habilitación.
- Es un flip-flop D con entrada de habilitación activa a nivel bajo, entrada de *preset* síncrona activa a nivel alto y entrada de *reset* asíncrona, también activa a nivel bajo. El *preset* síncrono requiere la activación de la entrada de habilitación.
- Es un flip-flop D con entrada de habilitación activa a nivel bajo, entrada de *preset* síncrona activa a nivel bajo y entrada de *reset* asíncrona, también activa a nivel bajo. El *preset* síncrono no requiere la activación de la entrada de habilitación.
- Es un flip-flop D con entrada de habilitación activa a nivel alto, entrada de *preset* síncrona activa a nivel bajo y entrada de *reset* asíncrona, también activa a nivel bajo. El *preset* síncrono requiere la activación de la entrada de habilitación.

Ejercicio 4.- El siguiente cronograma se corresponde con un flip-flop D con *reset* asíncrono activo a nivel bajo y *reset* síncrono activo a nivel alto:



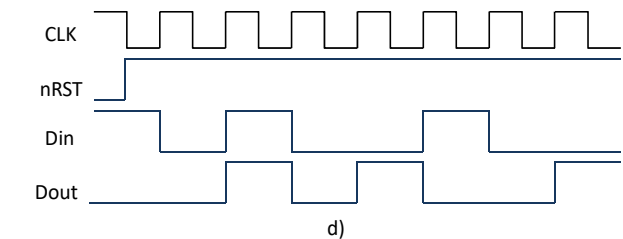
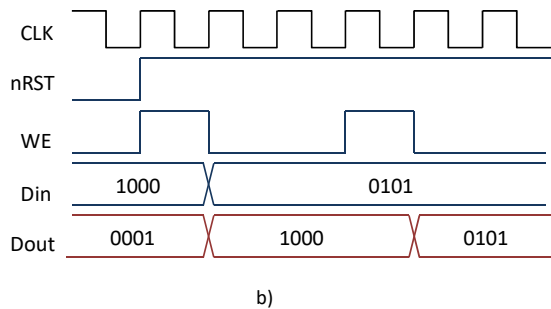
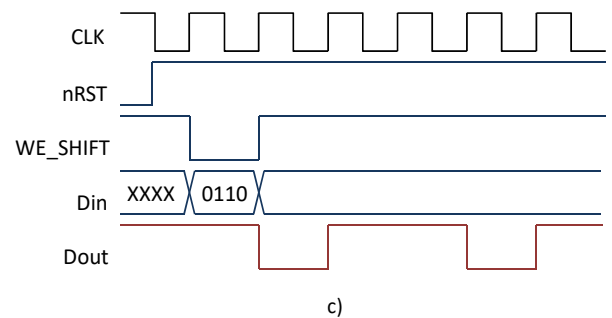
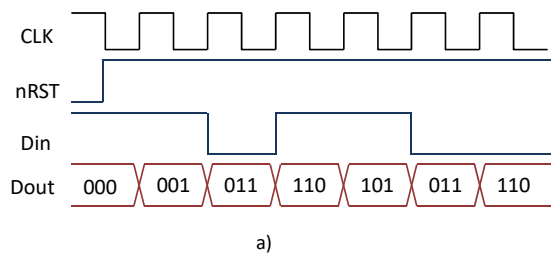
Identifique los flancos de reloj donde hay errores (a, b, c, d o ninguno):

- Solo hay un error en el flanco número 2.
- Hay un error en el flanco número 2 y otro en el flanco número 4.
- Hay errores en todos los flancos menos en el primero.
- No hay errores.

Ejercicio 5.- Identifique, para cada uno de los siguientes tipos de registro, el cronograma que representa su funcionamiento.

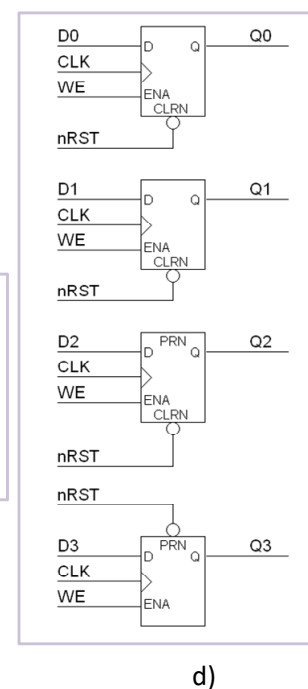
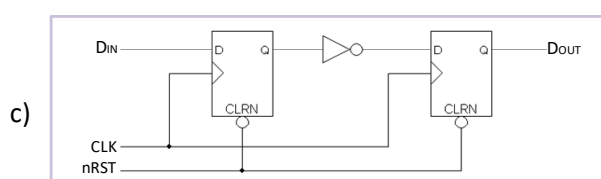
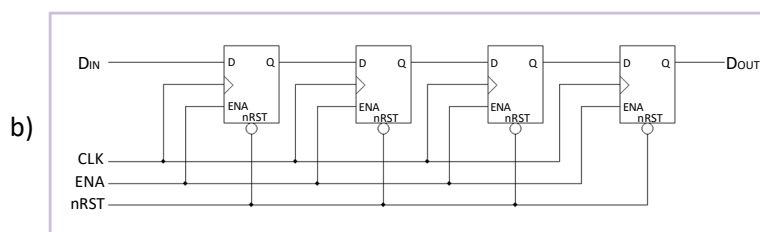
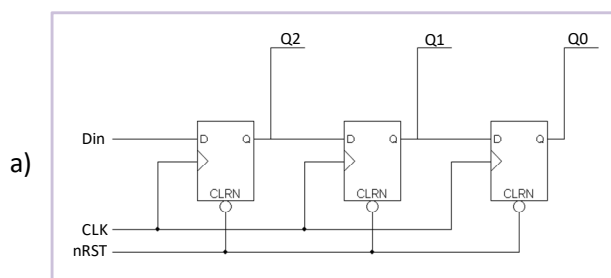
- Registro de desplazamiento de 3 bits con lectura paralelo y con reset asíncrono, activo a nivel bajo, que inicializa el registro a 000 (a, b, c, d, o ninguno).
- Registro de desplazamiento de 2 bits y con reset asíncrono, activo a nivel bajo, que inicializa el registro a 00 (a, b, c, d, o ninguno).
- Registro de desplazamiento de 4 bits con escritura paralelo, reset asíncrono activo a nivel bajo, que inicializa el registro a 0000, y entrada síncrona de control de carga y desplazamiento, que a nivel bajo ordena la carga y a nivel alto el desplazamiento (a, b, c, d, o ninguno).
- Registro de desplazamiento de 4 bits con escritura paralelo, reset asíncrono activo a nivel bajo, que inicializa el registro a 1111, y entrada síncrona de control de carga y desplazamiento, que a nivel bajo ordena la carga y a nivel alto el desplazamiento (a, b, c, d, o ninguno).

5. Registro paralelo-paralelo de 4 bits, con reset asíncrono activo a nivel bajo que inicializa el registro a 0001, y entrada de habilitación de reloj activa a nivel alto (a, b, c, d, o ninguno).



Ejercicio 6.- Identifique el circuito correspondiente a cada una de las siguientes definiciones.

1. Registro de desplazamiento de 4 bits con reset asíncrono activo a nivel bajo, que inicializa el registro a 0000, y entrada síncrona de habilitación de reloj activa a nivel alto (a, b, c, o d).
2. Registro de desplazamiento de 3 bits con lectura paralelo y con reset asíncrono, activo a nivel bajo, que inicializa el registro a 000 (a, b, c, o d).
3. No es un registro (a, b, c, o d).
4. Registro paralelo-paralelo de 4 bits, con reset asíncrono activo a nivel bajo que inicializa el registro a 1000, y entrada de habilitación de reloj activa a nivel alto (a, b, c, o d).

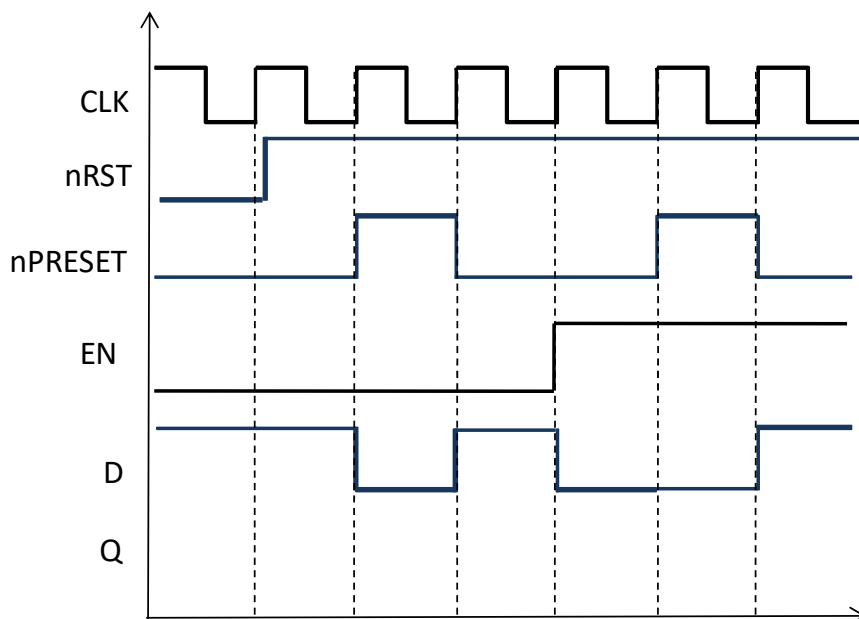


PARTE V. Ejercicios resueltos (en Moodle)

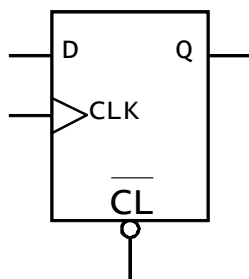
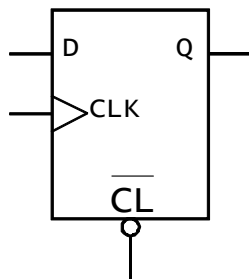
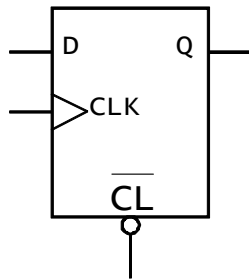
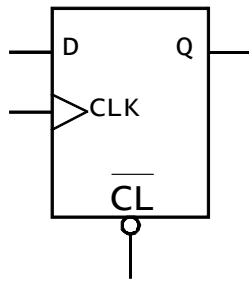
Ejercicio 1.- Diseñe un flip-flop D con entrada de habilitación, *preset* síncrono y *reset* asíncrono. El funcionamiento debe corresponderse con la siguiente tabla de transiciones:

Entradas					Salidas
nRST	EN	nPRESET	D	CLK	Q(T)
0	X	X	X	X	0
1	X	0	X	↑	1
1	0	1	X	↑	Q(T-1)
1	1	1	0	↑	0
1	1	1	1	↑	1

Complete el siguiente cronograma, correspondiente al circuito que acaba de diseñar:



Ejercicio 2.- Diseñe un registro de desplazamiento de 4 bits con *reset* síncrono activo a nivel alto (RESET) y *reset* asíncrono activo a nivel bajo (nRST). Para ello, utilice los flip-flops tipo D de la figura y las puertas lógicas que necesite.



Complete el siguiente cronograma, correspondiente al registro que acaba de diseñar:

