

 <p style="text-align: center;"><b>UNIVERSIDAD POLITÉCNICA DE MADRID</b></p> <p style="text-align: center;"><i>ETSI de Telecomunicación</i></p>				<b>APELLIDOS:</b>					
				<b>NOMBRE:</b>				<b>DNI:</b>	
				<b>ASIGNATURA:</b> DISEÑO DIGITAL I				<b>Bloque:</b> 2, ORDINARIO (escrito)	
				<b>TITULACIÓN:</b> <input type="checkbox"/> Electrónica de Comunic. <input type="checkbox"/> Sistemas de Telecom.					
<b>Fecha</b>			<b>Curso</b>	<b>Calificaciones parciales</b>					<b>Nota Final</b>
17	01	2023	TERCERO						

## ADVERTENCIAS PARA LA REALIZACIÓN DE LA PRIMERA PARTE DEL EXAMEN

- Rellene **AHORA** los datos personales que deben figurar en esta hoja.
- Mientras dure el examen deberá exponer su D.N.I. encima de la mesa.
- **NO SE ADMITIRÁN** exámenes escritos a lapicero ni con tinta roja o verde.
- **COMPRUEBE** que su ejemplar del examen consta de **2** ejercicios y **1** test en **9** páginas numeradas.
- En este examen **NO PUEDEN UTILIZARSE CALCULADORAS, LIBROS, APUNTES NI DISPOSITIVOS DE TELECOMUNICACIÓN**. Retírelos ahora de la mesa.
- La duración de esta parte del examen es de **90 minutos**.
- Rellene la siguiente tabla que registra el puesto de laboratorio donde está realizando el examen

<b>Aula:</b>	<b>Puesto:</b>
--------------	----------------

Esta hoja se ha dejado en blanco intencionadamente

<b>Ejercicio 1</b>	Banco de registros sin sobreescritura		
		6 puntos	55 minutos

El código contenido en el fichero “*ejercicio1a.vhd*”, disponible entre los entregables de este examen, modela el funcionamiento de un banco de registros en el que no se puede sobrescribir la información contenida en un registro. Es decir, no se puede llevar a cabo una nueva escritura en un determinado registro hasta que no se haya leído el dato escrito en él en una operación de escritura anterior.

Analice el código correspondiente al modelo y responda a las cuestiones que se plantean.

1.- Indique cuál es el mínimo número de flip-flops que se requieren para implementar el circuito modelado. Justifique su respuesta. **(0.5 puntos)**

*63 flip-flops*

*Distribuidos entre 7 registros de 8 bits y el registro de flags de 7 bits*

2.- Detalle la secuencia de acciones que es necesario efectuar en los puertos de entrada del circuito para realizar la escritura en un registro **(0.5 puntos)**

*Poner en “dir” la dirección sobre la que se desea escribir, desactivar la señal “rd” y poner el dato a escribir en “dato\_in”*

3.- Detalle la secuencia de acciones que es necesario efectuar en los puertos de entrada del circuito para realizar la lectura de un registro **(0.5 puntos)**

*Poner en “dir” la dirección sobre la que se desea efectuar la lectura y activar la señal “rd”. El dato estará disponible en la salida “dato\_out”*

4.- Explique detalladamente como debe manejarse la interfaz del circuito para que no se lleve a cabo ni la lectura, ni la escritura, en ninguno de los registros. **(0.5 punto)**

*Manteniendo a cero la señal “dir”*

5.- La sentencia concurrente que asigna valor a la señal “**dato\_out**” pretende modelar un circuito combinacional. Justifique si el modelo del circuito es o no correcto. **(0.5 puntos)**

*No. Ya que no se asigna valor a “dato\_out” para todas las combinaciones de entrada.*

6.- Indique la utilidad que tienen en el modelo las señales “**ack\_rd**” y “**ack\_wr**”. Es decir, ¿qué información proporciona la activación de estas señales a un circuito externo?  
**(1 punto)**

*“ack\_wr” es una señal que indica que la operación de escritura ha sido efectiva. Es decir que la orden de escritura se ha dado sobre un registro que no estaba protegido por una anterior escritura cuyo dato no ha sido leído ya.*

*“ack\_rd” es una señal que indica que la operación de lectura ha sido efectiva, es decir que se ha procedido a la lectura de un registro cuyo contenido había sido anteriormente escrito.*

El código contenido en el fichero “*ejercicio1b.vhd*”, disponible entre los entregables de este examen, presenta un modelo que es una variante del banco de registros analizado anteriormente.

El modelo contiene el mismo código que el del *ejercicio1a*, al que se le ha añadido el puerto de entrada “**modo**” y el puerto de salida “**info**”, las señales “**flag\_reverse**” y “**mark**”, y las sentencias concurrentes de asignación a estas nuevas señales.

El circuito presentará en su salida “**info**” información relativa al estado en el que se encuentra el banco de registros. El tipo de información entregada dependerá de la información presentada en la entrada “**modo**”

Analice el código correspondiente al modelo y responda a las cuestiones que se plantean.

7.- Explique con detalle y precisión la información que entrega el circuito en la salida “info” en función del código ingresado en la entrada “modo”. **(1 punto)**

modo = “00”

*8 menos el número del registro que está lleno y ocupa la dirección más baja*

modo = “01”

*8 menos el número del registro que está vacío y ocupa la dirección más baja*

modo = “10”

*El número del registro que está lleno y ocupa la dirección más alta*

modo = “11”

*El número del registro que está vacío y ocupa la dirección más alta*

8.- Modifique el modelo del circuito para que, manteniendo la funcionalidad añadida, se dote de dos nuevos códigos a la entrada “**modo**”. El primero permitirá obtener por la salida “info” el número de registros del banco actualizados y aun no leídos. El segundo, el número de registros libres para escritura. **(1.5 puntos)**

**ATENCIÓN:** Una vez terminado el ejercicio, **SUBA a Moodle** la versión final del modelo corregido con el nombre **ejercicio1b\_mod.vhd**. Rellene con sus datos (**nombre y fecha**) la cabecera del fichero.

<b>Ejercicio 2</b>	Temporizador		
		3 puntos	25 minutos

En este ejercicio deberá analizar el modelo contenido en el fichero “*ejercicio2.vhd*”, disponible entre los entregables de este examen, y contestar a las preguntas que se indican a continuación.

1.- Considerando exclusivamente el código contenido en el *fragmento 1*, explique bajo qué circunstancias el circuito modelado por esas líneas es un *timer* que genera una señal periódica en la salida **tic**. Asimismo, cuando estas circunstancias se den, indique la expresión para el cálculo del periodo en esa salida **tic**.

**(0,75 puntos)**

*La señal “tic”, cuando se genera, tiene una periodicidad de 1000 ciclos de reloj. Para que se genere el valor almacenado en “reg\_cnt” debe ser menor o igual que el valor de “modulo\_cnt”, es decir, 1000.*

2.- Identifique y detalle las características del subsistema modelado por las líneas del *fragmento 2* del modelo. **(0,5 puntos)**

*Se trata de un registro paralelo de 10 bits con entrada de habilitación y de reset síncrono activas a nivel alto. El reset síncrono es independiente de habilitación.*

3.- Considerando el modelo completo explique el funcionamiento del circuito. Concretamente, detalle el comportamiento de la salida **tic** para cada una de las siguientes situaciones que se describen: **(1,75 puntos)**

- a) Durante un tiempo indeterminado desde la activación del reset asíncrono hasta la primera activación de **pulso\_in**.

*La señal “tic” permanece siempre a cero.*

- b) Después de una activación de **pulso\_in**, si la siguiente activación se produce habiendo transcurrido un tiempo mayor que  $\text{modulo\_cnt} \times T_{clk}$

*La señal “tic” se activa transcurridos 1000 ciclos de reloj a partir del momento en el que se activa “pulso\_in”, quedando inactiva hasta una nueva activación de “pulso\_in”.*

- c) Después de la primera activación de **pulso\_in**, si se producen activaciones sucesivas de **pulso\_in** sin que transcurran intervalos de tiempo mayores que  $\text{modulo\_cnt} \times T_{clk}$

*La señal “tic” permanece siempre a cero.*

Test	Tecnología		
		1 punto	10 minutos

Para realizar este ejercicio podrá consultar, si lo necesita, los documentos *device overview* y *device datasheet* de la familia MAX10. Puede descargar estos documentos en el enlace que se ha habilitado en Moodle para la resolución de este ejercicio (entregable\_parte1.zip). Responda a las siguientes cuestiones marcando con un aspa en el cajetín correspondiente a la respuesta correcta. Si se equivoca, táchelo y marque la respuesta correcta. Solo hay una respuesta correcta. Las respuestas correctas se calificarán con +0.25, las incorrectas con -0.1 puntos y las no contestadas con 0 puntos.

a.- Indique cuáles son los elementos principales de una FPGA.

- ☐ Flip-flops, LUTs y recursos para su interconexión
- ☒ Bloques lógicos, bloques de entrada/salida y recursos de interconexión
- ☐ Bloques lógicos, memorias y PLLs
- ☐ Entradas, salidas y bloques lógicos

b.- Una Look-up table (LUT) de 4 entradas y 1 salida es

- ☒ Una pequeña memoria RAM que permite la realización de todas las posibles funciones combinacionales de 4 variables. La función concreta depende de los datos con los que se configure la memoria.
- ☐ Una pequeña memoria ROM que permite la realización de todas las posibles funciones combinacionales de 4 variables. La función concreta depende de los datos con los que se configure la memoria.
- ☐ Un banco de 16 registros con una sola salida.
- ☐ Una pequeña memoria RAM que permite la implementación simultánea de hasta cuatro funciones combinacionales. Las funciones concretas dependerán de los datos con los que se configure la memoria.

c.- Escoja el dispositivo más pequeño de la familia MAX10 que disponga de más de 10000 flip-flops, al menos 2 PLLs y más de 1000 Kb de RAM.

- ☐ 10M16
- ☐ 10M50
- ☒ 10M40
- ☐ 10M08



d.- Si la tensión de alimentación del “core” de un chip de la familia MAX10 se conecta a -0.6 V:

- ☒ El chip podría sufrir daños irreversibles
- ☐ El chip sufrirá con seguridad daños irreversibles
- ☐ El chip está protegido contra entradas de hasta 3.9 V, no sufrirá daños
- ☐ No habrá problema, ya que se encuentra dentro del rango de condiciones normales de operación