

 <p style="text-align: center;">UNIVERSIDAD POLITÉCNICA DE MADRID</p> <p style="text-align: center;"><i>ETSI de Telecomunicación</i></p>				APELLIDOS:					
				NOMBRE:				DNI:	
				ASIGNATURA: DISEÑO DIGITAL I				Bloque: 2, ORDINARIO (escrito)	
				TITULACIÓN: <input type="checkbox"/> Electrónica de Comunic. <input type="checkbox"/> Sistemas de Telecom.					
Fecha			Curso	Calificaciones parciales					Nota Final
12	01	2024	TERCERO						

ADVERTENCIAS PARA LA REALIZACIÓN DE LA PRIMERA PARTE DEL EXAMEN

- Rellene **AHORA** los datos personales que deben figurar en esta hoja.
- Mientras dure el examen deberá exponer su D.N.I. encima de la mesa.
- **NO SE ADMITIRÁN** exámenes escritos a lapicero ni con tinta roja o verde.
- **COMPRUEBE** que su ejemplar del examen consta de **2** ejercicios y **1** test en **7** páginas numeradas.
- En este examen **NO PUEDEN UTILIZARSE CALCULADORAS, LIBROS, APUNTES NI DISPOSITIVOS DE TELECOMUNICACIÓN**. Retírelos ahora de la mesa.
- La duración de esta parte del examen es de **80 minutos**.
- Rellene la siguiente tabla que registra el puesto de laboratorio donde está realizando el examen

Aula:	Puesto:
--------------	----------------

- Cree **ahora** una carpeta *EXAMEN_BT2_IPARTE* y, dentro de ella, un proyecto *Modelsim* que debe utilizar para resolver todos los ejercicios.

Esta hoja se ha dejado en blanco intencionadamente

Ejercicio 1	Análisis de modelos. Análisis y Diseño		
		3 puntos	40 minutos

Descargue los ficheros correspondientes al entregable Moodle de esta primera parte del examen, cree un proyecto *Modelsim* en la carpeta *EXAMEN_BT2_IPARTE* e incluya en el mismo los dos modelos VHDL. En este ejercicio se utilizará el modelo **ejercicio1.vhd**, que corresponde a un banco de registros en el que se leen los datos en el mismo orden en que se escriben. Ábralo y conteste a las siguientes preguntas.

1.- Indique el contenido de los registros, el valor del dato en **Dout** y el valor de la salida **cnt_dato** tras completarse la secuencia de operaciones que se indican, suponiendo que todas ellas vienen precedidas por un reset asíncrono del circuito:

- a) Tres escrituras consecutivas; los datos escritos (desde el primero al último) son: x34, xC1, xD3. **(0.25 puntos)**

reg0: xD3

reg1: xC1

reg2: x34

reg3: x00

cnt_dato: 3

Dout: x34

- b) Cuatro escrituras consecutivas, seguidas de dos lecturas y una escritura; los datos escritos (desde el primero al último) son : x70, x9A, xB5, x91, xF3 **(0.25 puntos)**

reg0: xF3

reg1: x91

reg2: xB5

reg3: x9A

cnt_dato: 3

Dout: xB5

2.- Describa cómo funciona el circuito cuando, en un determinado flanco de reloj, están simultáneamente activas las entradas **rd** y **we**. Indique y justifique si dicho funcionamiento es compatible con el deseado. **(0.5 puntos)**

En este caso se realiza la escritura, pero cnt_dato no cambia de valor. Este comportamiento es consistente con la realización de una escritura y una lectura simultáneas, dado que la escritura supone un incremento del contador y la lectura un decremento.

3.- Indique el contenido de los registros, el valor del dato en **Dout** y el valor de la salida **cnt_dato** tras completarse la secuencia de operaciones que se indican, suponiendo que todas ellas vienen precedidas por un reset asíncrono del circuito:

a) Dos lecturas consecutivas **(0. 25 puntos)**

reg0: x00

reg1: x00

reg2: x00

reg3: x00

cnt_dato: 6

Dout: xXX

b) Cinco escrituras consecutivas, seguidas de dos lecturas; los datos escritos (desde el primero al último) son: x70, x9A, xB5, x91, xF3. **(0. 25 puntos)**

reg0: xF3

reg1: x91

reg2: xB5

reg3: x9A

cnt_dato: 3

Dout: xB5

- c) Tres escrituras consecutivas, seguidas de cuatro lecturas; los datos escritos (desde el primero al último) son: x7A, x51, x03. **(0.25 puntos)**

reg0: x03

reg1: x51

reg2: x7A

reg3: x00

cnt_dato: 7

Dout: xXX

- 4.- El circuito presenta un comportamiento anómalo en algunos casos. Descríbalos e indique la causa de dichas anomalías. **(0,5 puntos)**

Las anomalías ocurren cuando se realizan lecturas con $cnt_dato = 0$ o escrituras con $cnt_dato = 4$. En ambos casos cnt_dato pasa a tener valores que no se corresponden con ninguno de los registros del banco.

- 5.- Realice los cambios que considere oportunos en el código para resolver las anomalías detectadas en el apartado anterior **(0,75 puntos)**

ATENCIÓN: Una vez terminado el ejercicio, rellene con sus datos (**nombre y fecha**) la cabecera del fichero. Suba a **Moodle** la versión final del modelo corregido con el nombre **ejercicio1_mod.vhd**.

Ejercicio 2	Análisis de modelos. Diseño		
		2 puntos	30 minutos

En este ejercicio se utilizará el modelo **ejercicio2.vhd**, que corresponde a un circuito capaz de generar la serie de Fibonacci. En esta serie, los dos primeros términos son 0 y 1 y, a partir del tercero, cada nuevo término se genera sumando los dos anteriores:

0, 1, 1, 2, 3, 5, 8, 13, 21.....

Ábralo. Observe que el código es incompleto, puesto que no está indicada la asignación de valor a la salida del circuito. Analice el código del modelo para contestar a las cuestiones que se le plantean a continuación.

1.- Indique el valor que tienen que tener las entradas **ini** y **ena** en los siguientes casos:

- a) Para dar comienzo a la generación de la serie de Fibonacci (generar el primer término de la serie, el 0). Indique el valor de **reg_fib** y **acum_fib** en el ciclo de reloj en que comienza la generación de la serie. (0,5 puntos)

ini: '1'

ena: '1'

reg_fib: x00

acum_fib: x01

- b) Durante la generación de la serie (excluyendo el primer ciclo de reloj, que debe haber descrito en el apartado a). Indique en la tabla adjunta el valor de **reg_fib** y **acum_fib**, durante la generación de una serie, desde el segundo al décimo ciclo de reloj. (0,5 puntos)

ini: '0'

ena: '1'

	2º	3º	4º	5º	6º	7º	8º	9º	10º
reg_fib	1	1	2	3	5	8	13	21	34
acum_fib	1	2	3	5	8	13	21	34	55

2.- Complete la línea de código que asigna valor a la salida del circuito. (1 punto)

ATENCIÓN: Una vez terminado el ejercicio, rellene con sus datos (**nombre** y **fecha**) la cabecera del fichero. Suba a **Moodle** la versión final del modelo corregido con el nombre **ejercicio2_mod.vhd**.

Test	Tecnología		
		1 punto	10 minutos

Para realizar este ejercicio podrá consultar, si lo necesita, los documentos *device overview* y *device datasheet* de la familia MAX10 disponibles en el entregable que ya ha descargado correspondiente a esta primera parte. Responda a las siguientes cuestiones marcando con un aspa en el cajetín correspondiente a la respuesta correcta. Si se equivoca, táchelo y marque la respuesta correcta. Solo hay una respuesta correcta. Las respuestas correctas se calificarán con +0.25, las incorrectas con -0.1 puntos y las no contestadas con 0 puntos.

a.- Indique cuáles son los elementos principales de una FPGA.

☒ Bloques lógicos, bloques de entrada/salida y recursos de interconexión

☐ Bloques lógicos, memorias y PLLs

☐ Entradas, salidas y bloques lógicos

☐ Flip-flops, LUTs y recursos para su interconexión

b.- Una Look-up table (LUT) de 4 entradas y 1 salida es

☐ Una pequeña memoria RAM que permite la implementación simultánea de hasta cuatro funciones combinacionales. Las funciones concretas dependerán de los datos con los que se configure la memoria.

☒ Una pequeña memoria RAM que permite la realización de todas las posibles funciones combinacionales de 4 variables. La función concreta depende de los datos con los que se configure la memoria.

☐ Una pequeña memoria ROM que permite la realización de todas las posibles funciones combinacionales de 4 variables. La función concreta depende de los datos con los que se configure la memoria.

☐ Un banco de 16 registros con una sola salida.

c.- Escoja el dispositivo más pequeño de la familia MAX10 que disponga de más de 10000 flip-flops, al menos 2 PLLs y más de 1000 Kb de RAM.

☐ 10M50

☒ 10M40

☐ 10M16

☐ 10M08

d.- Si la alimentación del *core* de un chip de la familia MAX10 se conecta a -0.6 V:

☐ El chip está protegido contra entradas de hasta 3.9 V, no sufrirá daños

☐ No habrá problema, ya que está en el rango de condiciones normales de operación

☒ El chip podría sufrir daños irreversibles

☐ El chip sufrirá con seguridad daños irreversibles