

 <p><b>UNIVERSIDAD POLITÉCNICA DE MADRID</b></p> <p><i>ETSIS de Telecomunicación</i></p>				<b>APELLIDOS:</b>				
				<b>NOMBRE:</b>			<b>DNI:</b>	
				<b>ASIGNATURA:</b> DISEÑO DIGITAL I			<b>Bloque:</b> 2, ORDINARIO (práctico)	
				<b>TITULACIÓN:</b> <input type="checkbox"/> Electrónica de Comunic. <input type="checkbox"/> Sistemas de Telecom. <input type="checkbox"/> Sonido e Imagen <input type="checkbox"/> Telemática				
<b>Fecha</b>			<b>Curso</b>	<b>Grupo</b>				<b>Nota Final</b>
12	01	2024	TERCERO					

## ADVERTENCIAS PARA LA REALIZACIÓN DE LA SEGUNDA PARTE DEL EXAMEN

- Rellene **AHORA** los datos personales que deben figurar en esta hoja.
- Mientras dure el examen deberá exponer su D.N.I. encima de la mesa.
- **NO SE ADMITIRÁN** exámenes escritos a lapicero ni con tinta roja o verde.
- **COMPRUEBE** que su ejemplar del examen consta de **1** ejercicio en **5** páginas numeradas.
- En este examen **NO PUEDEN UTILIZARSE CALCULADORAS, LIBROS, APUNTES NI DISPOSITIVOS DE TELECOMUNICACIÓN**. Retírelos ahora de la mesa.
- La duración de esta parte del examen es de **140 minutos**.
- Rellene la siguiente tabla que registra el puesto de laboratorio donde está realizando el examen

<b>Aula:</b>	<b>Puesto:</b>
--------------	----------------

- Cree **ahora** una carpeta *EXAMEN\_BT2\_2PARTE* y, dentro de ella, un proyecto *Modelsim* que debe utilizar para resolver todos los ejercicios.

Esta hoja se ha dejado en blanco intencionadamente

<b>Ejercicio 3</b>	Diseño, modelado y verificación de subsistemas digitales		
		4 puntos	140 minutos

Se desea realizar el modelo VHDL sintetizable de un circuito capaz de generar señales cuadradas de periodo y ciclo de trabajo programables. La programación del periodo y ciclo de trabajo se realiza escribiendo sobre tres registros:

**ciclo\_L**: registro de 8 bits cuyo valor (entre 1 y 255) determina la duración, en ciclos de reloj, del nivel bajo de la señal.

**ciclo\_H**: registro de 8 bits cuyo valor (entre 1 y 255) determina la duración, en ciclos de reloj, del nivel alto de la señal.

**factor\_div**: registro de 4 bits cuyo valor (entre 1 y 15) permite escalar el periodo (**ciclo\_L** + **ciclo\_H**) de la señal generada: el verdadero periodo, en ciclos de reloj, de la señal generada es **factor\_div** x (**ciclo\_L** + **ciclo\_H**).

Los tres registros deben guardar un valor distinto de 0 para que el sistema funcione correctamente. La programación de los registros se realiza con una interfaz formada por las siguientes señales:

**d\_in**: dato que se escribe en el registro. Cuando se escribe en **factor\_div** el dato deberá estar en la parte baja de **d\_in**.

**dir**: dirección del registro sobre el que se escribe (la dirección 0 corresponde a **ciclo\_L**, la 1 a **ciclo\_H** y la 2 a **factor\_div**).

**we**: habilitación de escritura

La señal de salida, **s\_gen**, comienza a generarse cuando se activa la entrada **start**, y deja de hacerlo, manteniéndose la salida a 0, cuando se activa la entrada **stop**. La activación de **start** tras la ocurrencia del reset asíncrono debe producir una salida con un periodo de 200 ciclos de reloj y un ciclo de trabajo del 50%, si no se modifican los valores de los registros internos.

El reloj del circuito es de 10 MHz.

Descargue de **Moodle**, si no lo ha hecho ya, los entregables de esta segunda parte del examen. Copie los ficheros **gen\_segna1.vhd** y **test\_gen\_segna1.vhd** en la carpeta **EXAMEN\_BT2\_2PARTE**, cree un proyecto *ModelSim* si no lo ha hecho todavía y añada a ese proyecto los dos ficheros.

1. El fichero **gen\_segna1.vhd** contiene un modelo SINTÁCTICA y FUNCIONALMENTE ERRÓNEO de un sistema digital que pretende funcionar como el circuito anteriormente descrito. El código que contiene el fichero arroja errores de compilación. Detéctelos y corrijalos. **(0.2 puntos)**

**Nota:** No podrá continuar con la realización del examen hasta que no haya corregido todos los errores y obtenido una compilación exitosa del modelo

**ATENCIÓN:** Una vez terminado el ejercicio, **SUBA** a **Moodle** la versión del fichero con los errores sintácticos corregidos, rellenando con sus datos (**nombre y fecha**) la cabecera del fichero.

2. Al margen de los errores sintácticos que ha corregido en el anterior apartado, el modelo presenta un funcionamiento incorrecto que no se corresponde con el descrito anteriormente.

El fichero **test\_gen\_segna1.vhd** contiene un código básico que le facilitará la codificación de un test-bench para el modelo VHDL del generador de señales. Diseñe un test, codifíquelo dentro de **test\_gen\_segna1.vhd** y empléelo para detectar y corregir, sobre el código del fichero **gen\_segna1.vhd**, los **3** errores funcionales del modelo que se le ha proporcionado.

Para ello,

- a) realice en primer lugar la planificación del test, describiendo las diferentes pruebas que propone, de forma que a partir de esa descripción sea posible realizar más tarde su codificación. Es imprescindible que escriba esta planificación en forma de comentarios en la cabecera del fichero **test\_gen\_segna1.vhd** (**0,3 puntos**).
- b) codifique en **test\_gen\_segna1.vhd** el test que ha planificado. Asegúrese de que hay una correspondencia entre el test planificado y el codificado (**0,4 puntos**)
- c) utilizando el test que ha codificado, realice la depuración de **gen\_segna1.vhd**.

Indique a continuación cuáles son los errores que ha detectado y la solución que ha adoptado para corregirlos. Tenga en cuenta que cada error puede (o no) requerir la corrección en más de una línea de código (**1.5 puntos**)

**1.-**

*La señal de salida no deja de generarse después de la activación de la entrada stop. Para solucionarlo es necesario cambiar la línea 116 por: "if start = '1' then"*

**2.-**

*La señal de salida no se genera cuando la suma de ciclo\_H y ciclo\_L es mayor que 255. Para solucionarlo es necesario realizar la suma de estas señales con 9 bits: modulo <= ('0'&ciclo\_L)+('0'&ciclo\_H). La señal modulo debe declararse con 9 bits.*

**3.-**

*La señal de salida no se genera con factores de división por encima de 7. Para solucionarlo es necesario declarar cnt\_div con un bit más.*

**ATENCIÓN:** Una vez terminado el ejercicio, **SUBA** a **Moodle** la versión final de los ficheros **test\_gen\_segna1.vhd** y **gen\_segna1.vhd**, con los nombres: **test\_gen\_segna1\_completo.vhd** y **gen\_segna1\_corregido.vhd**. Rellene con sus datos (**nombre** y **fecha**) la cabecera de ambos ficheros.

3. Salve el modelo **gen\_segna1.vhd** como **gen\_segna1\_escala.vhd** e incluya este nuevo modelo en el proyecto. Sobre el nuevo modelo realice las modificaciones necesarias para que el registro **factor\_div** disponga de 2 bits adicionales, **factor\_div(5 downto 4)**, con los que se programe un factor de escalado adicional que divida por (1, 10, 100 o 1000) la frecuencia de la señal generada (**0,8 puntos**):
  - **factor\_div(5 downto 4) = "11"**, escala = 1000 x **factor\_div(3 downto 0)**
  - **factor\_div(5 downto 4) = "10"**, escala = 100 x **factor\_div(3 downto 0)**
  - **factor\_div(5 downto 4) = "01"**, escala = 10 x **factor\_div(3 downto 0)**
  - **factor\_div(5 downto 4) = "00"**, escala = 1 x **factor\_div(3 downto 0)**

**ATENCIÓN:** Una vez terminado el ejercicio, **SUBA** a **Moodle** la versión final del fichero **gen\_segna1\_escala.vhd**, rellenando con sus datos (**nombre** y **fecha**) la cabecera del fichero. No suba la simulación de este modelo, aunque la haya realizado.

4. Salve el modelo **gen\_segna1.vhd** como **gen\_segna1\_mono.vhd** e incluya este nuevo modelo en el proyecto. Sobre el nuevo modelo realice las modificaciones necesarias para que disponga de un modo de funcionamiento en que se comporte como un monoestable no redisparable que genere un pulso de duración **ciclo\_L + ciclo\_H**, escalado por el valor de los cuatro bits de menor peso del registro **factor\_div**, cada vez que se active una nueva entrada del circuito: **start\_mono**. Si las entradas **start** y **start\_mono** se activan simultáneamente, **start** tendrá prioridad. (**0,8 puntos**)

**ATENCIÓN:** Una vez terminado el ejercicio, **SUBA** a **Moodle** la versión final del fichero **gen\_segna1\_mono.vhd**, rellenando con sus datos (**nombre** y **fecha**) la cabecera del fichero. No suba la simulación de este modelo, aunque la haya realizado.