



Modelsim을 이용한 Verilog 실습

SoC Design Automation Lab.



ModelSim Download

❖ ModelSim-Altera Edition download: 아래 주소에서 다운로드

- http://dl.altera.com/?edition=subscription&product=modelsim_ae#tabs-2

The screenshot shows the 'Quartus II Subscription Edition' download page. Red boxes and numbers highlight the following steps:

- 1) **Operating System**: A dropdown menu showing 'Windows' and 'Linux' options.
- 2) **Download Method**: Radio buttons for 'Akamai DLM3 Download Manager' (selected) and 'Direct Download'.
- 3) **Quick Start Guide**: A link under the 'Download and install instructions' section.
- 4) **File Selection**: A list of files to download, with 'Quartus II Subscription Edition' and 'ModelSim-Altera Edition (includes Starter Edition)' selected.

1) OS 선택

2) 다운로드 방식 선택

3) 프로그램 설치에 대한 자세한 설명

4) 그림과 같이 프로그램 선택

5) 화면 아래 부분에서 다음의 버튼 클릭하여 설치 파일 다운로드

Download Selected Files



ModelSim Installation

- ❖ 실행 파일: ModelSimSetup-13.1.0.162.exe
- ❖ **ModelSim-Altera Starter Edition** 선택하여 설치



ModelSim을 이용한 Simulation

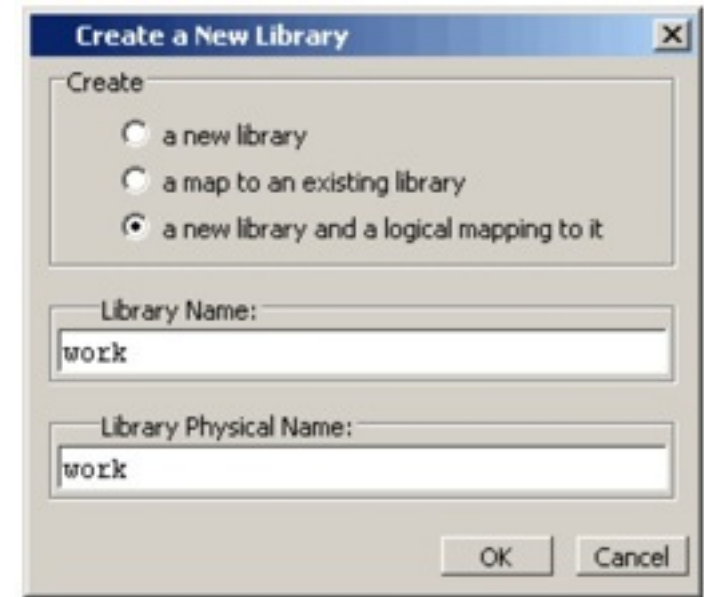
- ❖ 여기서는 2가지 방법을 소개
 - 프로젝트를 만들지 않고 시뮬레이션하는 방법
 - 프로젝트를 이용하여 시뮬레이션하는 방법
- ❖ 여기에 설명된 절차를 따라하기 위하여, <http://soclab.jbnu.ac.kr>에서 counter.zip 파일을 다운로드 받아 사용한다. (이 파일 안에는 counter.v와 tcounter.v가 들어 있다.)



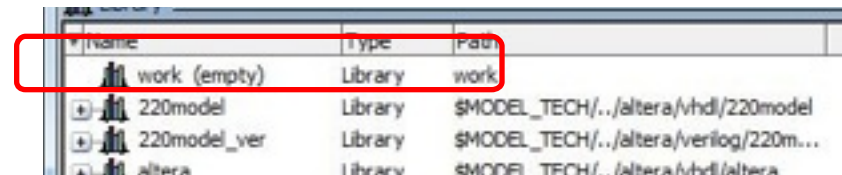
ModelSim을 이용한 Simulation

❖ 프로젝트를 만들지 않고 시뮬레이션하는 방법-1

- Shifter_tutorial이라는 이름의 디렉토리(폴더)를 만들고, 그 안에 Verilog code(**counter.v**와 **tcounter.v**)를 넣는다.
- File->Change Directory 명령을 사용하여, **Shifter_tutorial**를 선택하여 작업 디렉토리로 변경한다.
- File->New->Library... 명령을 사용하여 새로운 라이브러리를 만든다.
 - 아래 화면에서 OK를 클릭한다. (work가 입력되지 않았으면 입력한다.)
 - 해당 디렉토리 안에 **work** 디렉토리와 **modelsim.ini**라는 파일이 생성됨.



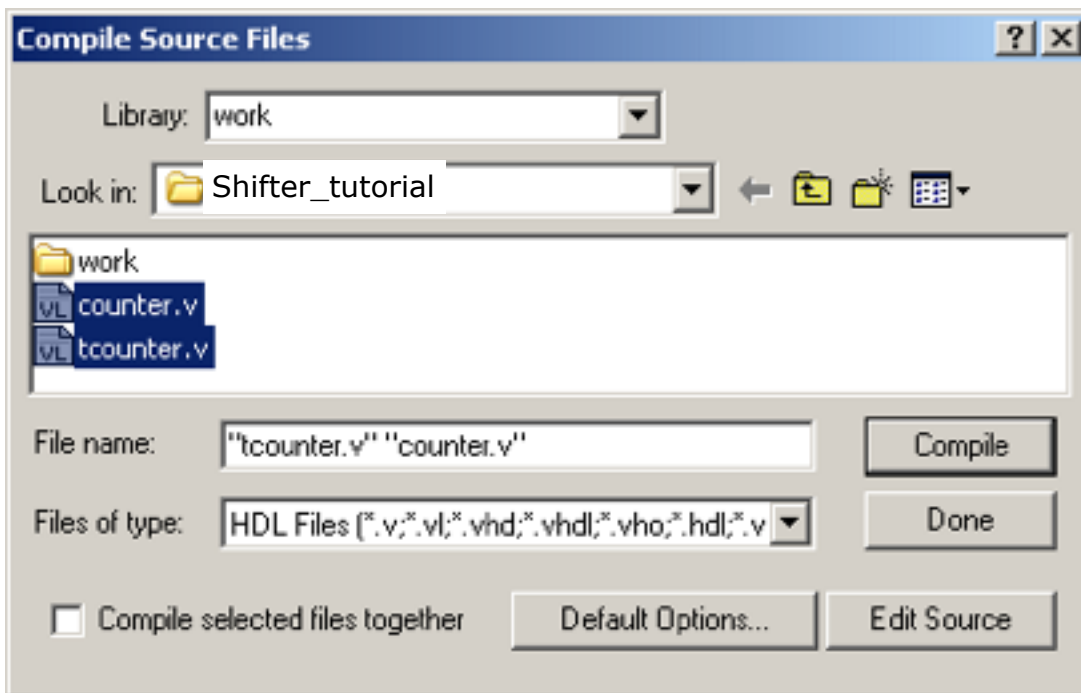
아래와 같이 work(empty)가 생성





ModelSim을 이용한 Simulation

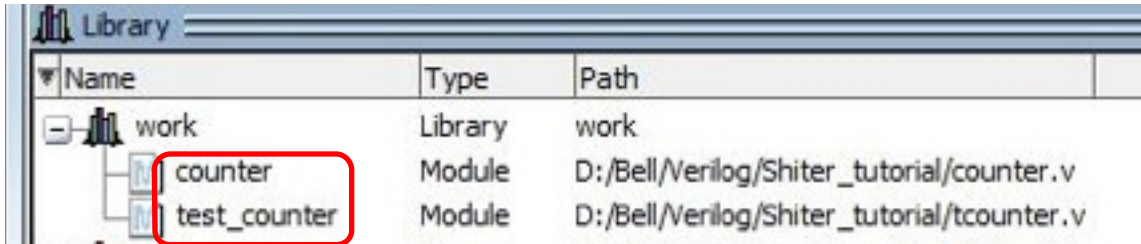
- ❖ 프로젝트를 만들지 않고 시뮬레이션하는 방법
 - Compile->Compile 명령을 수행하여 Verilog file (counter.v, tcounter.v)를 컴파일한다.





ModelSim을 이용한 Simulation

- ❖ 프로젝트를 만들지 않고 시뮬레이션하는 방법
 - 컴파일이 성공하면 다음과 같이 라이브러리의 내용이 변함



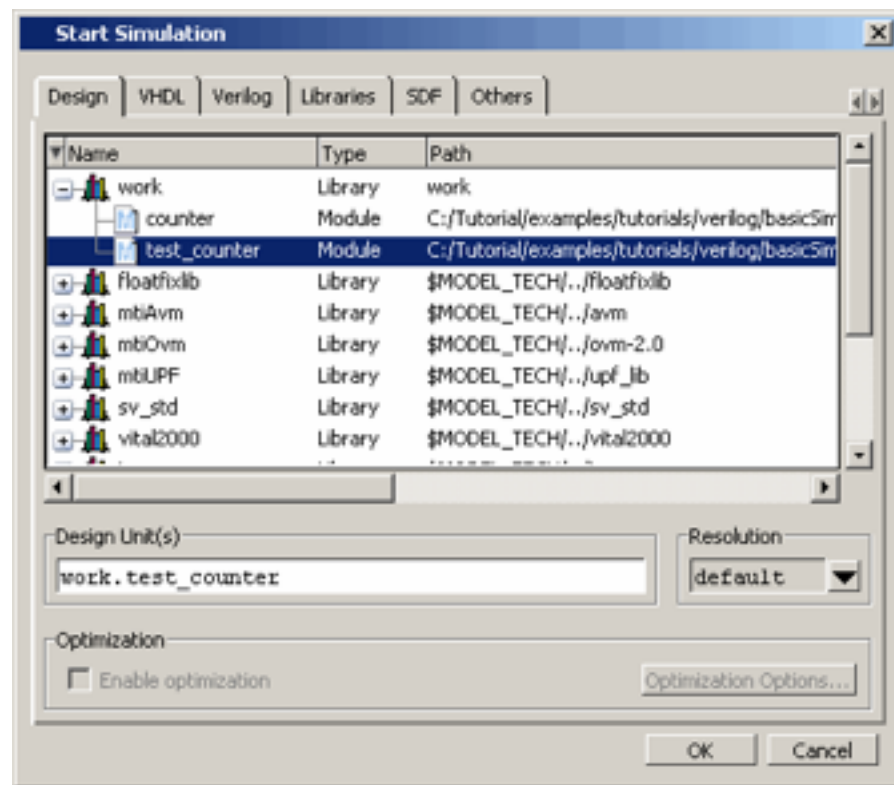
Name	Type	Path
work	Library	work
counter	Module	D:/Bell/Verilog/Shiter_tutorial/counter.v
test_counter	Module	D:/Bell/Verilog/Shiter_tutorial/tcounter.v

각 Verilog file에 선언된 module의 이름임



ModelSim을 이용한 Simulation

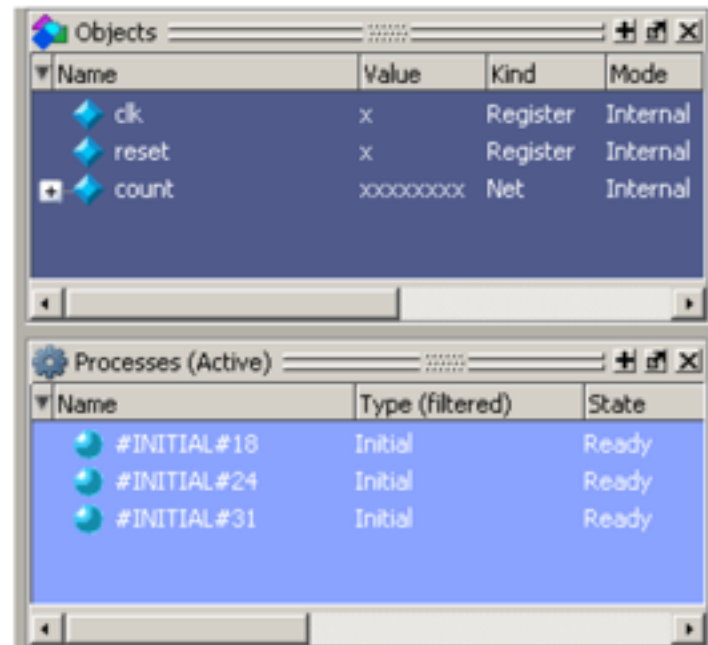
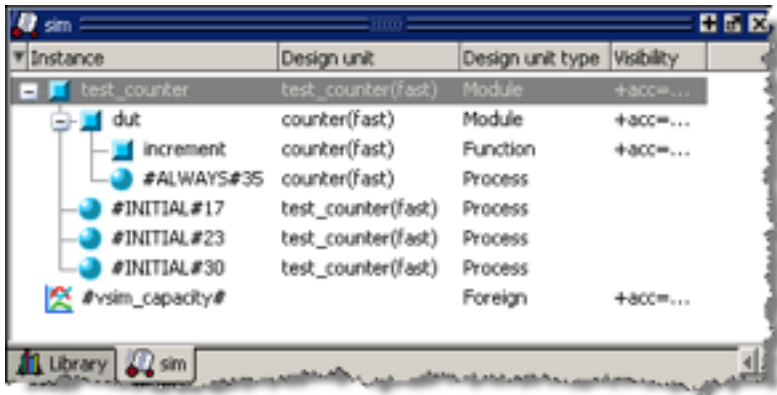
- ❖ 프로젝트를 만들지 않고 시뮬레이션하는 방법
 - 만들어진 모듈을 load하여, 시뮬레이션 진행
 - Simulate->Start Simulation... 명령을 수행하면 아래와 같은 창이 팝업됨
 - test_counter를 선택한 후, OK를 클릭





ModelSim을 이용한 Simulation

- ❖ 프로젝트를 만들지 않고 시뮬레이션하는 방법
 - 모듈이 load되면, Verilog 코드 내의 모듈(sim window)과 신호들(Objects window)이 표시됨.

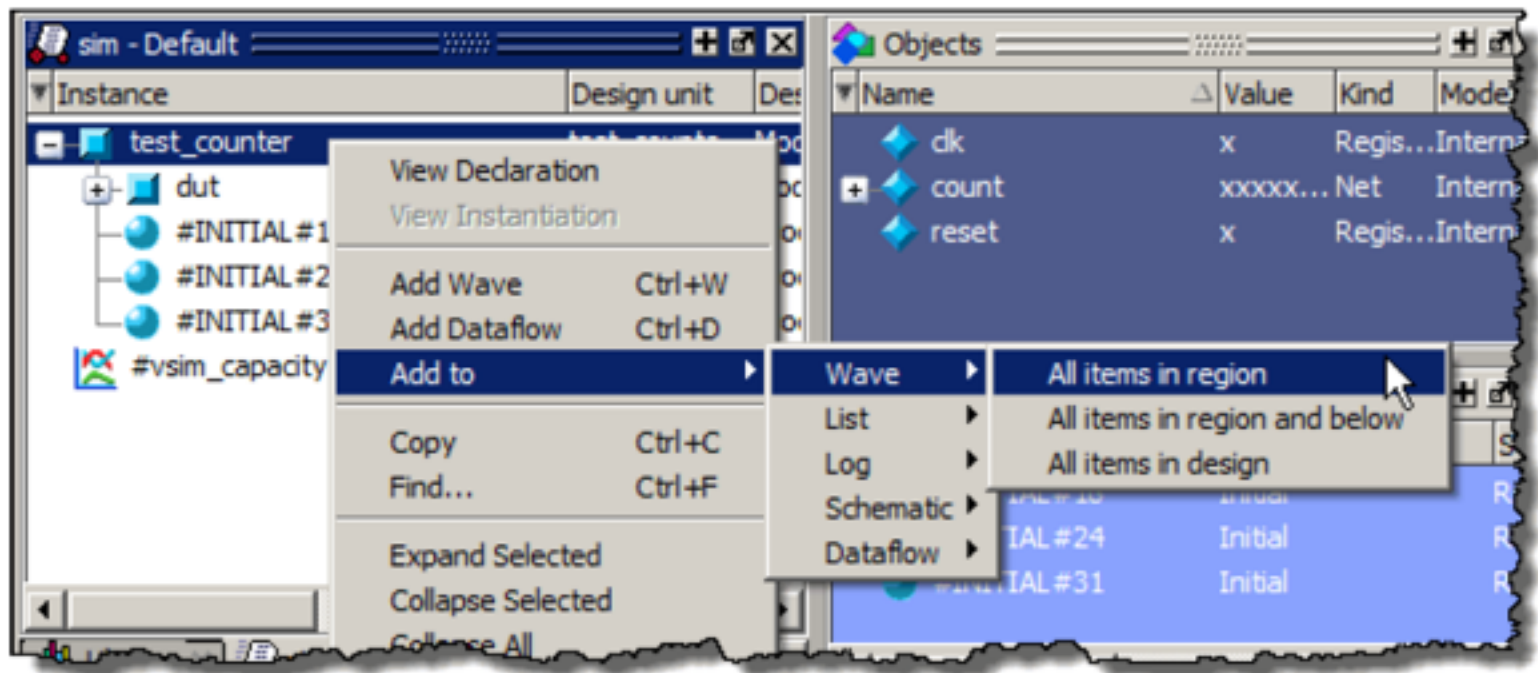




ModelSim을 이용한 Simulation

❖ 프로젝트를 만들지 않고 시뮬레이션하는 방법

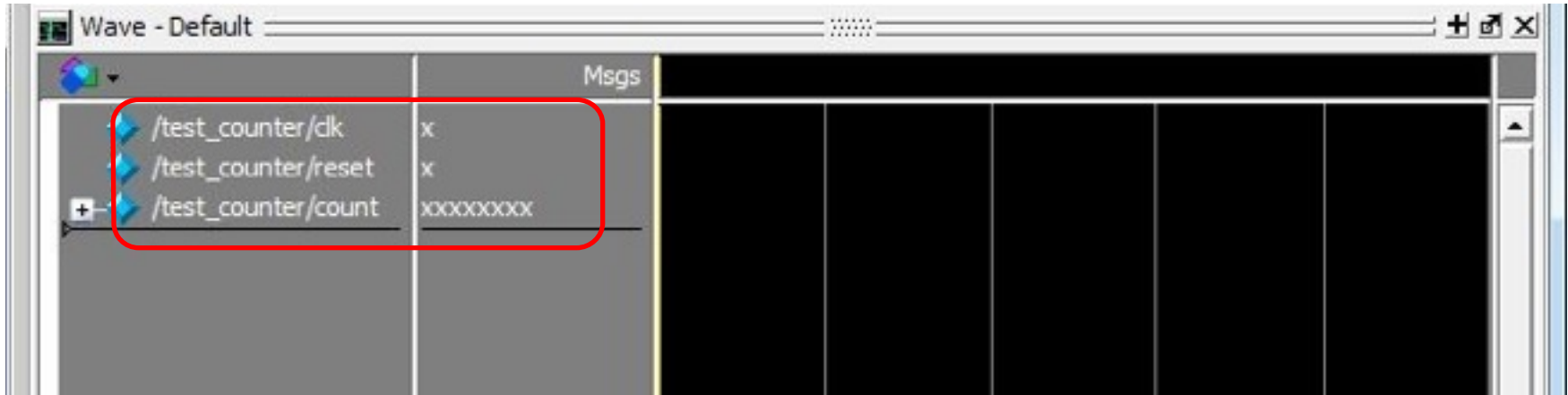
- 파형을 보기 위하여, View->Wave 명령 실행
- Waveform window가 생성됨
- Objects window에서 원하는 신호를 선택한 후, 마우스의 오른쪽 버튼을 클릭하여 AddTo->Wave->All items in region (아래 그림) 명령을 수행





ModelSim을 이용한 Simulation

- ❖ 프로젝트를 만들지 않고 시뮬레이션하는 방법
 - 아래 그림과 같이, 선택된 신호가 Waveform window에 등록됨





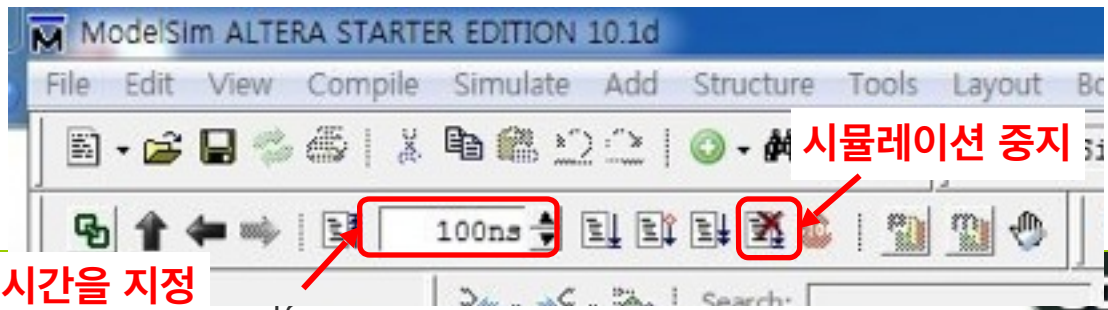
ModelSim을 이용한 Simulation

❖ 프로젝트를 만들지 않고 시뮬레이션하는 방법

- 아래 아이콘을 클릭하여 시뮬레이션 시작



- 시뮬레이션이 성공하면 아래 그림과 같이 Waveform window에 파형이 표시됨



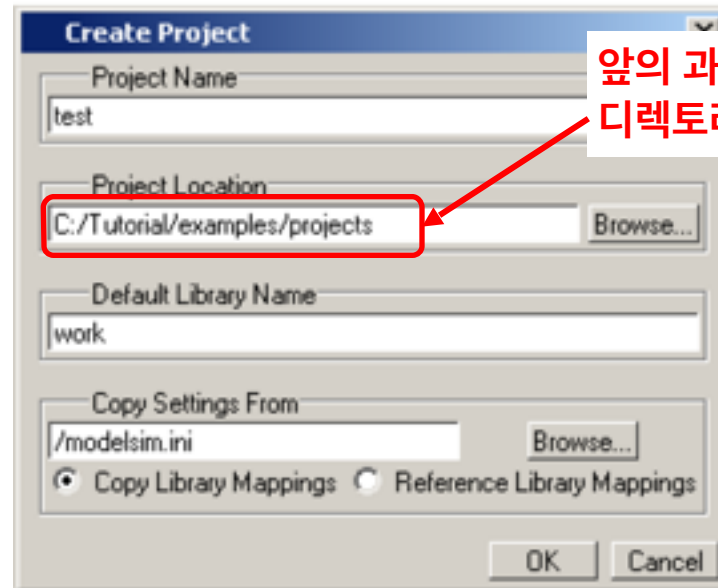
시뮬레이션이 끝나는 시간을 지정



ModelSim을 이용한 Simulation

❖ 프로젝트를 이용하여 시뮬레이션하는 방법

- Shifter_Project라는 폴더를 만들고, 앞에서 사용한 Verilog 파일들을 복사한다.
- File->Change Directory 명령을 사용하여, **Shifter_Project**를 선택하여 작업 디렉토리로 변경한다.
- File->New->Project 명령을 실행하면, 다음과 같은 window가 나타난다.
- Project Name에 test를 입력하고, OK를 클릭한다.



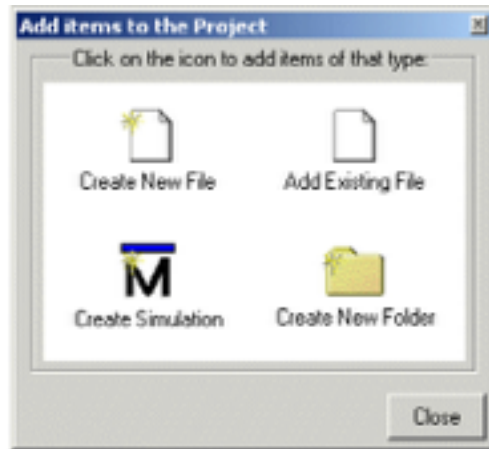
앞의 과정에서 만든 Shifter_Project
디렉토리의 위치가 표시됨



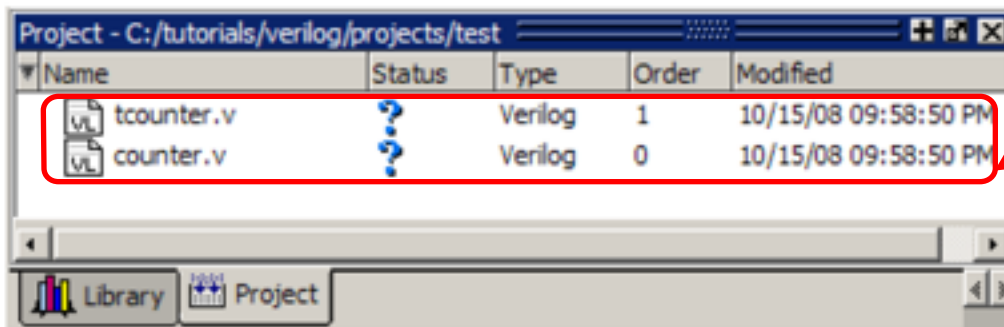
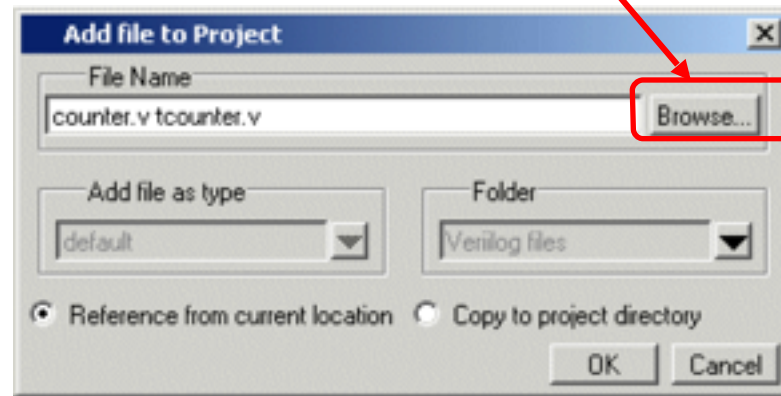
ModelSim을 이용한 Simulation

❖ 프로젝트를 이용하여 시뮬레이션하는 방법

- 다음과 같은 window에서 Verilog 파일을 프로젝트에 등록한다.
- Add Existing File을 클릭하여, 복사된 파일 2개를 선택하여 등록한다.



Browse... 를 클릭하여, 파일 2개를 선택한다.

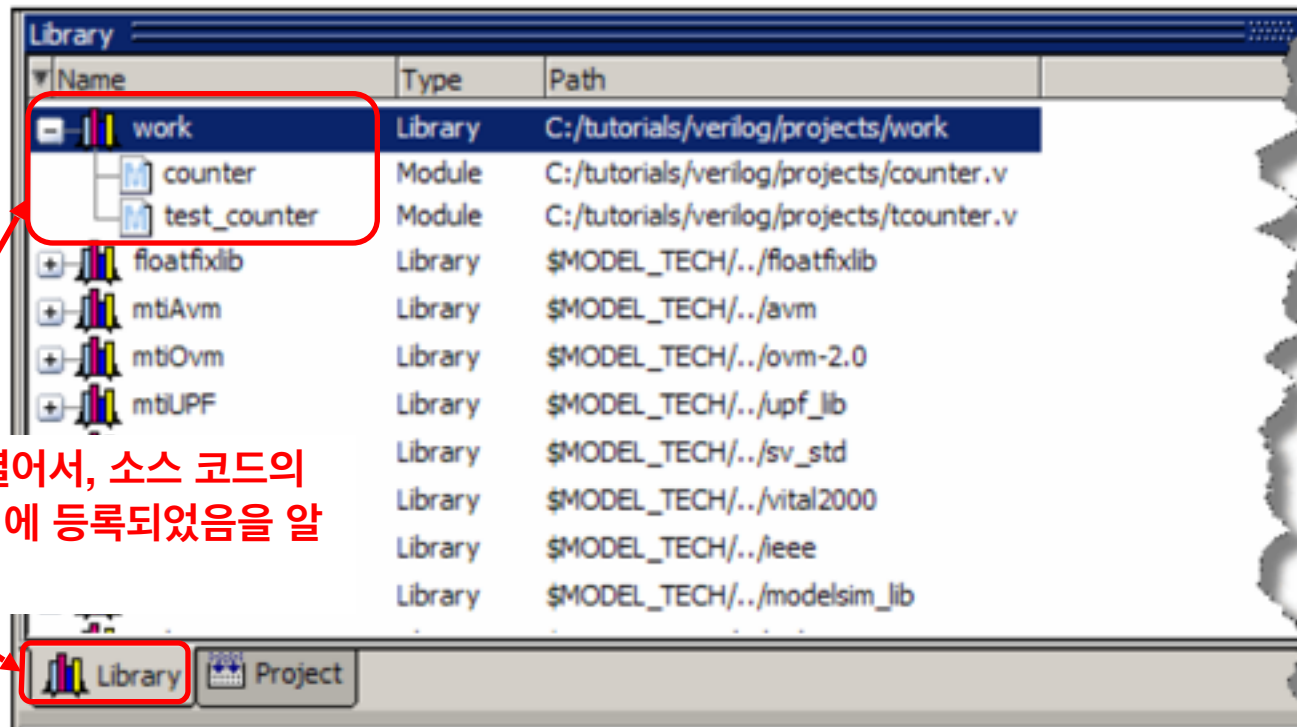


2개의 파일이 등록되었음을 알 수 있다.



ModelSim을 이용한 Simulation

- ❖ 프로젝트를 이용하여 시뮬레이션하는 방법
 - Compile->Compile All... 명령을 이용하여, Verilog code를 컴파일 한다.

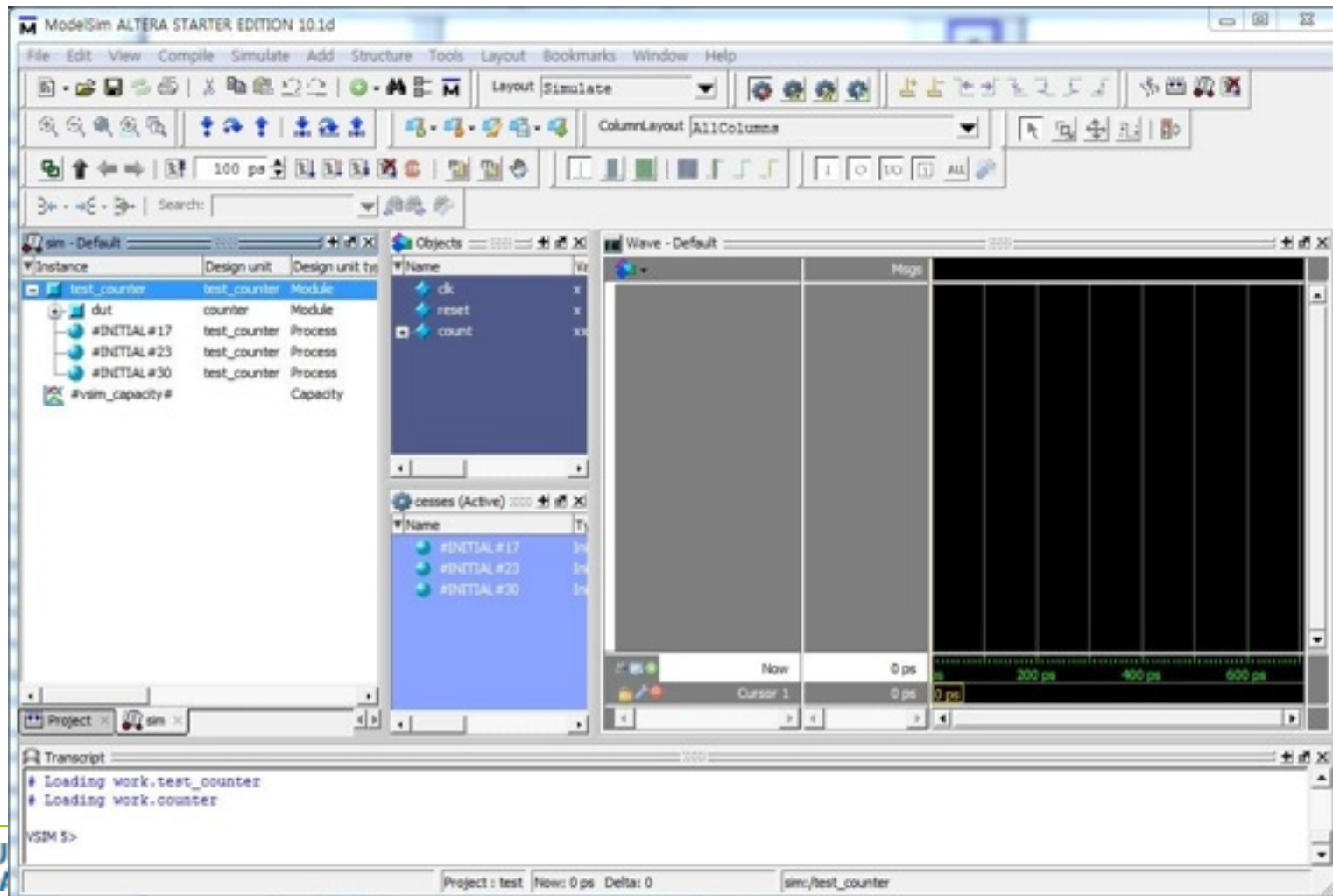


Library Tab을 열어서, 소스 코드의 모듈이 라이브러리에 등록되었음을 알 수 있다.



ModelSim을 이용한 Simulation

- ❖ 프로젝트를 이용하여 시뮬레이션하는 방법
 - test_counter를 더블클릭하여, 모듈을 시뮬레이터에 load한다.

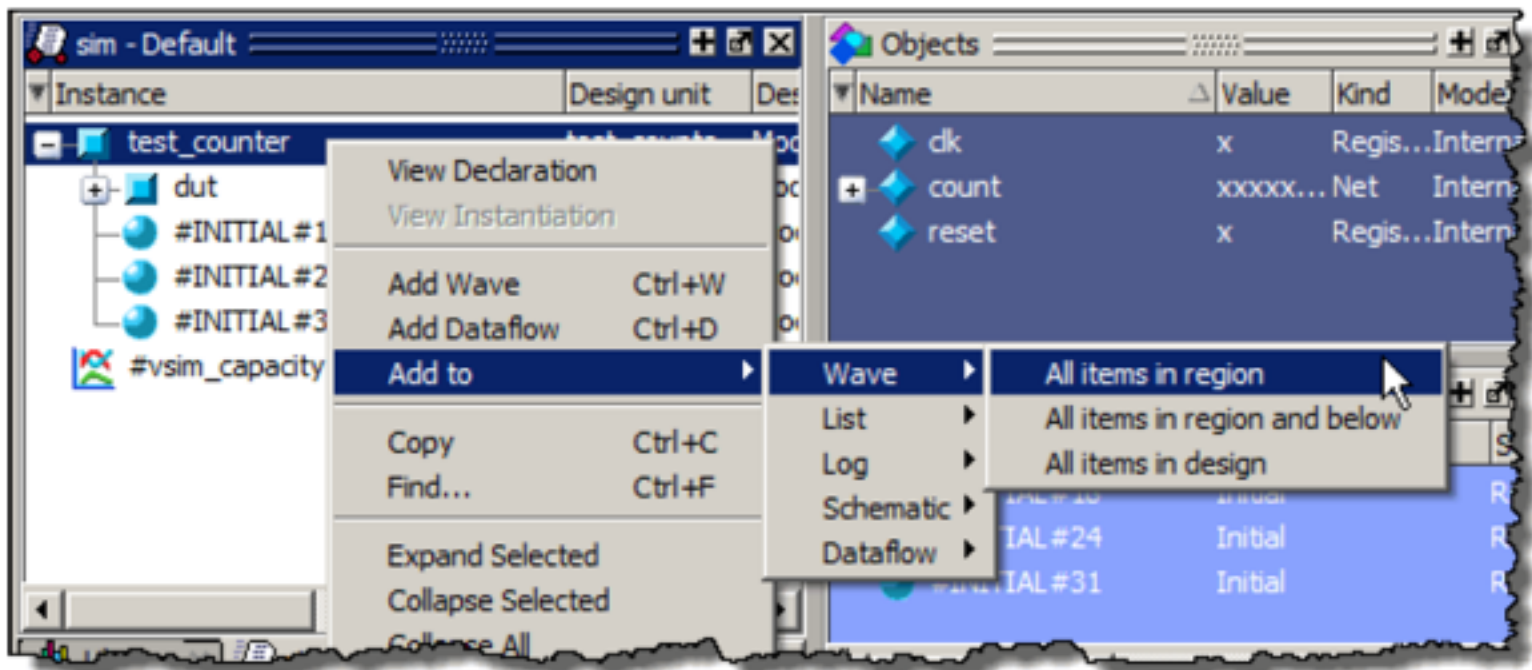




ModelSim을 이용한 Simulation

❖ 프로젝트를 이용하여 시뮬레이션하는 방법

- Objects window에서 원하는 신호를 선택한 후, 마우스의 오른쪽 버튼을 클릭하여 AddTo->Wave->All items in region (아래 그림) 명령을 수행





ModelSim을 이용한 Simulation

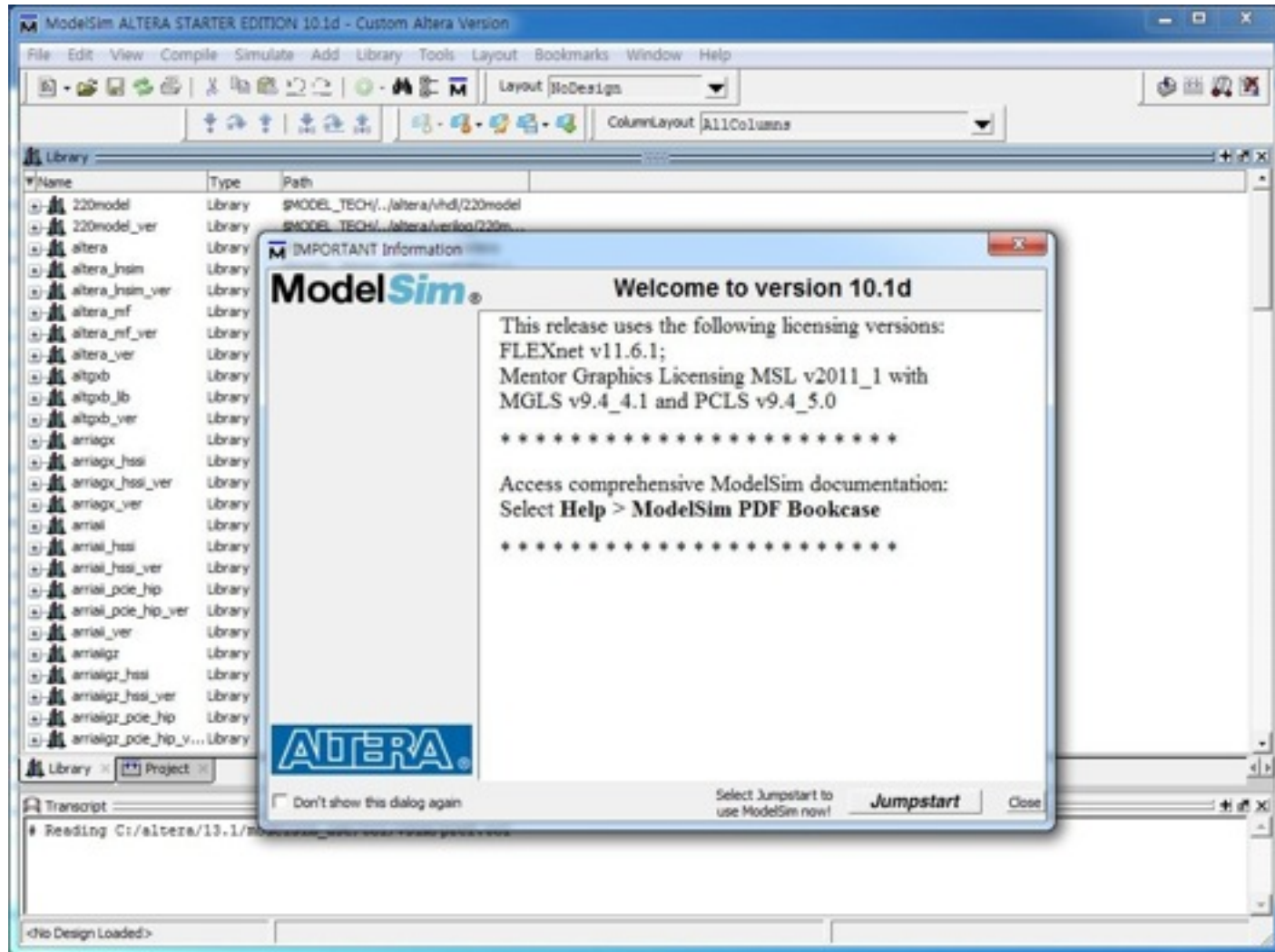
- ❖ 프로젝트를 이용하여 시뮬레이션하는 방법
 - 프로젝트를 이용하지 않고 시뮬레이션하는 방법과 동일하게 시뮬레이션을 진행할 수 있다.



Adder Subtractor Example



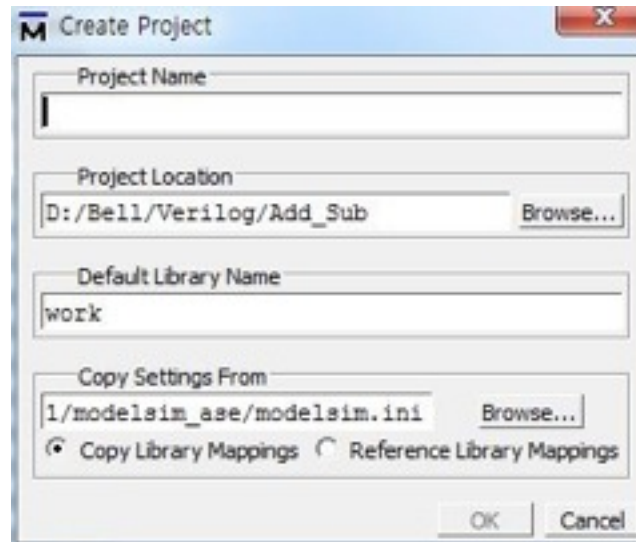
Modelsim 시작하기





Project 만들기

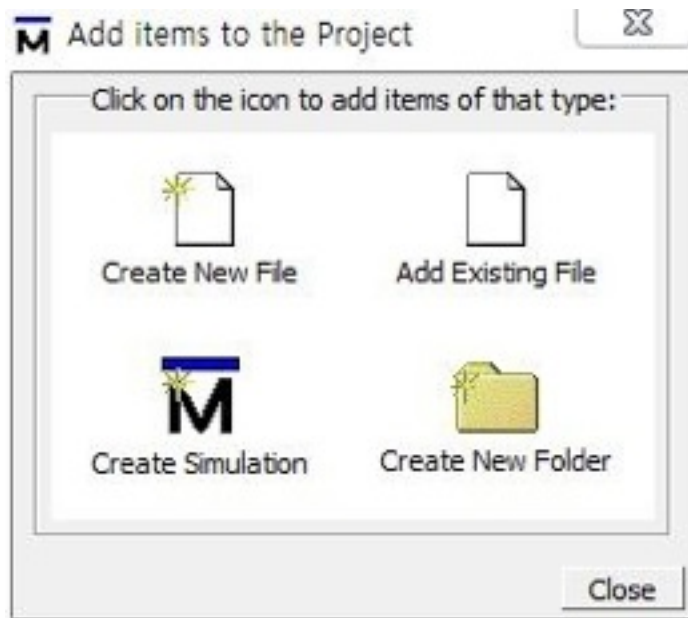
- ❖ Add_Sub라는 폴더를 만든다.
 - add_sub.zip 파일을 풀어서 나온 FA.v와 add_sub_4.v를 Add_Sub 폴더에 복사한다.
- ❖ File->Change Directory... 명령을 이용하여 위 폴더를 작업 디렉토리로 바꾼다.
- ❖ File->New->Project... 명령을 이용하여 새로운 프로젝트를 생성한다.
 - Project Name에 “Add_Sub”를 입력한 후 OK 버튼을 클릭한다.





Project 만들기

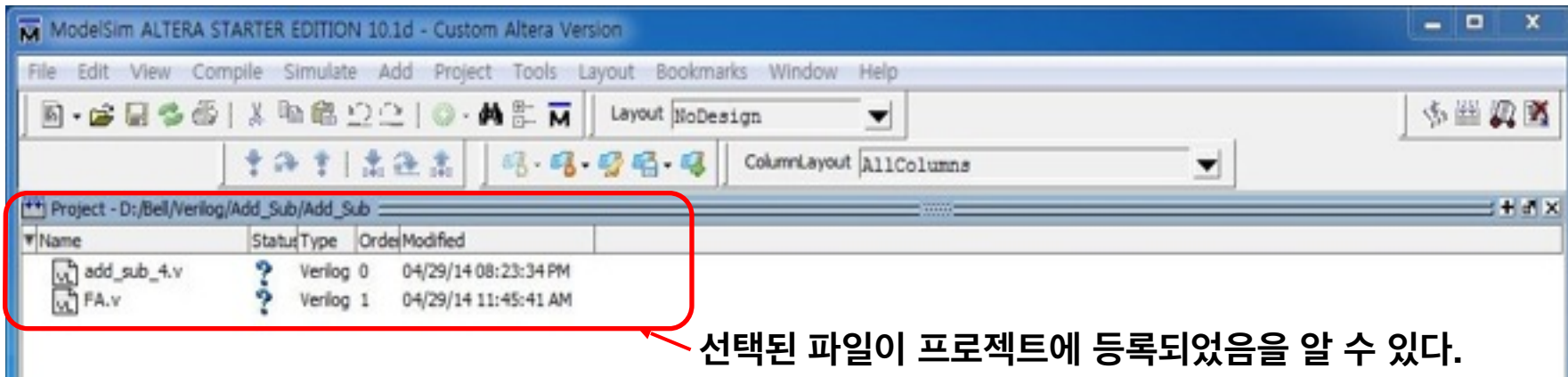
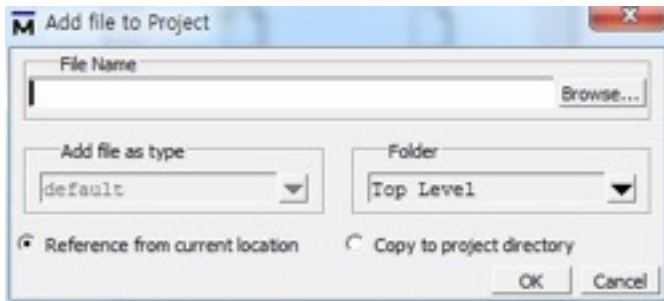
- ❖ Add items to the Project window에서 “Add Existing File”을 클릭한다.





Project 만들기

- ❖ Add file to Project window에서 “Browse...”을 클릭하여, 이전 단계에서 복사한 add_sub_4.v와 FA.v를 선택한 후, OK 버튼을 클릭한다.

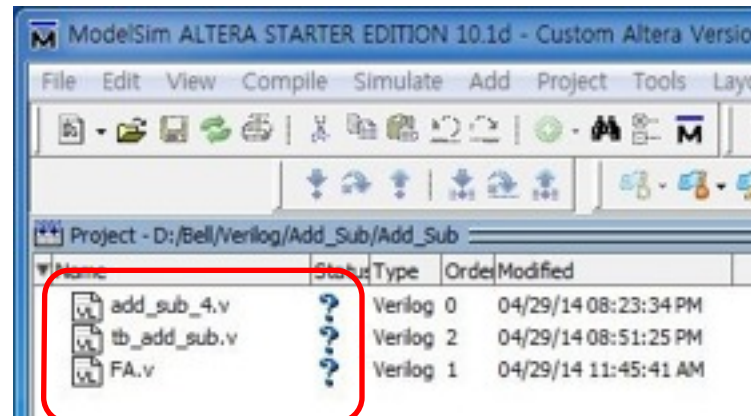
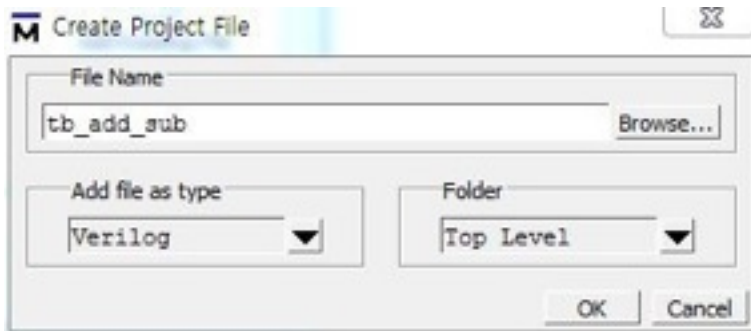


선택된 파일이 프로젝트에 등록되었음을 알 수 있다.



Project 만들기

- ❖ Add items to the Project window에서 “Create New File”을 클릭한다.
 - Create Project File window에서 File Name에 “tb_add_sub”를 입력하고 Add file as type에서 Verilog를 선택한 후, OK 버튼을 클릭한다.
 - Add items to the Project window에서 Close 버튼을 클릭하여 window를 닫는다.



tb_add_sub.v가 등록되었음을 알 수 있다.



Project 만들기

ModeSim ALTERA STARTER EDITION 10.1d - Custom Altera Version

File Edit View Compile Simulate Add Source Tools Layout Bookmarks Window Help

Layout: NoDesign

ColumnLayout: AllColumns

Project: D:\Bell\Verilog\Add_Sub\Add_Sub

File Name	Type	Created/Modified
add_sub_4.v	Verilog 0	4/29/14 08:23:34 PM
tb_add_sub.v	Verilog 2	4/29/14 08:50:25 PM
PA.v	Verilog 3	4/29/14 11:45:41 AM

File 이름을 더블 클릭하면
파일이 오른쪽에 열린다.

```
1 module add_sub(a, b, sub, sum);
2   input [3:0] a, b;
3   input      sub; // when sub = 1 subtr
4   output [4:0] sum;
5   wire      cout;
6   wire [3:0] b_bar;
7
8   adder_4 ADDER4 (.a(a), .b(b_bar), .ci
9
10  assign b_bar = b ^ (4(sub));
11  assign sum[4] = cout;
12
13 endmodule
14
15
16
```

Library Project

add_sub_4.v PA.v

Transcript

```
od D:\Bell\Verilog\Add_Sub
# Loading project: Add_Sub
ModelSim>
```

Ln: 1 Col: 0 Project: Add_Sub <No Design Loaded> <No Context>



Project 만들기

tb_add_sub.v를 클릭하면
오늘쪽과 같이 빈 파일이 열
린다. 여기에 다음 페이지의
코드를 입력한다.



Project 만들기

```
`timescale 1ns/10ps
// testbench module
module adder4_tb;
  reg [3:0] A, B;
  reg      SUB; // when SUB = 1, subtraction is performed.
  wire [4:0] RESULT;
  integer i;

  add_sub ADDSUB4 (A, B, SUB, RESULT);

  initial begin
    A = 5; B = 6; SUB = 0;
    #10 A = 1; B = 10;
    #10 A = 4'hF;
    #10 B = 4'hA;
    #10 A = 10; B = 3; SUB = 1;
    #10 A = 4'hF;
    #10 B = 4'hA;
    #1000 $stop;
  end
```

(1)

```
initial begin
  #100 B = 3;
  for (i = 0; i < 15; i = i+1) begin
    #10 A = i;
    #30 SUB = ^A;
  end
end

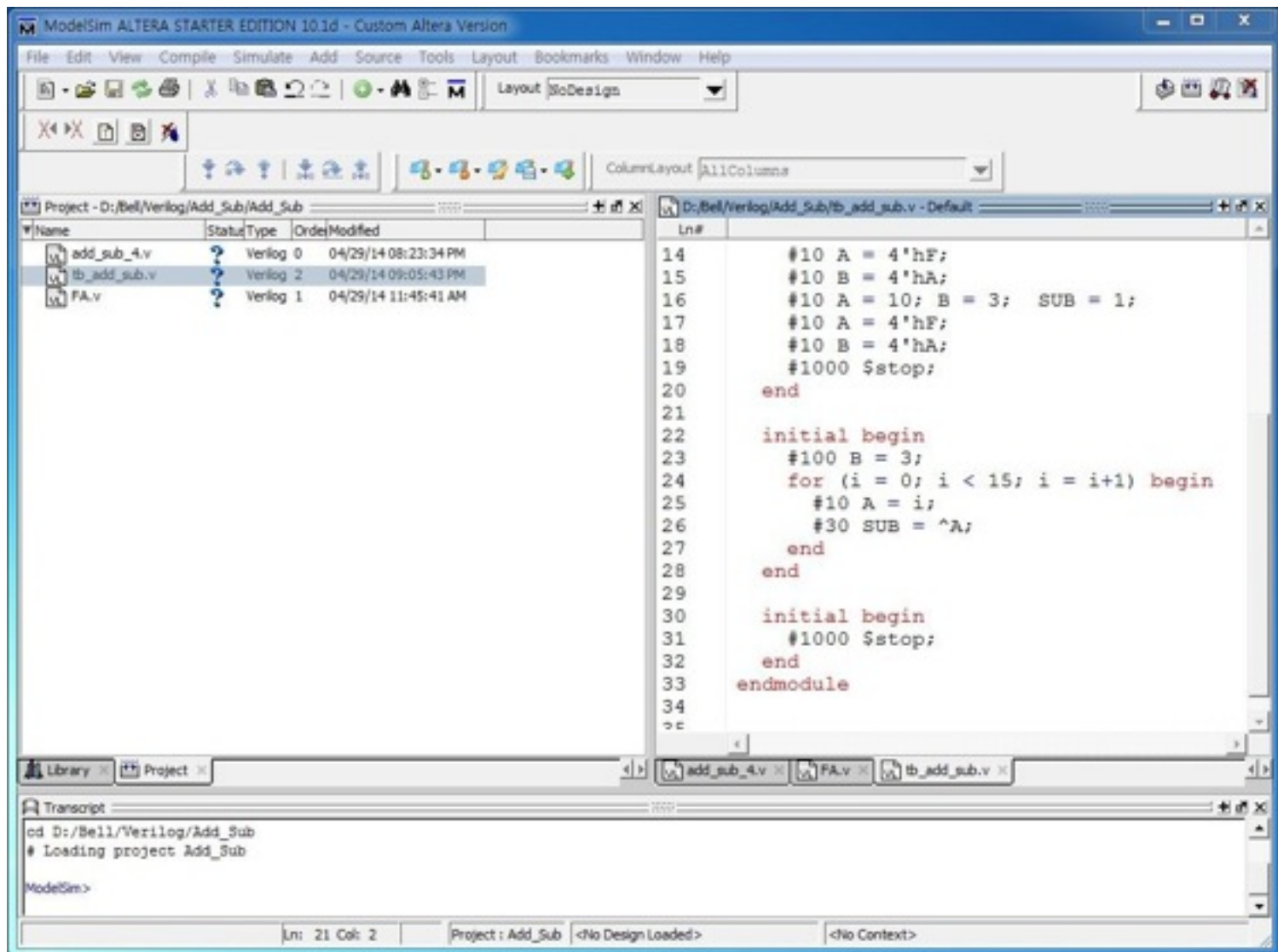
initial begin
  #1000 $stop;
end
endmodule
```

(2)

(1)과 (2)를 순서대로 입력한다.



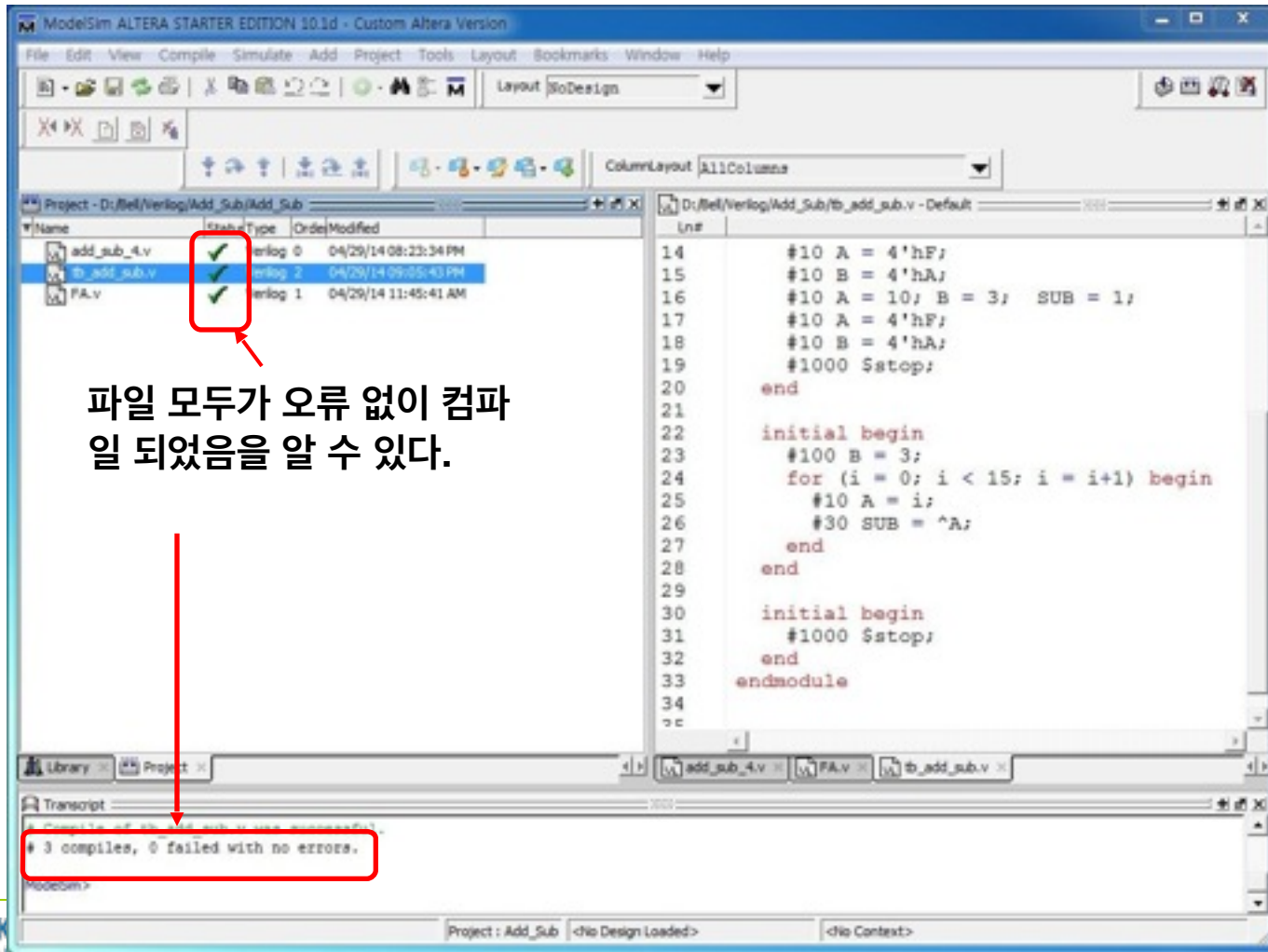
Project 만들기





Project Compile

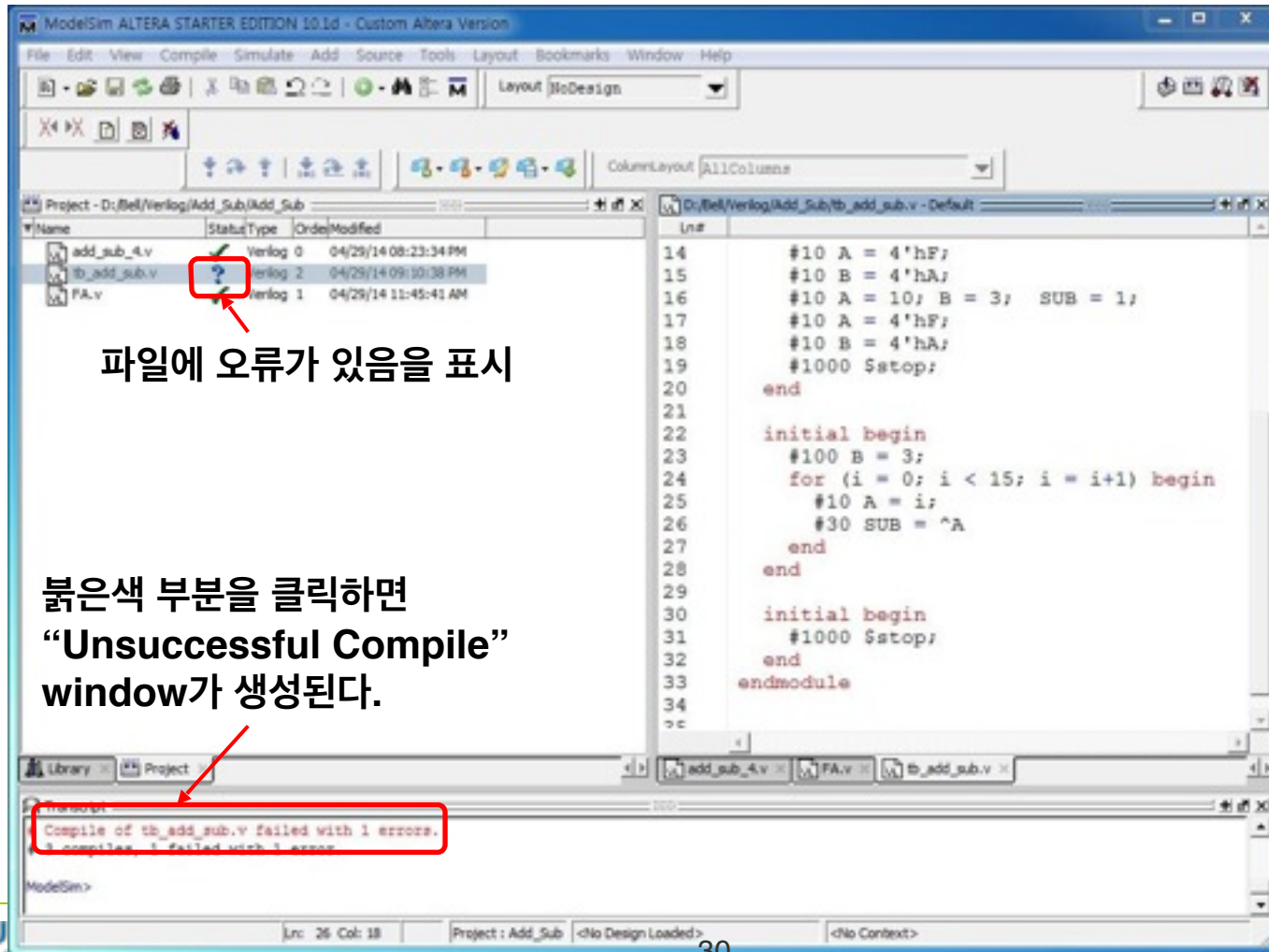
- ❖ Compile->Compile All 명령을 수행한다.
 - 이 명령은 Project 내의 모든 Verilog code를 컴파일한다.





Project Compile

- ❖ Compile->Compile All 명령을 수행한다.
 - 오류가 있는 경우





Project Compile

- ❖ Compile->Compile All 명령을 수행한다.
 - 오류가 있는 경우

```
M _d_Sub/tb_add_sub.v -- Unsuccessful Compile
vlog -work work D:/Bell/Verilog/Add_Sub/tb_add_sub.v
Model Technology ModelSim ALTERA vlog 10.1d Compiler 2012.11 Nov 2 2012
-- Compiling module adder4_tb
** Error: D:/Bell/Verilog/Add_Sub/tb_add_sub.v(27): near "end": syntax error, un
expected end, expecting ';'
Close
```

오류의 원인을 알려주는 메시지이며, 이 메시지를 클릭
하면 오류가 발생한 소스 코드를 보여준다.



Project Compile

ModelSim ALTERA STARTER EDITION 10.1d - Custom Altera Version

File Edit View Compile Simulate Add Library Tools Layout Bookmarks Window Help

Layout: NoDesign

ColumnLayout: AllColumns

Name	Type	Path
work	Library	D:/Bell/Verilog/Add_Sub/work
add_sub	Module	D:/Bell/Verilog/Add_Sub/add_sub_4.v
adder4_tb	Module	D:/Bell/Verilog/Add_Sub/tb_add_sub.v
adder_4	Module	D:/Bell/Verilog/Add_Sub/FA.v
220model	Library	\$MODEL_TECH/./altera/hhdl/220model
220model_ver	Library	\$MODEL_TECH/./altera/verilog/220m...
altera	Library	\$MODEL_TECH/./altera/hhdl/altera
altera_hsim	Library	\$MODEL_TECH/./altera/hhdl/altera_j...
altera_hsim_ver	Library	\$MODEL_TECH/./altera/verilog/altera...
altera_mf	Library	\$MODEL_TECH/./altera/hhdl/altera_mf
altera_mf_ver	Library	\$MODEL_TECH/./altera/verilog/altera...
altera_ver	Library	\$MODEL_TECH/./altera/verilog/altera
altgxb	Library	\$MODEL_TECH/./altera/hhdl/altgxb
altgxb_ib	Library	\$MODEL_TECH/./altera/hhdl/altgxb_ib
altgxb_ver	Library	\$MODEL_TECH/./altera/verilog/altgxb...
arnlax	Library	\$MODEL_TECH/./altera/hhdl/arnlax
arnlax_hssi	Library	\$MODEL_TECH/./altera/hhdl/arnlax_hssi
arnlax_hssi_ver	Library	\$MODEL_TECH/./altera/verilog/arnlax...
arnlax_ver	Library	\$MODEL_TECH/./altera/hhdl/arnlax_ver
arnlax	Library	\$MODEL_TECH/./altera/hhdl/arnlax
arnlax_hssi	Library	\$MODEL_TECH/./altera/hhdl/arnlax_hssi
arnlax_hssi_ver	Library	\$MODEL_TECH/./altera/verilog/arnlax...
arnlax_p...	Library	\$MODEL_TECH/./altera/hhdl/arnlax_p...
arnlax_p...	Library	\$MODEL_TECH/./altera/verilog/arnlax...

```
14      #10 A = 4'hF;
15      #10 B = 4'hA;
16      #10 A = 10; B = 3; SUB = 1;
17      #10 A = 4'hF;
18      #10 B = 4'hA;
19      #1000 $stop;
20      end
21
22      initial begin
23          #100 B = 3;
24          for (i = 0; i < 15; i = i+1) begin
25              #100 A = 4'hF;
26              #100 B = 4'hA;
27          end
28      end
29
30      endmodule
```

Compiler Message Window:

```
* Compile of tb_add_sub.v was successful.
* 3 compiles, 0 failed with no errors.
```

Project: Add_Sub | No Design Loaded | work

컴파일 성공한 후에 Library tab을 보면 add_sub, adder4_tb, adder_4 Module이 생성되었음을 알 수 있다.



Project Simulation

- ❖ Library tab의 work->adder4_tb를 더블 클릭한다. 아래와 같은 윈도우가 생성된다.

ModelSim ALTERA STARTER EDITION 10.1d

File Edit View Compile Simulate Add Structure Tools Layout Bookmarks W

Layout Simulate

100 ps

sim - Default

Instance Design unit

adder4_tb adder4_tb

- ADDSUB4 add_sub
 - ADDER4 adder_4
 - #ASSIG... adder_4
 - #ASSIGN#1... add_sub
 - #ASSIGN#1... add_sub
 - #INITIAL#11 adder4_tb
 - #INITIAL#22 adder4_tb
 - #INITIAL#30 adder4_tb
 - #vsim_capacity#

Objects

Name	Value	Kind	Mod	Ln
A	xxxx	Pack...	Inte	1
B	xxxx	Pack...	Inte	2
SUB	x	Regis...	Inte	3
RESULT	xxxxxx	Net	Inte	4
i	x	Integer	Inte	5
				6
				7
				8
				9
				10
				11
				12

adder4_tb안의 신호들



Project Simulation

- ❖ Library tab의 work->adder4_tb를 더블 클릭한다. 아래와 같은 윈도우가 생성된다.

ModelSim ALTERA STARTER EDITION 10.1d

File Edit View Compile Simulate Add Structure Tools Layout Bookmarks Window Help

Layout Simulate

100 ps

ColumnLayout AL

sim - Default

Instance Design unit Des

Instance	Design unit	Des
adder4_tb	adder4_tb	Mod
ADDSUB4	add_sub	Mod
ADDER4	adder_4	Mod
#ASSIG...	adder_4	Pro
#ASSIGN#1...	add_sub	Pro
#ASSIGN#1...	add_sub	Pro
#INITIAL#11	adder4_tb	Pro
#INITIAL#22	adder4_tb	Pro
#INITIAL#30	adder4_tb	Pro
#vsm_capacity#		Cap

Objects

Name	Value	Kind
a	xxxx	Net
b	xxxx	Net
sub	StX	Net
sum	xxxxxx	Net
cout	StX	Net
b_bar	xxxx	Net

add_sub module 안의 ADDSUB4에서 사용된 신호들

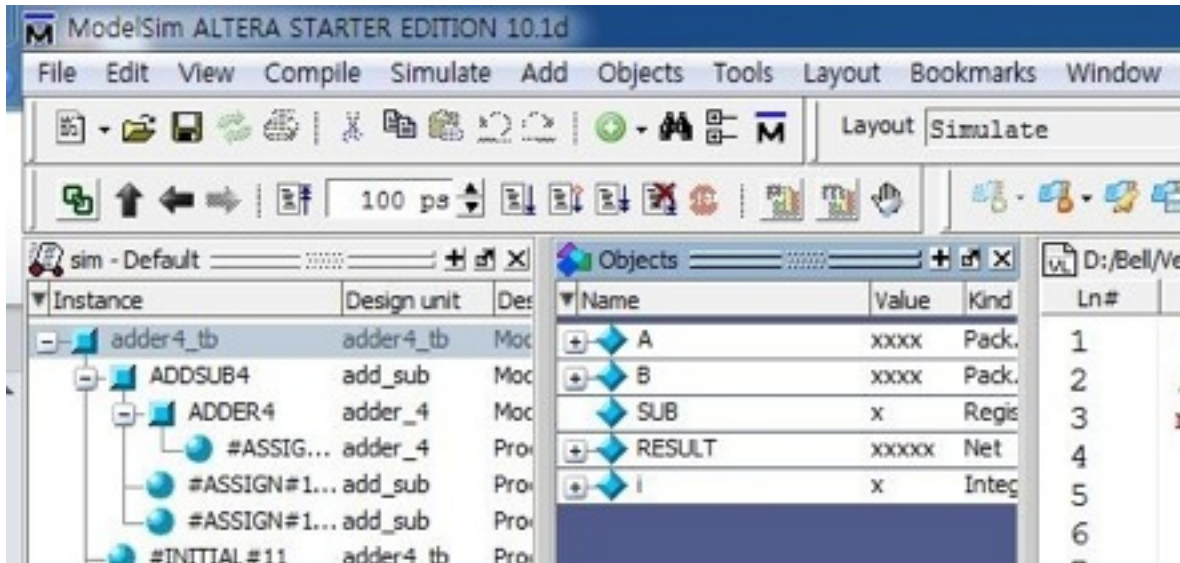
D:\Bell\Verilog\Add_Sub\add_sub_4.v (/ad

```
1
2 module add_sub(
3 input [3:0] a
4 input
5 output [4:0] s
6 wire
7 wire [3:0] b
8
9 adder_4 ADDER
10
11 assign b_bar =
12 assign sum[4]=
13
14 endmodule
15
16
```



Project Simulation

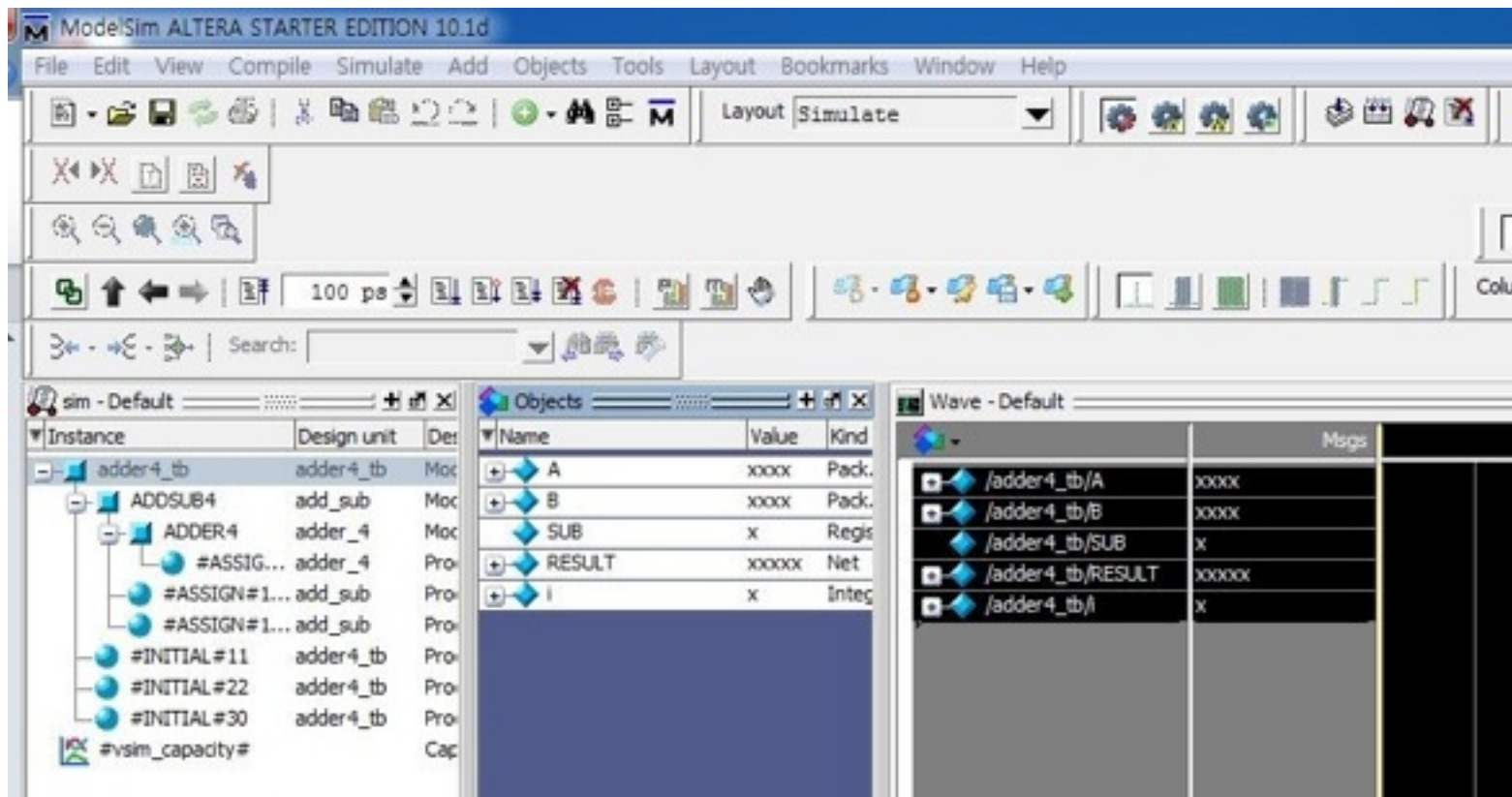
- ❖ 앞 페이지와 같이 Instance 윈도우에서 모듈을 클릭하면, 그 모듈에서 사용된 신호들이 Objects window에 표시된다.
- ❖ 아래와 같이 Objects window 내의 신호를 선택하고, 마우스의 오른쪽 버튼을 클릭하여 “Add Wave” 명령을 수행하면, 해당 신호들이 Wave-Default window에 표시된다.





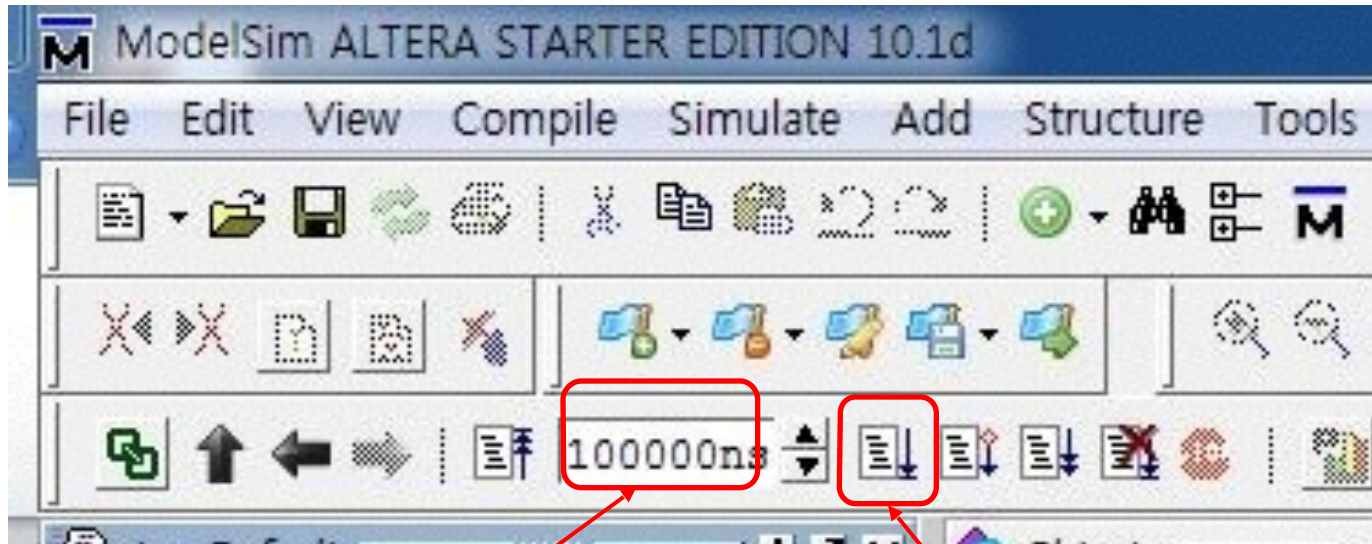
Project Simulation

- ❖ 앞 페이지와 같이 Instance 윈도우에서 모듈을 클릭하면, 그 모듈에서 사용된 신호들이 Objects window에 표시된다.
- ❖ 아래와 같이 Objects window 내의 신호를 선택하고, 마우스의 오른쪽 버튼을 클릭하여 “Add Wave” 명령을 수행하면, 해당 신호들이 Wave-Default window에 표시된다.





Project Simulation



전체 시뮬레이션 시간을
100000ns로 setting

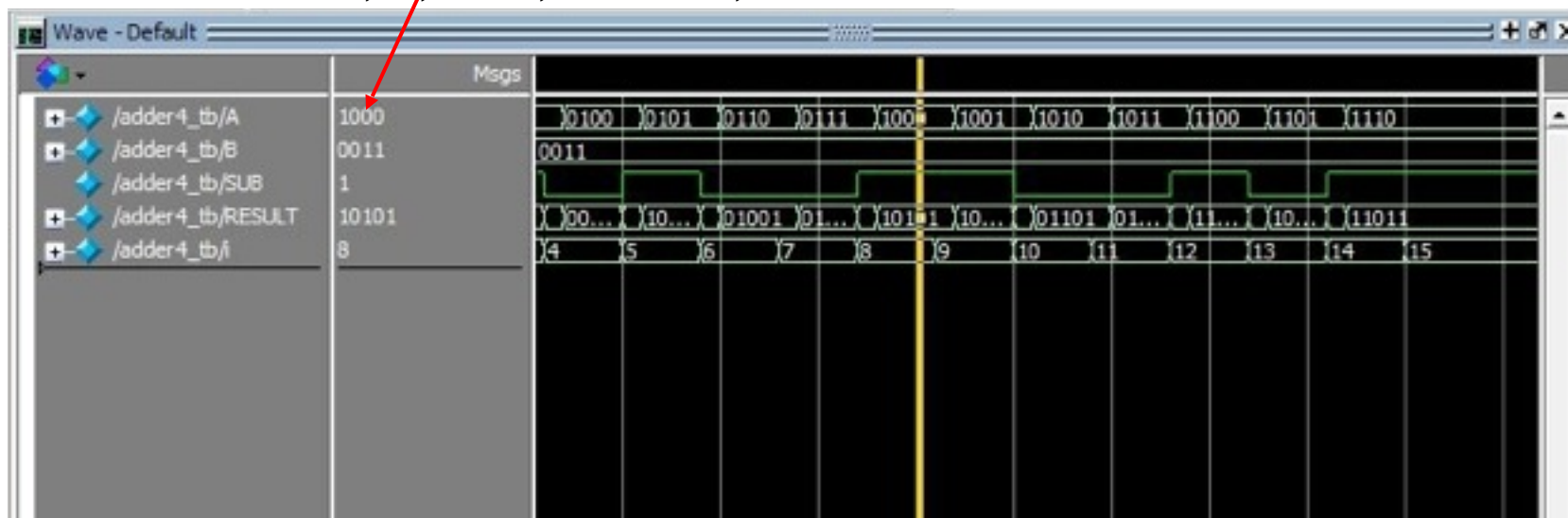
버튼을 클릭하여 시뮬레
이션 시작



Project Simulation

- ❖ 아래 그림과 같이 시뮬레이션 파형이 표시됨
- ❖ 원하는 결과가 나왔는 가를 확인해야 함

노란색 수직선이 있는 곳에서의
A, B, SUB, RESULT, i 값



A = 1000, B = 0011, SUB = 1
→ A - B = 10101



숙제

- ❖ 시뮬레이션 시간을 10000ns로 수정하여 시뮬레이션하시오.
- ❖ $T = 250000\text{ps}$ 에서의 A, B, SUB, RESULT, i 값은 각각 얼마인가?
- ❖ 아래 그림에서 붉은색 사각형 내의 아이콘들은 어떤 의미인가?

