**Project 3: Non-Pipelined Control Unit**

Jay Hayes

Will Presley

**Objective**

The objective of this project is to create a basic non-pipelined control unit of a simple processor. The tools that were used to achieve this include Microsoft Excel and Logisim.

1. **Control Signals:**

The first step of the design of this was to draft up the control signals for each of the states. These can be seen in Figure 1.

**Figure 1: Control Signals**

|  |  |
| --- | --- |
| S0: Determine the encoding based on opcode | S28: BMDR, PSWin |
| S1: BGPR, SB2, SB1’,  ALU/LShift, Zin | S29: R2’, R1’, R0’ ,ROMbus, MARin |
| S2: Zbus, Yin | S30: PSWbus, MDRin, Write\_MM |
| S3: BGPR, SB2’, SB1, ALU/Add, Zin | S31: Wait for memory |
| S4: Zbus, SB2’, SB1’, Write GPR | S32: R2’, R1’, R0, ROMbus, MARin |
| S5: BGPR, SB2’, SB1, ALU/Sub, Zin | S33: BPC, MDRin, Write\_MM |
| S6: BGPR, SB2’, SB1, ALU/AND, Zin | S34: Wait for memory |
| S7: BGPR, SB2’, SB1, ALU/OR, Zin | S35: R2’, R1, R0’, ROMbus, MARin, Read\_MM |
| S8: Z4, Yin | S36: Wait for memory |
| S9: BGPR, SB2’, SB1, ALU/LShift, Zin | S37: BMDR, PSWin |
| S10: BGPR, SB2’, SB1, ALU/RShift, Zin | S38: R2’, R1, R0, ROMbus, MARin, Read\_MM |
| S11: Decides next state based on opcode | S39: Wait for memory |
| S12: BPC,ALU/Add,Zin | S40: BMDR, PCin |
| S13: ZBUS,MARin,Read\_MM | S41: R2, R1’, R0’, ROMbus, MARin |
| S14: ZBUS,MARin | S42: PSWbus, MDRin, Write\_MM |
| S15: Wait for memory | S43: Wait for memory |
| S16: SB2’, SB1’, BGPR, MDRin,Write\_MM | S44: R2’, R1’, R0’, ROMbus, MARin |
| S17: BMDR, ALU/NOT, Zin | S45: BPC, MDRin, Write\_MM |
| S18: ZBus, SB2’, SB1’, Write\_GPR | S46: Wait for memory |
| S19: SB2’,SB1’, BPC, Write\_GPR | S47: R2’, R1, R0’, ROMbus, MARin, Read\_MM |
| S20: ZBus, PCin | S48: Wait for memory |
| S21: BGPR, SB2’, SB1’, ALU/Add, Zin | S49: BMDR, PSWin |
| S22: Decides next state based on opcode | S50: R2’, R1, R0, ROMbus, MARin, Read\_MM |
| S23: BPC, ALU/ADD, Zin | S51: Wait for memory |
| S24: Zbus, PCin | S52: BMDR, PCin |
| S25: Zbus, MARin, Read\_MM | S53: R2’, R1’, R0, ROMbus,Yin |
| S26: Wait for memory | S54: BPC, ALU/ADD, Zin |
| S27: BMDR, Timer\_Set | S55: Zbus, PCin, R2, R1, R0, Write\_GPR |

1. **State Machine Diagram:**

The next step that was taken to design the control unit was to take the control signals and draft our state machine diagram, which can be seen in Figure 2.

**Figure 2: Finite State Machine Diagram**



For our state machine, we had a total of 55 states that produced the control signals required for opcode execution. This included Next State outputs for our D Flip-Flops as well as signals to allow registers to read, write, and push data onto the bus. Using a total of 40 outputs with 6 outputs as our D flip-flops next state inputs.

1. **Next State Table:**

The next step after designing the state machine diagram was to create a next state table:

The inputs for our state table included Q5, Q4, Q3, Q2, Q1, Q0, O3, O2, O1, O0, Timeout, PSW\_N, PSW\_Z, and PRIV.

The outputs of our state table included Encode0, Encode1, Encode2, SB1, SB2, BGPR, BPC, BMDR, Write\_GPR, Read\_MM, Write\_MM, Zin, Z4, Zbus, Yin, ALU/Add, MARin, ALU/Not, MDRin, PCin, PSWin, Timer\_Set, ALU/Lshift, ALU/Rshift, ALU/And, ALU/Or, ALU/Sub, PSWbus, ROMbus, R2, R1, R0. Definitions of these outputs can be found in Figure 3.[[1]](#footnote-1)

**Figure 3: Input & Output Definitions**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Inputs:** | |  | **Outputs:** |  |
| Q5 - Q0 | Current states |  | Zbus | Z register to bus |
| O3 – O0 | Opcode values |  | Yin | Input to the Y register |
| Timeout | Timeout state |  | ALU/Add | ALU addition operation |
| PSW\_N | PSW condition code N |  | MARin | Input to the MAR |
| PSW\_Z | PSW condition code Z |  | WFMC | Wait For Memory Completion |
| PRIV | Privileged |  | ALU/Not | ALU Not operation |
|  |  |  | MDRin | Input to the MDR |
| **Outputs:** |  |  | PCin | Input to the PC |
| Encode0 | Encoding 0 |  | PSWin | Input to the PSW |
| Encode1 | Encoding 1 |  | Timer\_Set | Setting the timer |
| Encode2 | Encoding 2 |  | ALU/Lshift | ALU left shift operation |
| SB1 | Selector bit 1 |  | ALU/Rshift | ALU right shift operation |
| SB2 | Selector bit 2 |  | ALU/And | ALU And operation |
| BGPR | GPR to bus |  | ALU/Or | ALU Or operation |
| BPC | PC to bus |  | ALU/Sub | ALU subtraction operation |
| BMDR | MDR to bus |  | PSWbus | PSW to bus |
| Write\_GPR | GPR write |  | ROMbus | ROM to bus |
| Read\_MM | Read main memory |  | R2 | ROM address bit 2 |
| Write\_MM | Write main memory |  | R1 | ROM address bit 1 |
| Zin | Input to Z register |  | R0 | ROM address bit 0 |
| Z4 | Low 4 order bits of the Z register |  |  |  |

**Timer:**

The Timer counts down from a set time every clock cycle and once it reaches zero it will send a signal that will go to a time out trap at the end of an instruction execute unless the user is in Privileged mode. Based on the specifications of the lab if we do have a timeout occur in our program the user will get the “blue screen of death” since we do not automatically switch over to user mode and set the timer. If the user is in privileged mode, then the timer is reset the next fetch cycle.

**Main Memory:**

The main memoryis addressed through the MAR using 16 bits. It will then read from a certain address and send into the MDR. It will also be able to write from the MDR at a given address.

**PSW:**

The PSW is structured by utilizing the high order bit as the PSW.N condition code, the second highest order bit represents privileged mode, and PSW.Z condition code is implemented by taking the rest of the bits and joining them with an Or gate and an inverter.

**ROM:**

The ROM is a special register that stores 8 different constants with the values of 0, 2, 6, 8, 12, 14, 7. The value 7 is used to address GPR[7] which contains the value of the Program Counter.

1. **Next State Equations:**

After filling out the table, boolean equations were derived for each of the flip-flop inputs as well as each of the outputs. Figure 4 shows the simplified equations that were implemented only using and, or and not gates (for the ease of implementation).

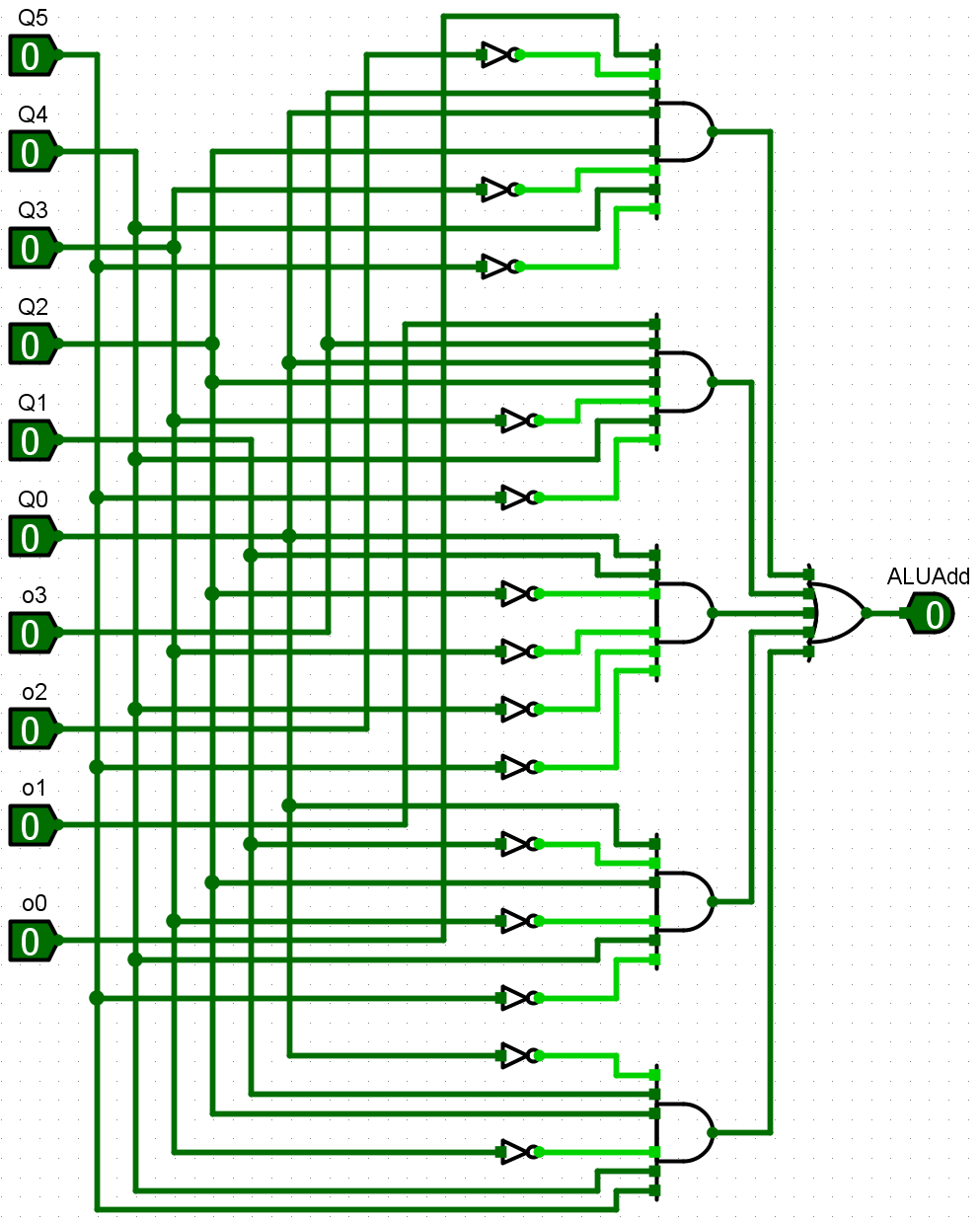
**Figure 4: Next State Equations**

|  |  |
| --- | --- |
| **When logic 1** | **Simplified Boolean Equations** |
| Encode0 | (**!**O3 && **!**O2) || (**!**O3 && **!**O1) |
| Encode1 | (**!**O3 && O2 && O1) || (O3 && **!**O1 && **!**O0) || (O3 && O2 && **!**O1) |
| Encode2 | (O3 && **!**O2 && O0) || (O3 && O1) |
| SB1 | (Q0 && Q1 && **!**Q3 && **!**Q4 && **!**Q5) || (Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q4 && **!**Q5) || (Q0 && Q2 && **!**Q3 && **!**Q4 && **!**Q5) || ( **!**Q0 && Q1 && **!**Q2 && Q3 && **!**Q4 && **!**Q5) || (Q1 && Q2 && **!**Q3 && **!**Q4 && **!**Q5) |
| SB2 | ( **!**O1 && **!**O3 && Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4 && **!**Q5) || ( **!**O2 && **!**O3 && Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4 && **!**Q5) |
| BGPR | (**!**Q5 && **!**Q4 && **!**Q3 && Q0 && **!**O2 && **!**O1) || (**!**Q5 && **!**Q4 && **!**Q3 && Q0 && **!**O3 && **!**O2) || (**!**Q5 && **!**Q4 && **!**Q3 && Q1 && Q0) || (**!**Q5 && **!**Q3 && Q2 && **!**Q1 && Q0) || (**!**Q5 && **!**Q4 && Q3 && **!**Q2 && **!**Q1 && Q0) || (**!**Q5 && **!**Q4 && Q3 && **!**Q2 && Q1 && **!**Q0) || (Q5 && Q4 && **!**Q3 && **!**Q2 && **!**Q1 && **!**Q0) |
| BPC | (O0 && **!**O2 && O3 && Q0 && Q1 && **!**Q3 && Q4 && **!**Q5) || (O1 && O2 && **!**O3 && **!**Q0 && **!**Q1 && Q2 && Q3 && **!**Q4 && **!**Q5) || (O1 && O3 && Q0 && Q1 && **!**Q3 && Q4 && **!**Q5) || ( **!**O1 && **!**O2 && O3 && **!**Q0 && **!**Q1 && Q2 && Q3 && **!**Q4 && **!**Q5) || (Q0 && Q1 && **!**Q2 && **!**Q3 && Q4 && **!**Q5) || (Q0 && **!**Q1 && Q2 && Q3 && **!**Q4 && Q5) || (Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4 && Q5) || ( **!**Q0 && Q1 && Q2 && **!**Q3 && Q4 && Q5) |
| BMDR | (Q0 && Q1 && **!**Q2 && Q3 && Q4 && **!**Q5) || (Q0 && **!**Q1 && Q2 && **!**Q3 && **!**Q4 && Q5) || (Q0 && **!**Q1 && **!**Q2 && **!**Q3 && Q4 && Q5) || ( **!**Q0 && **!**Q1 && Q2 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && **!**Q1 && Q2 && **!**Q3 && Q4 && Q5) || ( **!**Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q4 && Q5) |
| Write\_GPR | (**!**Q5 && **!**Q4 && **!**Q3 && Q2 && **!**Q1 && **!**Q0) || (**!**Q5 && Q4 && **!**Q3 && **!**Q2 && Q1 && Q0) || (Q5 && Q4 && **!**Q3 && Q2 && Q1 && Q0) |
| Read\_MM | (Q0 && Q1 && Q2 && Q3 && **!**Q4 && Q5) || (Q0 && Q1 && **!**Q2 && **!**Q3 && **!**Q4 && Q5) || (Q0 && **!**Q1 && **!**Q2 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && Q1 && Q2 && **!**Q3 && **!**Q4 && Q5) || ( **!**Q0 && Q1 && **!**Q2 && **!**Q3 && Q4 && Q5) |
| Write\_MM | (**!**Q5 && Q4 && **!**Q3 && **!**Q2 && **!**Q1 && **!**Q0) || (**!**Q5 && Q4 && Q3 && Q2 && Q1 && **!**Q0) || (Q5 && **!**Q4 && **!**Q3 && **!**Q2 && **!**Q1 && Q0) || (Q5 && **!**Q4 && Q3 && **!**Q2 && Q1 && **!**Q0) || (Q5 && **!**Q4 && Q3 && Q2 && **!**Q1 && Q0) |
| Zin | (O0 && **!**O2 && O3 && Q0 && Q2 && **!**Q3 && **!**Q5) || (O1 && O2 && **!**O3 && **!**Q0 && **!**Q1 && Q2 && Q3 && **!**Q4 && **!**Q5) || (O1 && O3 && Q0 && Q2 && **!**Q3 && **!**Q5) || ( **!**O1 && **!**O2 && O3 && **!**Q0 && **!**Q1 && Q2 && Q3 && **!**Q4 && **!**Q5) || ( **!**O1 && **!**O3 && Q0 && **!**Q1 && **!**Q3 && **!**Q5) || ( **!**O2 && **!**O3 && Q0 && **!**Q1 && **!**Q3 && **!**Q5) || (Q0 && Q1 && **!**Q3 && **!**Q4 && **!**Q5) || (Q0 && **!**Q1 && Q2 && **!**Q3 && **!**Q5) || (Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q4 && **!**Q5) || (Q0 && **!**Q1 && **!**Q3 && Q4 && **!**Q5) || ( **!**Q0 && Q1 && Q2 && **!**Q3 && Q4 && Q5) || ( **!**Q0 && Q1 && **!**Q2 && Q3 && **!**Q4 && **!**Q5) || (Q1 && Q2 && **!**Q3 && **!**Q4 && **!**Q5) |
| Z4 | (O0 && O1 && **!**O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q4 && **!**Q5) || ( **!**O0 && **!**O1 && O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q4 && **!**Q5) |
| Zbus | (O0 && **!**O1 && **!**O3 && **!**Q0 && Q1 && **!**Q2 && **!**Q3 && **!**Q5) || ( **!**O0 && **!**O2 && **!**O3 && **!**Q0 && Q1 && **!**Q2 && **!**Q3 && **!**Q5) || (Q0 && Q1 && Q2 && **!**Q3 && Q4 && Q5) || (Q0 && **!**Q1 && Q2 && Q3 && **!**Q4 && **!**Q5) || ( **!**Q0 && Q1 && Q2 && Q3 && **!**Q4 && **!**Q5) || ( **!**Q0 && Q1 && **!**Q2 && **!**Q3 && Q4 && **!**Q5) || ( **!**Q0 && **!**Q1 && Q2 && **!**Q3 && **!**Q5) || ( **!**Q1 && **!**Q2 && Q3 && Q4 && **!**Q5) |
| Yin | (O0 && O1 && **!**O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q4 && **!**Q5) || (O0 && **!**O1 && **!**O3 && **!**Q0 && Q1 && **!**Q2 && **!**Q3 && **!**Q4 && **!**Q5) || ( **!**O0 && **!**O1 && O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q4 && **!**Q5) || ( **!**O0 && **!**O2 && **!**O3 && **!**Q0 && Q1 && **!**Q2 && **!**Q3 && **!**Q4 && **!**Q5) || (Q0 && **!**Q1 && Q2 && **!**Q3 && Q4 && Q5) |
| ALU/Add | (**!**Q5 && **!**Q4 && **!**Q3 && **!**Q2 && Q1 && Q0) || (**!**Q5 && Q4 && **!**Q3 && Q2 && **!**Q1 && Q0) || (Q5 && Q4 && **!**Q3 && Q2 && Q1 && **!**Q0) || (**!**Q5 && **!**Q4 && Q3 && Q2 && **!**Q1 && **!**Q0 && (**!**O3 && O2 && O1 || O3 && **!**O2 && **!**O1)) || (**!**Q5 && Q4 && **!**Q3 && Q2 && Q1 && Q0 && (O3 && O2 && O1 || O3 && **!**O2 && **!**O1 && O0 || O3 && **!**O2 && O1)) |
| MARin | (Q0 && Q1 && Q2 && Q3 && **!**Q4 && Q5) || (Q0 && Q1 && **!**Q2 && **!**Q3 && **!**Q4 && Q5) || (Q0 && **!**Q1 && Q2 && Q3 && **!**Q5) || (Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q4 && Q5) || (Q0 && **!**Q1 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && Q1 && Q2 && Q3 && **!**Q4 && **!**Q5) || ( **!**Q0 && Q1 && Q2 && **!**Q3 && **!**Q4 && Q5) || ( **!**Q0 && Q1 && **!**Q2 && **!**Q3 && Q4 && Q5) || ( **!**Q0 && **!**Q1 && Q2 && Q3 && **!**Q4 && Q5) || ( **!**Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4 && Q5) |
| ALU/Not | **!**Q5 && Q4 && **!**Q3 && **!**Q2 && **!**Q1 && Q0 |
| MDRin | (Q0 && **!**Q1 && Q2 && Q3 && **!**Q4 && Q5) || (Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4 && Q5) || ( **!**Q0 && Q1 && Q2 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && Q1 && **!**Q2 && Q3 && **!**Q4 && Q5) || ( **!**Q0 && **!**Q1 && **!**Q2 && **!**Q3 && Q4 && **!**Q5) |
| PCin | (**!**Q5 && Q4 && **!**Q3 && Q2 && **!**Q1 && **!**Q0) || (**!**Q5 && Q4 && Q3 && **!**Q2 && **!**Q1 && **!**Q0) ||  (Q5 && **!**Q4 && Q3 && **!**Q2 && **!**Q1 && **!**Q0) || (Q5 && Q4 && **!**Q3 && Q2 && **!**Q1 && **!**Q0) ||  (Q5 && Q4 && **!**Q3 && Q2 && Q1 && Q0) |
| PSWin | (**!**Q5 && Q4 && Q3 && Q2 && **!**Q1 && **!**Q0) || (Q5 && **!**Q4 && **!**Q3 && Q2 && **!**Q1 && Q0) || (Q5 && Q4 && **!**Q3 && **!**Q2 && **!**Q1 && Q0) |
| Timer\_Set | (**!**Q5 && Q4 && Q3 && **!**Q2 && Q1 && Q0) |
| ALU/Lshift | (**!**Q5 && **!**Q4 && **!**Q3 && **!**Q2 && **!**Q1 && Q0 && **!**O3 && **!**O1) || (**!**Q5 && **!**Q4 && **!**Q3 && **!**Q2 && **!**Q1 && Q0 && **!**O3 && **!**O2) || (**!**Q5 && **!**Q4 && Q3 && **!**Q2 && **!**Q1 && Q0) |
| ALU/Rshift | (**!**Q5 && **!**Q4 && Q3 && **!**Q2 && Q1 && **!**Q0) |
| ALU/And | **!**Q5 && **!**Q4 && **!**Q3 && Q2 && Q1 && **!**Q0 |
| ALU/Or | **!**Q5 && **!**Q4 && **!**Q3 && Q2 && Q1 && Q0 |
| ALU/Sub | **!**Q5 && **!**Q4 && **!**Q3 && Q2 && **!**Q1 && Q0 |
| PSWbus | ( **!**Q0 && Q1 && Q2 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && Q1 && **!**Q2 && Q3 && **!**Q4 && Q5) |
| ROMbus | (**!**Q5 && Q4 && Q3 && Q2 && **!**Q1 && Q0) || (Q5 && **!**Q4 && **!**Q3 && **!**Q2 && **!**Q1 && **!**Q0) || (Q5 && **!**Q4 && **!**Q3 && **!**Q2 && Q1 && Q0) || (Q5 && **!**Q4 && **!**Q3 && Q2 && Q1 && **!**Q0) || (Q5 && **!**Q4 && Q3 && **!**Q2 && **!**Q1 && Q0) || (Q5 && **!**Q4 && Q3 && Q2 && **!**Q1 && **!**Q0) || (Q5 && **!**Q4 && Q3 && Q2 && Q1 && Q0) || (Q5 && Q4 && **!**Q3 && **!**Q2 && Q1 && **!**Q0) || (Q5 && Q4 && **!**Q3 && Q2 && Q0) |
| R2 | (Q5 && Q4 && **!**Q3 && Q2 && Q1 && Q0) || (Q5 && **!**Q4 && Q3 && **!**Q2 && **!**Q1 && Q0) |
| R1 | (Q5 && **!**Q4 && **!**Q3 && **!**Q2 && Q1 && Q0) || (Q5 && **!**Q4 && **!**Q3 && Q2 && Q1 && **!**Q0) || (Q5 && **!**Q4 && Q3 && Q2 && Q1 && Q0) || (Q5 && Q4 && **!**Q3 && **!**Q2 && Q1 && **!**Q0) || (Q5 && Q4 && **!**Q3 && Q2 && Q1 && Q0) |
| R0 | (Q5 && Q4 && **!**Q3 && Q2 && Q0) || (Q5 && Q4 && **!**Q3 && **!**Q2 && Q1 && **!**Q0) || (Q5 && **!**Q4 && **!**Q3 && Q2 && Q1 && **!**Q0) ||  (Q5 && **!**Q4 && **!**Q3 && **!**Q2 && Q1 && Q0) || (Q5 && **!**Q4 && **!**Q3 && **!**Q2 && **!**Q1 && **!**Q0) |
|  |  |
| Flip-Flops |  |
| D5 | ( **!**O0 && **!**O1 && **!**O2 && O3 && **!**PRIV && Q0 && Q1 && Q2 && Q3 && **!**Q5 && Timeout) || ( **!**PRIV && Q0 && Q1 && Q3 && Q4 && **!**Q5 && Timeout) || ( **!**PRIV && **!**Q0 && Q1 && **!**Q2 && **!**Q3 && Q4 && Timeout) || ( **!**PRIV && **!**Q0 && **!**Q1 && Q2 && **!**Q3 && **!**Q4) || ( **!**PRIV && **!**Q0 && **!**Q1 && Q2 && Q4 && **!**Q5 && Timeout) || (Q0 && Q1 && Q2 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && **!**Q1 && **!**Q2 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && **!**Q3 && Q5) || ( **!**Q1 && **!**Q3 && Q5) || ( **!**Q2 && **!**Q3 && Q5) || ( **!**Q4 && Q5) |
| D4 | (O0 && O1 && **!**O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q5) || (O0 && **!**O1 && O2 && O3 && Q0 && Q1 && **!**Q2 && Q3 && **!**Q4 && **!**Q5) || (O0 && **!**O1 && **!**O2 && O3 && **!**Q0 && Q1 && Q2 && Q4 && **!**Q5 && PSW.N) || (O0 && **!**O1 && **!**O3 && **!**Q0 && Q1 && **!**Q2 && **!**Q3 && **!**Q4) || ( **!**O0 && O1 && O2 && O3 && **!**Q0 && **!**Q2 && Q3 && Q4 && **!**Q5) || ( **!**O0 && O1 && O2 && **!**O3 && Q1 && Q2 && Q3 && **!**Q4 && **!**Q5) || ( **!**O0 && O1 && O3 && **!**Q0 && Q1 && Q2 && Q4 && **!**Q5 && **!**PSW.Z) || ( **!**O0 && **!**O1 && **!**O2 && O3 && Q1 && Q2 && Q3 && **!**Q4 && **!**Q5 && Timeout) || ( **!**O0 && **!**O1 && **!**O2 && **!**O3 && **!**Q0 && **!**Q2 && **!**Q3 && **!**Q4) || ( **!**O0 && **!**O1 && **!**O2 && **!**Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4) || (O1 && O2 && O3 && Q1 && Q2 && **!**Q3 && Q4 && **!**Q5) || (O1 && O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4) || (O1 && O2 && **!**O3 && **!**Q0 && Q2 && Q3 && **!**Q4) || ( **!**O1 && O2 && O3 && **!**Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4) || ( **!**PRIV && Q0 && Q1 && **!**Q2 && Q3 && Q4 && **!**Q5 && Timeout) || ( **!**PRIV && **!**Q0 && Q1 && **!**Q2 && **!**Q3 && Q4 && Timeout) || ( **!**PRIV && **!**Q0 && **!**Q1 && Q2 && **!**Q3 && Timeout) || ( **!**PRIV && **!**Q0 && **!**Q1 && Q2 && Q4 && **!**Q5 && Timeout) || ( **!**Q0 && Q1 && Q2 && Q3 && **!**Q5) || ( **!**Q0 && **!**Q1 && **!**Q2 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && **!**Q3 && Q5) || ( **!**Q0 && **!**Q4 && Q5) |
| D3 | (O0 && O1 && **!**O2 && **!**O3 && Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4 && **!**Q5) || (O0 && O1 && **!**O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q4) || (O0 && **!**O1 && **!**O2 && O3 && **!**Q0 && Q2 && Q4 && **!**Q5 && **!**PSW.N) || (O0 && **!**O2 && O3 && Q0 && Q1 && **!**Q3 && Q4 && **!**Q5) || ( **!**O0 && O1 && **!**O2 && O3 && **!**Q0 && Q2 && Q4 && **!**Q5 && **!**PSW.Z) || ( **!**O0 && **!**O1 && O2 && **!**O3 && Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4 && **!**Q5) || ( **!**O0 && **!**O1 && O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q4) || ( **!**O0 && **!**O1 && **!**O2 && O3 && Q0 && Q1 && Q3 && **!**Q4 && **!**Q5) || ( **!**O0 && **!**O1 && **!**O2 && O3 && Q2 && Q3 && **!**Q4 && **!**Q5) || ( **!**O0 && **!**O1 && O3 && **!**Q0 && **!**Q1 && **!**Q3 && **!**Q4 && **!**Q5) || (O1 && O2 && O3 && **!**PRIV && **!**Q0 && Q2 && Q4 && **!**Q5) || (O1 && O2 && O3 && Q1 && **!**Q2 && Q3 && Q4 && **!**Q5) || (O1 && O2 && **!**O3 && Q0 && Q1 && **!**Q2 && Q3 && **!**Q4) || (O1 && O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q3 && **!**Q4 && **!**Q5) || (O1 && O2 && **!**O3 && **!**Q0 && Q2 && Q3 && **!**Q4) || (O1 && O3 && Q0 && Q1 && **!**Q3 && Q4 && **!**Q5) || ( **!**O1 && O2 && O3 && **!**Q0 && **!**Q1 && **!**Q3 && **!**Q4 && **!**Q5) || ( **!**PRIV && Q1 && **!**Q2 && **!**Q3 && Q4 && **!**Q5 && Timeout) || ( **!**PRIV && **!**Q1 && Q3 && Q4 && **!**Q5 && Timeout) || (Q0 && Q1 && Q2 && **!**Q3 && **!**Q4 && Q5) || (Q0 && Q1 && **!**Q2 && Q4 && **!**Q5) || (Q0 && **!**Q1 && Q2 && Q3 && **!**Q4) || (Q0 && **!**Q1 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && Q1 && Q2 && Q3 && **!**Q4) || ( **!**Q0 && **!**Q1 && Q2 && **!**Q3 && **!**Q5) || ( **!**Q0 && Q2 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && Q3 && **!**Q4 && Q5) || ( **!**Q2 && Q3 && **!**Q4 && Q5) |
| D2 | (O0 && O1 && O2 && O3 && **!**Q0 && Q1 && Q3 && **!**Q5) || (O0 && **!**O1 && O2 && O3 && Q0 && Q1 && **!**Q2 && **!**Q4) || (O0 && **!**O1 && **!**O2 && O3 && **!**Q0 && Q2 && **!**Q5) || (O0 && **!**O1 && **!**O3 && **!**Q0 && Q1 && **!**Q4 && **!**Q5) || (O0 && **!**O2 && O3 && **!**Q0 && **!**Q1 && **!**Q3 && **!**Q4 && **!**Q5) || ( **!**O0 && O1 && **!**O2 && **!**O3 && **!**Q0 && Q1 && **!**Q4 && **!**Q5) || ( **!**O0 && O1 && O3 && **!**Q0 && Q2 && **!**Q3 && **!**PSW.Z) || ( **!**O0 && **!**O1 && **!**O2 && O3 && Q0 && Q1 && **!**Q4 && **!**Q5) || (O1 && O2 && O3 && **!**Q0 && Q2 && **!**Q3) || (O1 && O2 && **!**O3 && Q0 && Q1 && **!**Q2 && **!**Q4) || (O1 && O2 && **!**O3 && **!**Q0 && Q2 && **!**Q4) || (O1 && O3 && **!**Q0 && **!**Q1 && **!**Q3 && **!**Q4 && **!**Q5) || ( **!**O1 && **!**O2 && O3 && **!**Q0 && Q2 && **!**Q4) || (Q0 && Q1 && **!**Q2 && **!**Q3) || (Q0 && Q1 && **!**Q2 && Q4 && **!**Q5) || (Q0 && Q1 && **!**Q2 && **!**Q4 && Q5) || (Q0 && **!**Q1 && Q2 && **!**Q5) || (Q0 && **!**Q1 && Q3 && **!**Q4 && **!**Q5) || ( **!**Q0 && Q1 && Q2 && Q3 && **!**Q5) || ( **!**Q0 && Q1 && Q2 && **!**Q4) || ( **!**Q0 && Q1 && Q3 && **!**Q4 && **!**Q5) || ( **!**Q0 && **!**Q1 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && Q2 && **!**Q3 && Q5) || ( **!**Q1 && Q2 && **!**Q3) || ( **!**Q1 && Q2 && **!**Q4 && Q5) || (Q2 && **!**Q3 && **!**Q4 && **!**Q5) |
| D1 | (O0 && O1 && O2 && **!**O3 && Q0 && Q2 && Q3 && **!**Q4 && **!**Q5) || (O0 && **!**O1 && O2 && **!**O3 && **!**Q0 && Q1 && **!**Q2 && **!**Q3 && **!**Q4) || (O0 && **!**O1 && **!**O2 && O3 && **!**Q0 && Q2 && Q4 && **!**Q5) || (O0 && **!**O1 && **!**O3 && Q0 && **!**Q1 && **!**Q2 && **!**Q3) || ( **!**O0 && O1 && O2 && O3 && Q1 && **!**Q2 && Q3 && Q4 && **!**Q5) || ( **!**O0 && O1 && **!**O2 && O3 && **!**Q0 && Q2 && Q4 && **!**Q5 && **!**PSW.Z) || ( **!**O0 && **!**O1 && O2 && O3 && Q0 && Q1 && **!**Q2 && Q3 && **!**Q5) || ( **!**O0 && **!**O1 && O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q4 && **!**Q5) || ( **!**O0 && **!**O1 && **!**O2 && O3 && Q2 && Q3 && **!**Q4 && **!**Q5) || ( **!**O0 && **!**O2 && **!**O3 && Q0 && **!**Q1 && **!**Q2 && **!**Q3) || ( **!**O0 && **!**O2 && **!**O3 && **!**Q0 && Q1 && **!**Q2 && **!**Q3 && **!**Q4) || (O1 && O2 && O3 && PRIV && **!**Q0 && Q2 && Q4 && **!**Q5) || (O1 && O2 && **!**Q0 && **!**Q1 && **!**Q3 && **!**Q4 && **!**Q5) || (O3 && **!**Q0 && **!**Q1 && **!**Q3 && **!**Q4 && **!**Q5) || (Q0 && **!**Q1 && Q2 && Q3 && **!**Q5) || (Q0 && **!**Q1 && **!**Q2 && Q4 && **!**Q5) || (Q0 && **!**Q1 && **!**Q3 && Q5) || (Q0 && **!**Q1 && **!**Q4 && Q5) || (Q0 && **!**Q2 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && Q1 && Q2 && Q3 && **!**Q5) || ( **!**Q0 && Q1 && **!**Q3 && Q5) || ( **!**Q0 && Q1 && **!**Q4 && Q5) || ( **!**Q0 && **!**Q1 && Q2 && **!**Q3 && **!**Q5) || ( **!**Q0 && **!**Q1 && Q2 && Q4 && **!**Q5) |
| D0 | (O0 && O1 && **!**O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q5) || (O0 && **!**O1 && O2 && O3 && Q0 && Q1 && **!**Q2 && Q3 && **!**Q4 && **!**Q5) || (O0 && **!**O1 && **!**O2 && O3 && **!**Q0 && Q1 && Q2 && Q4 && **!**Q5 && PSW.N) || (O0 && **!**O1 && **!**O3 && **!**Q0 && Q1 && **!**Q2 && **!**Q3 && **!**Q4) || ( **!**O0 && O1 && O2 && O3 && **!**Q0 && **!**Q2 && Q3 && Q4 && **!**Q5) || ( **!**O0 && O1 && O2 && **!**O3 && Q1 && Q2 && Q3 && **!**Q4 && **!**Q5) || ( **!**O0 && O1 && O3 && **!**Q0 && Q1 && Q2 && Q4 && **!**Q5 && **!**PSW.Z) || ( **!**O0 && **!**O1 && O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && Q3 && **!**Q5) || ( **!**O0 && **!**O1 && **!**O2 && O3 && **!**PRIV && Q1 && Q2 && Q3 && **!**Q4 && **!**Q5 && Timeout) || ( **!**O0 && **!**O1 && **!**O2 && **!**O3 && **!**Q0 && **!**Q2 && **!**Q3 && **!**Q4) || ( **!**O0 && **!**O1 && **!**O2 && **!**Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4) || (O1 && O2 && O3 && Q1 && Q2 && **!**Q3 && Q4 && **!**Q5) || (O1 && O2 && **!**O3 && **!**Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4) || (O1 && O2 && **!**O3 && **!**Q0 && Q2 && Q3 && **!**Q4) || ( **!**O1 && O2 && O3 && **!**Q0 && **!**Q1 && **!**Q2 && **!**Q3 && **!**Q4) || ( **!**PRIV && Q0 && Q1 && **!**Q2 && Q3 && Q4 && **!**Q5 && Timeout) || ( **!**PRIV && **!**Q0 && Q1 && **!**Q2 && **!**Q3 && Q4 && Timeout) || ( **!**PRIV && **!**Q0 && **!**Q1 && Q2 && **!**Q3 && Timeout) || ( **!**PRIV && **!**Q0 && **!**Q1 && Q2 && Q4 && **!**Q5 && Timeout) || ( **!**Q0 && Q1 && Q2 && Q3 && **!**Q5) || ( **!**Q0 && **!**Q1 && **!**Q2 && Q3 && Q4 && **!**Q5) || ( **!**Q0 && **!**Q3 && Q5) || ( **!**Q0 && **!**Q4 && Q5) || ( **!**Q1 && **!**Q3 && Q4 && Q5) |

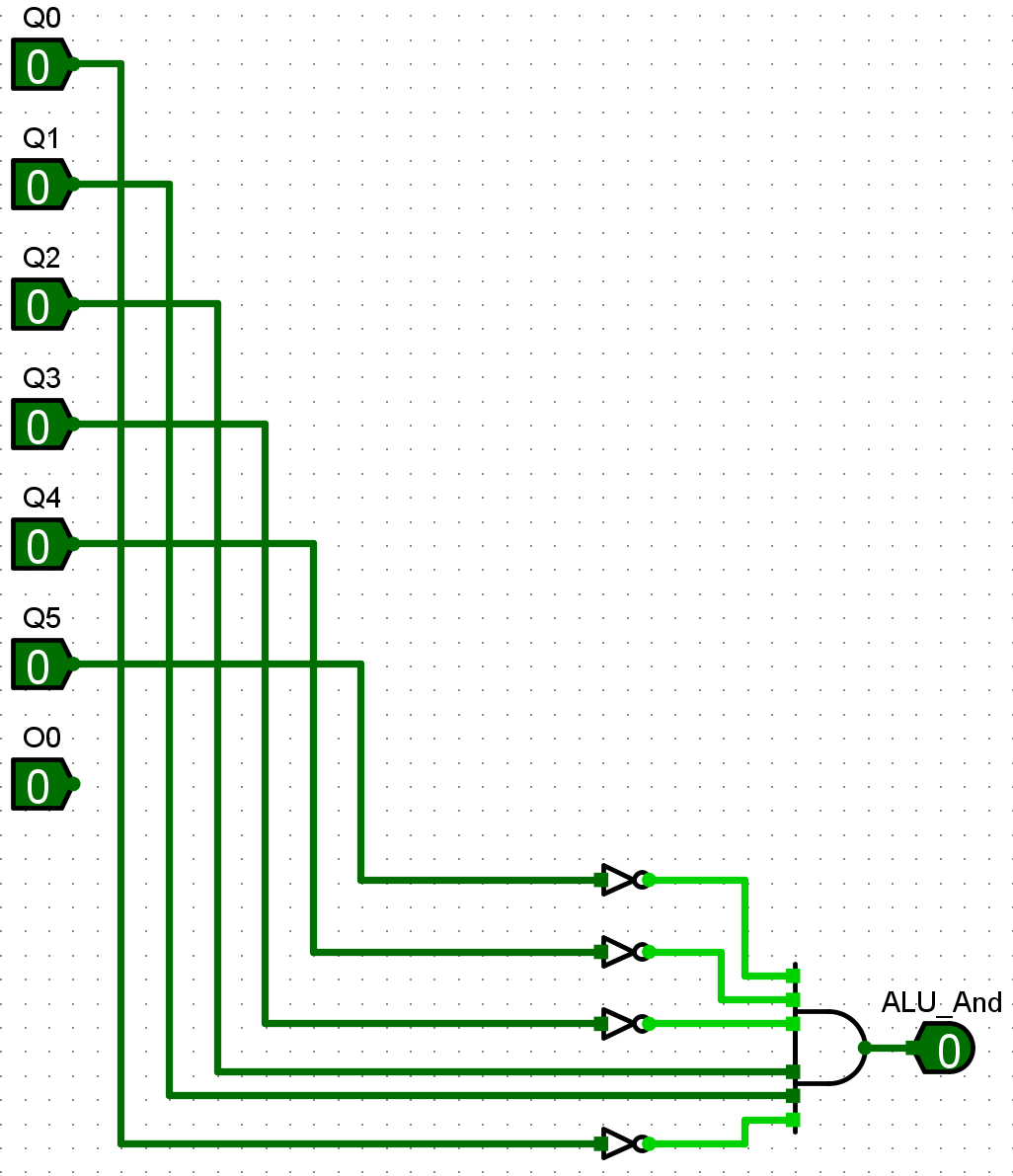
1. **Gate-level Implementation:**

The last step for this control unit state machine was to implement it at a gate level.

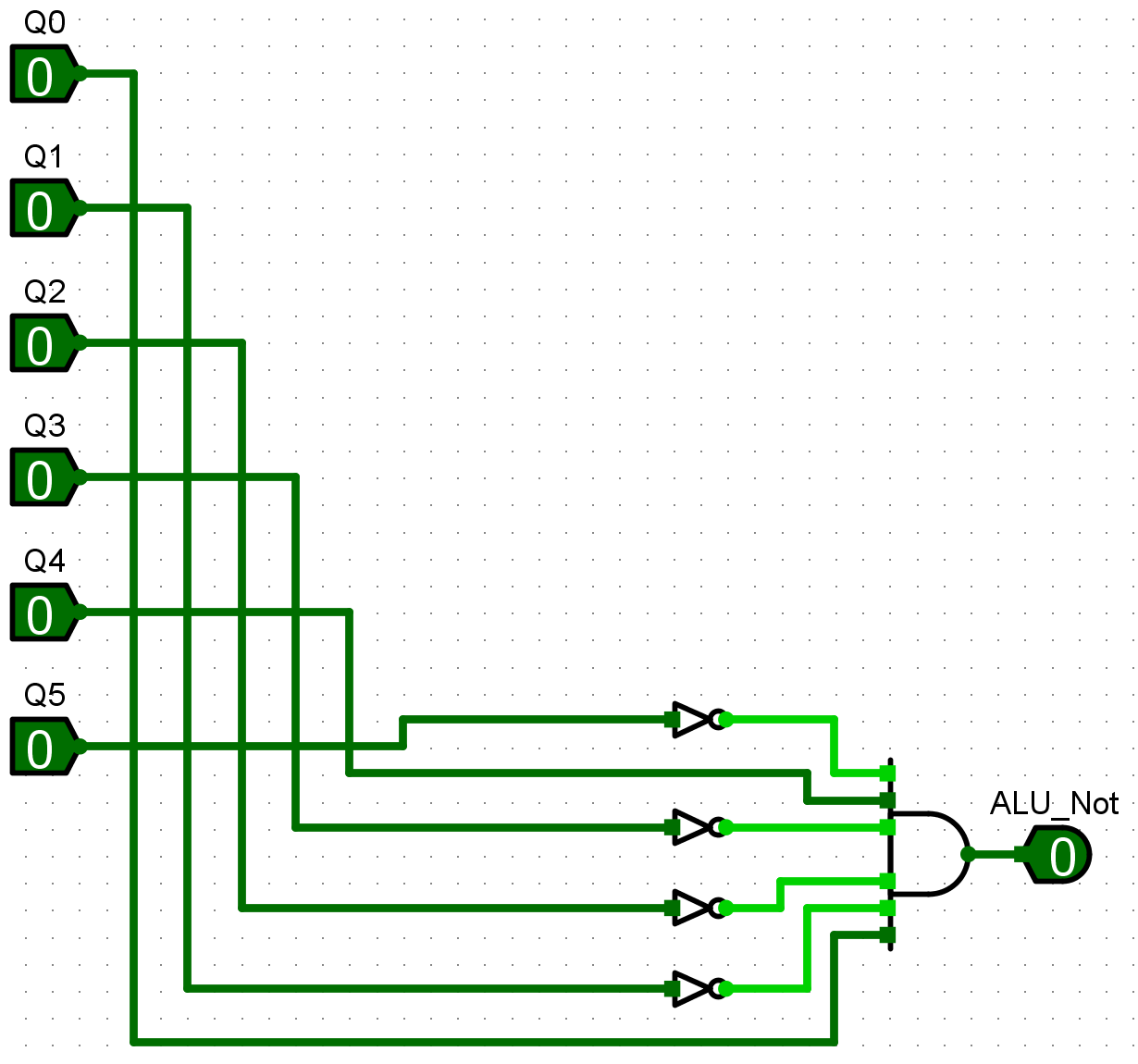
**Figure 5: ALU\_Add Circuit**

****

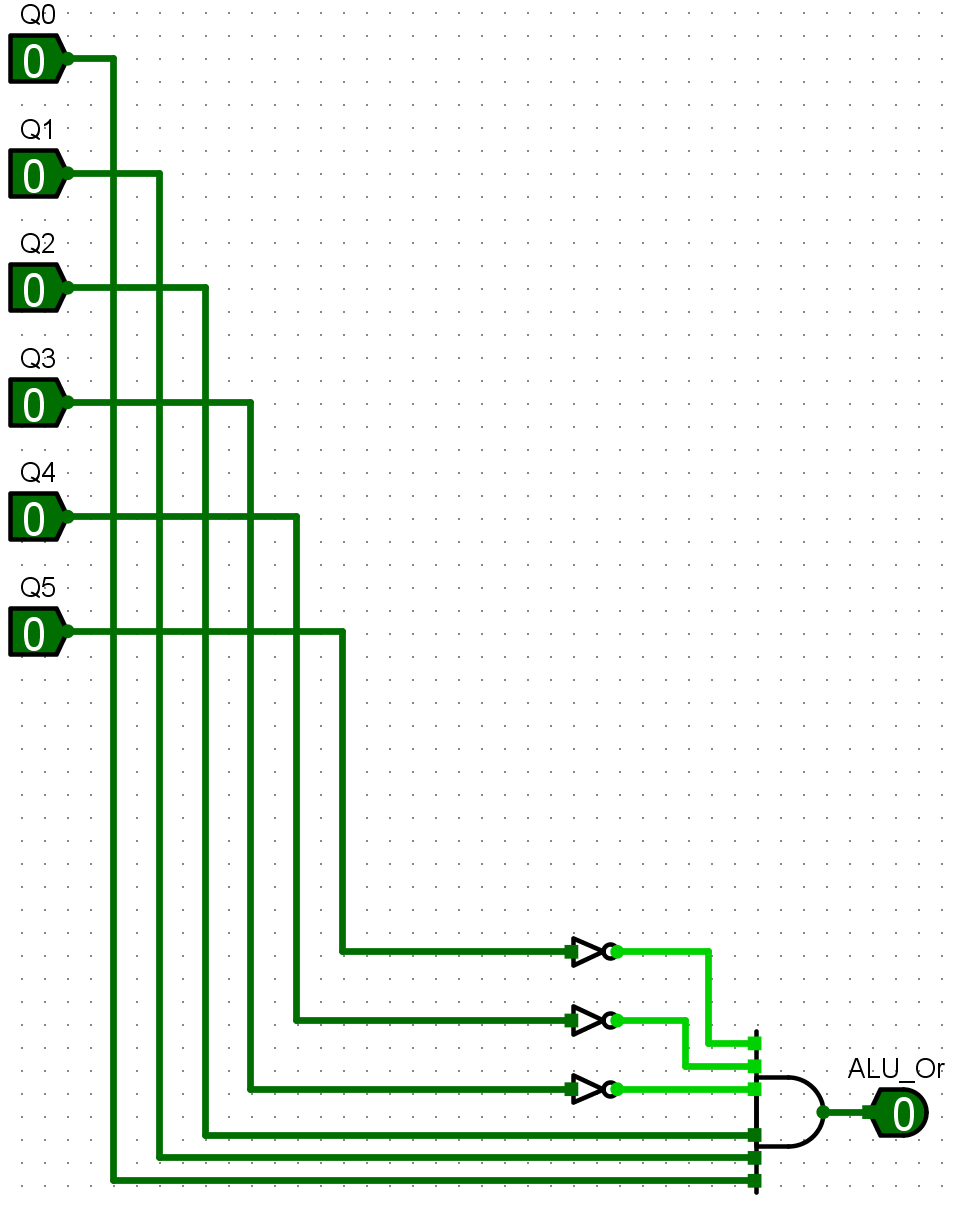
**Figure 6: ALU\_And Circuit**

****

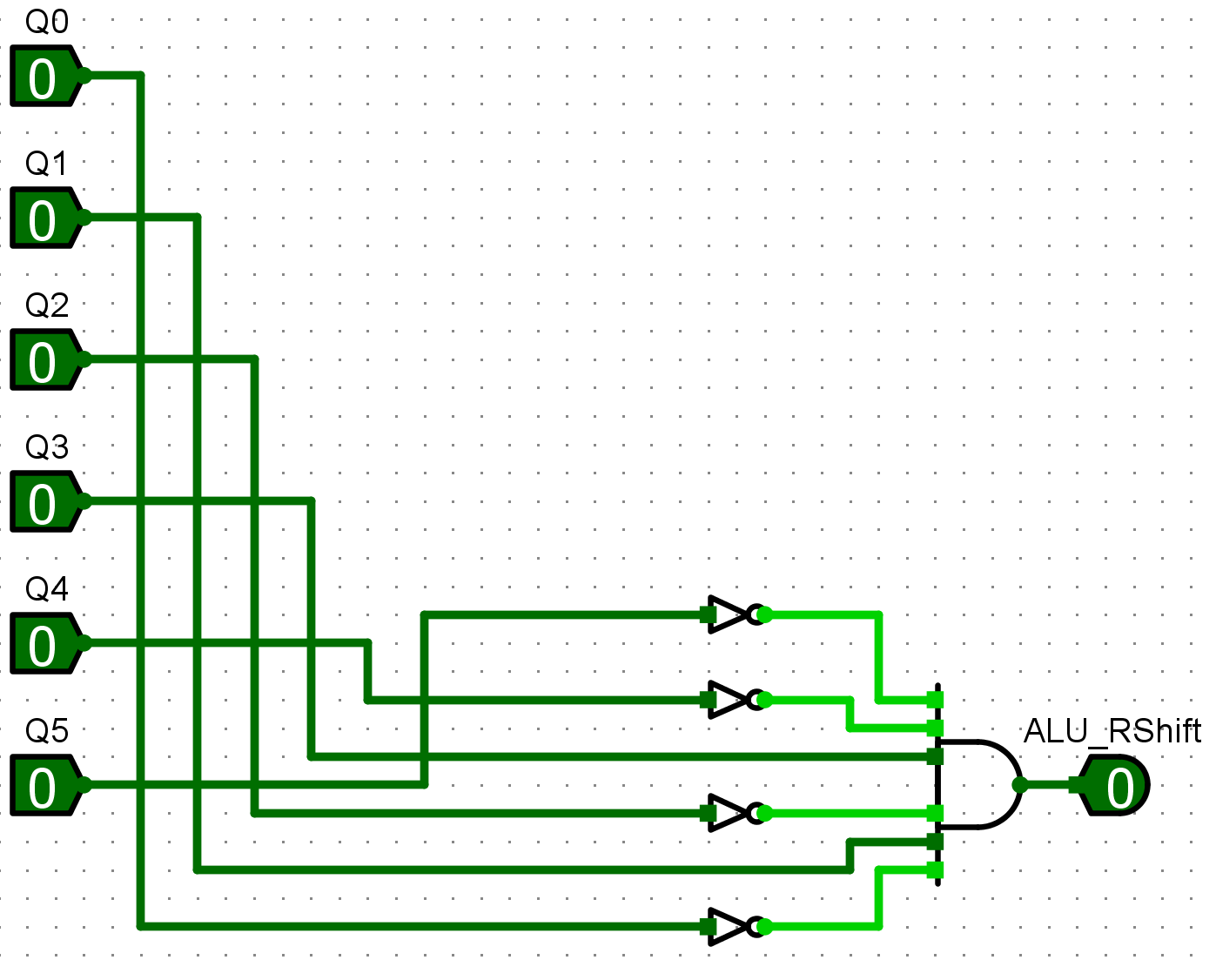
**Figure 7: ALU\_Not Circuit**



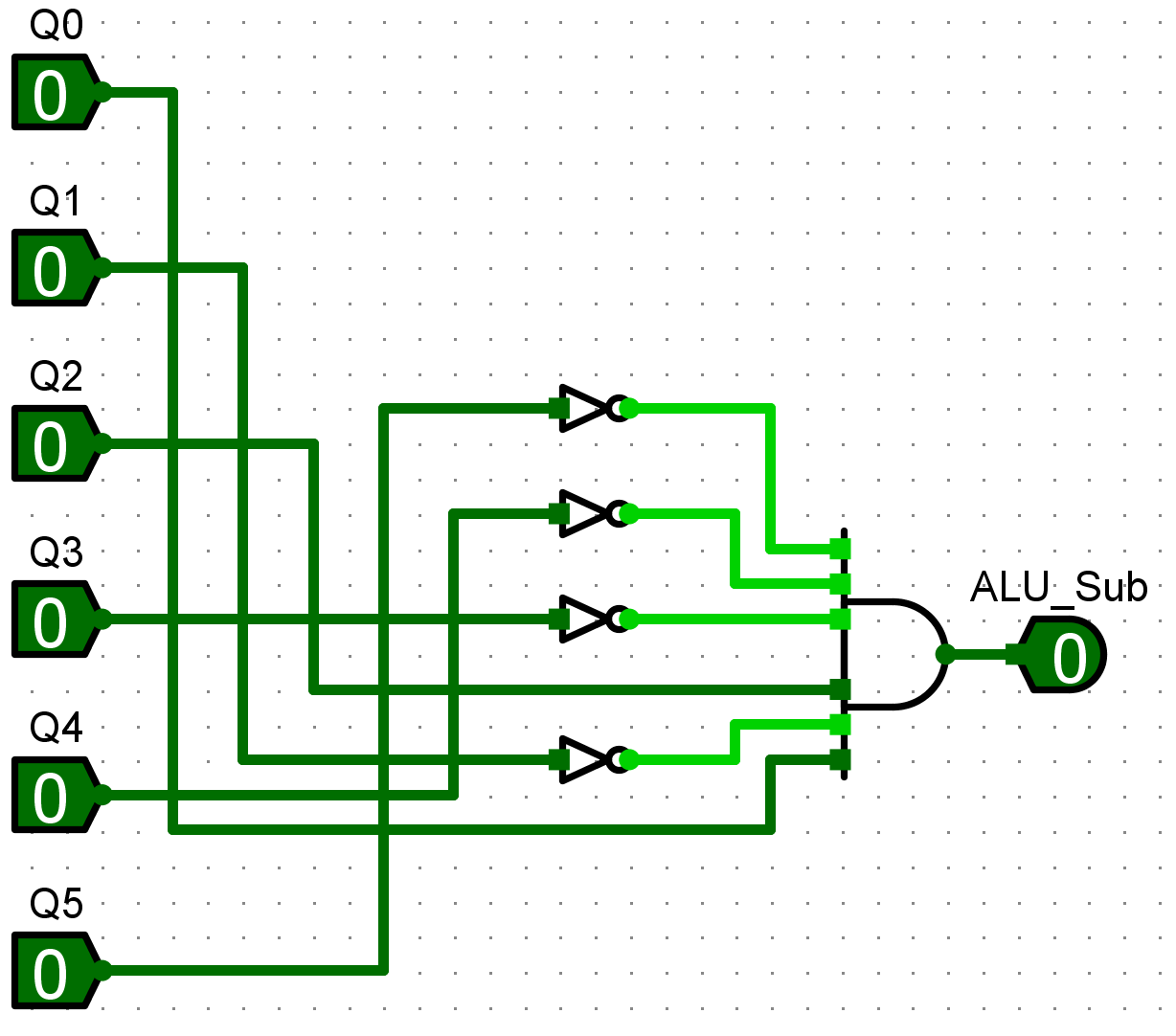
**Figure 8: ALU\_Or Circuit**



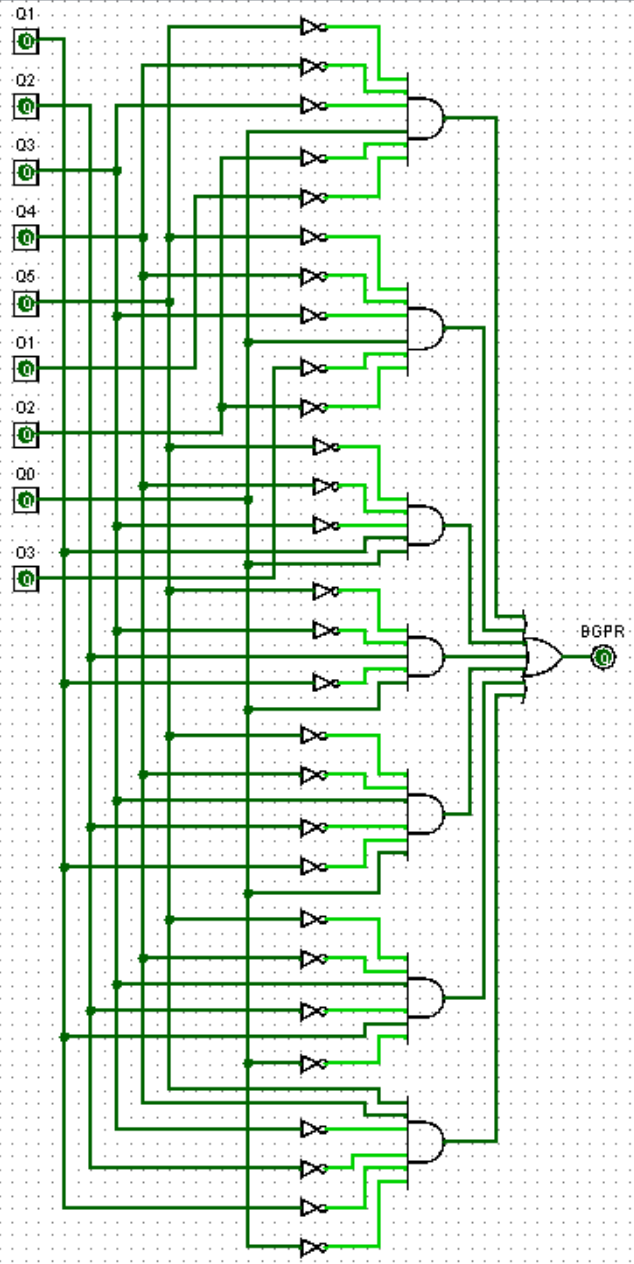
**Figure 9: ALU\_Rshift Circuit**



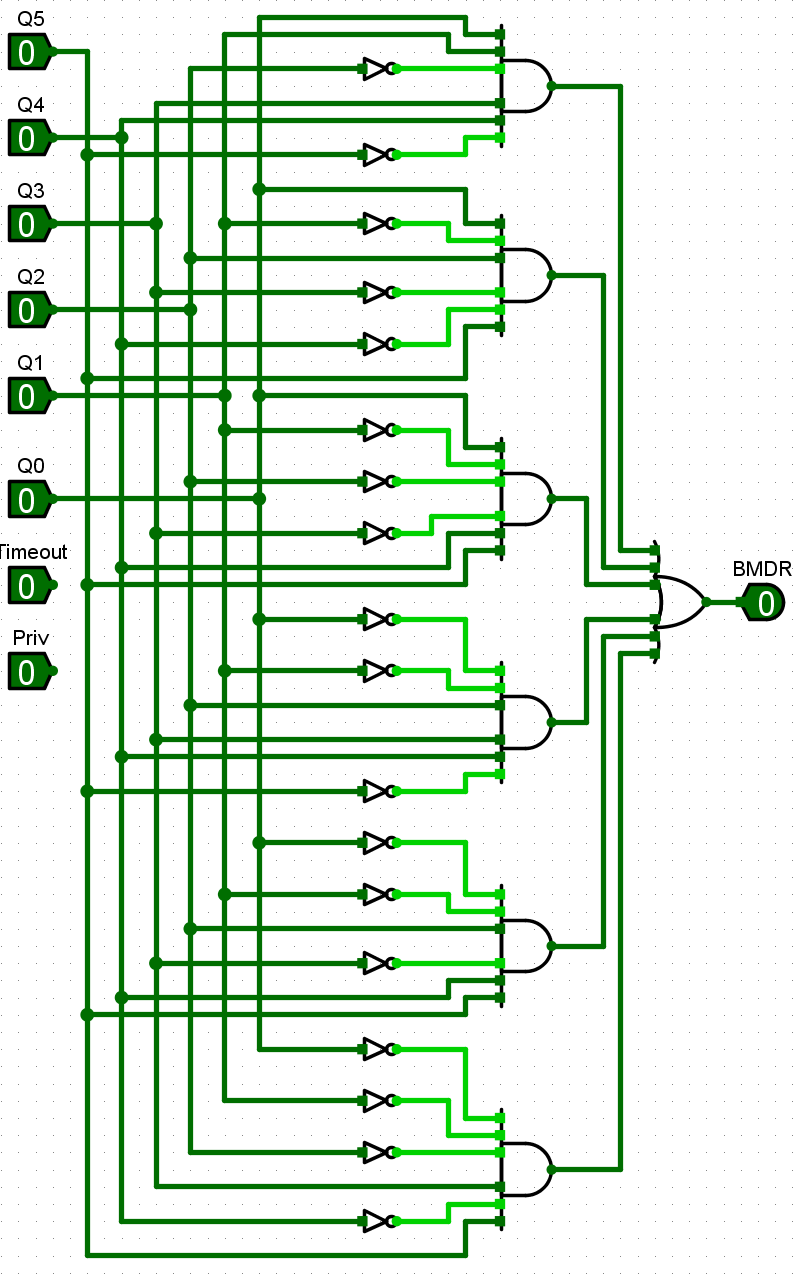
**Figure 10: ALU\_Subtract Circuit**



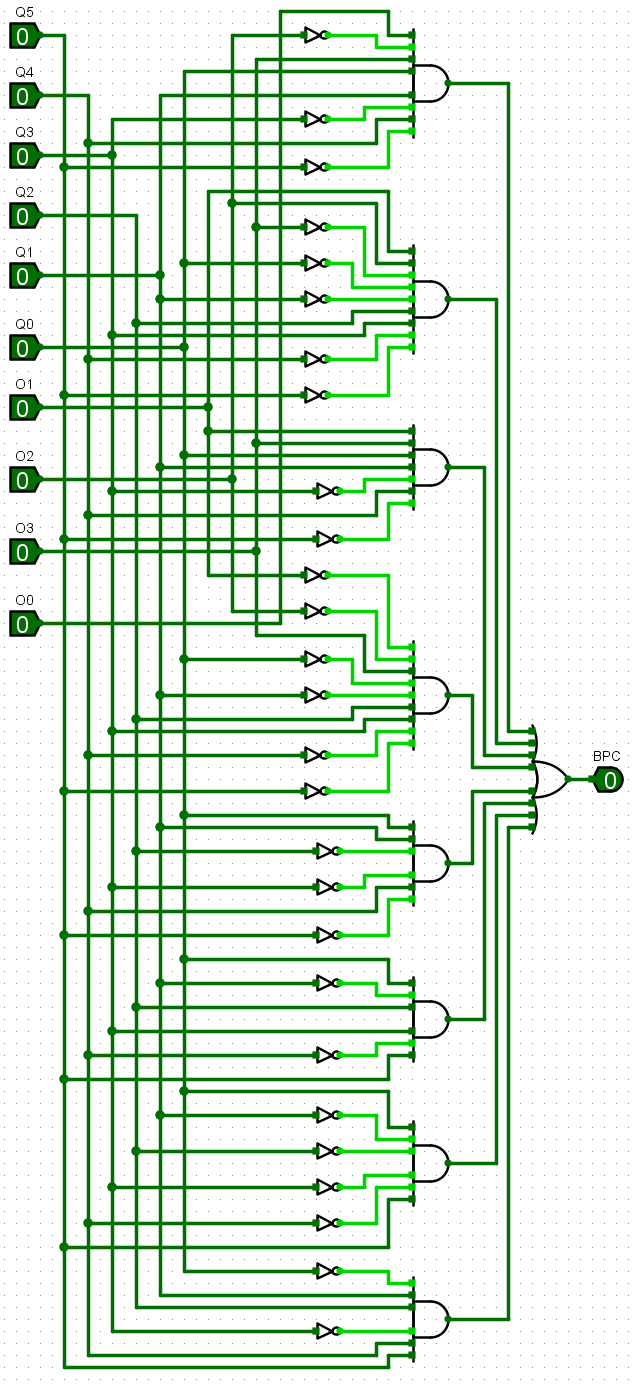
**Figure 11: BGPR Circuit**



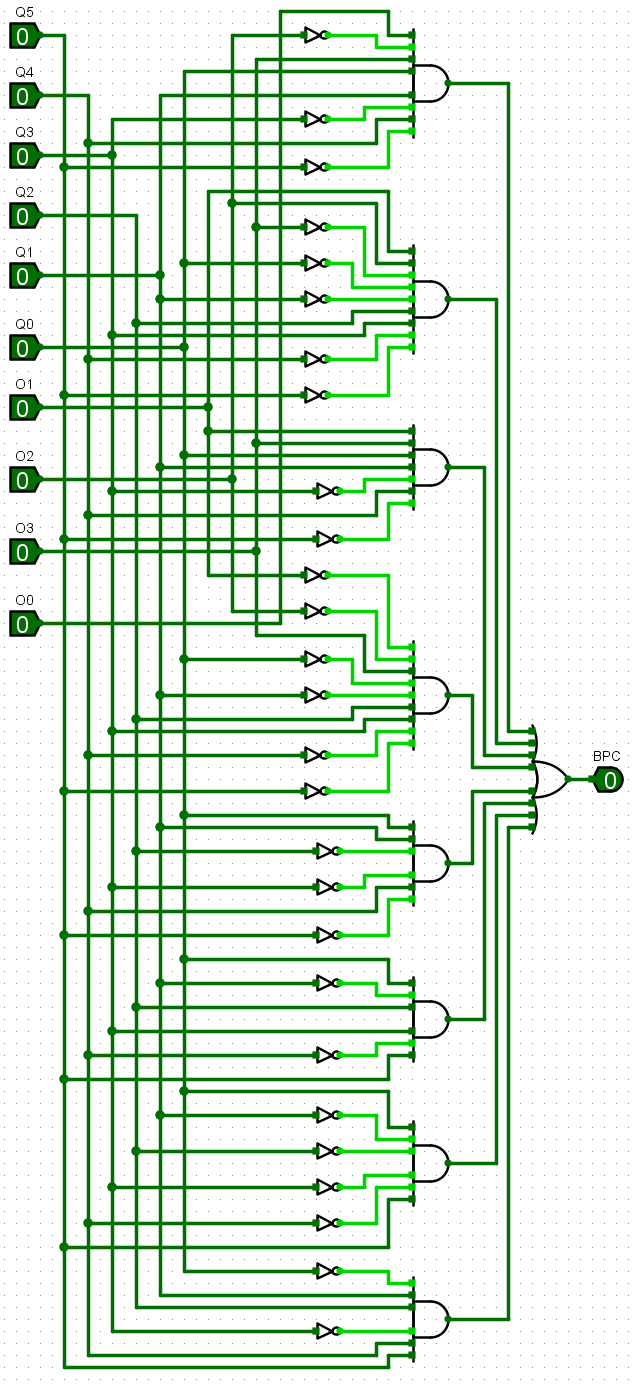
**Figure 12: BMDR Circuit**



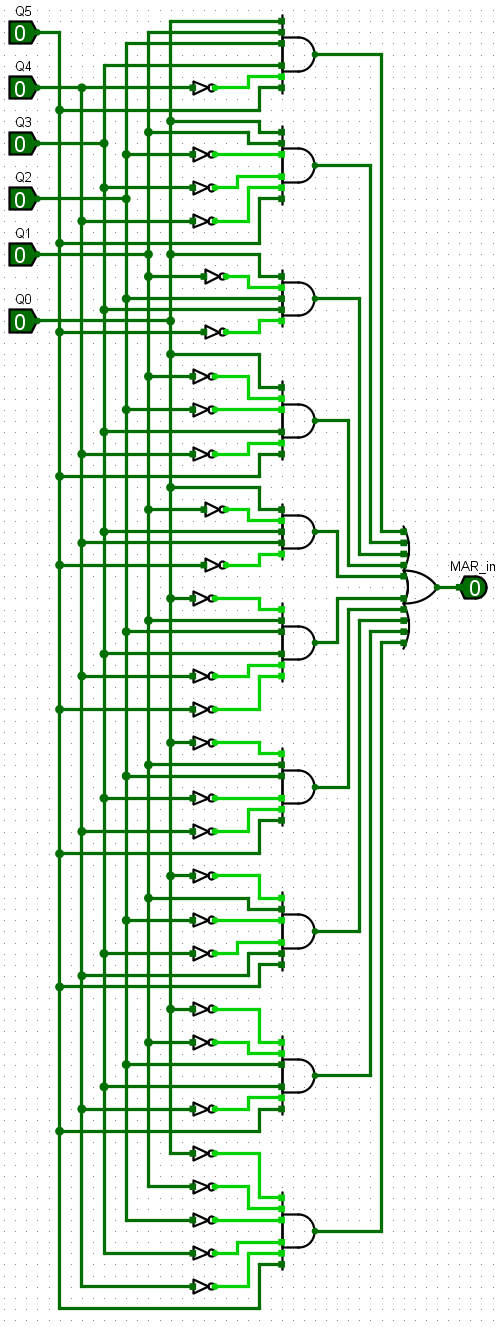
**Figure 13: BPC Circuit**



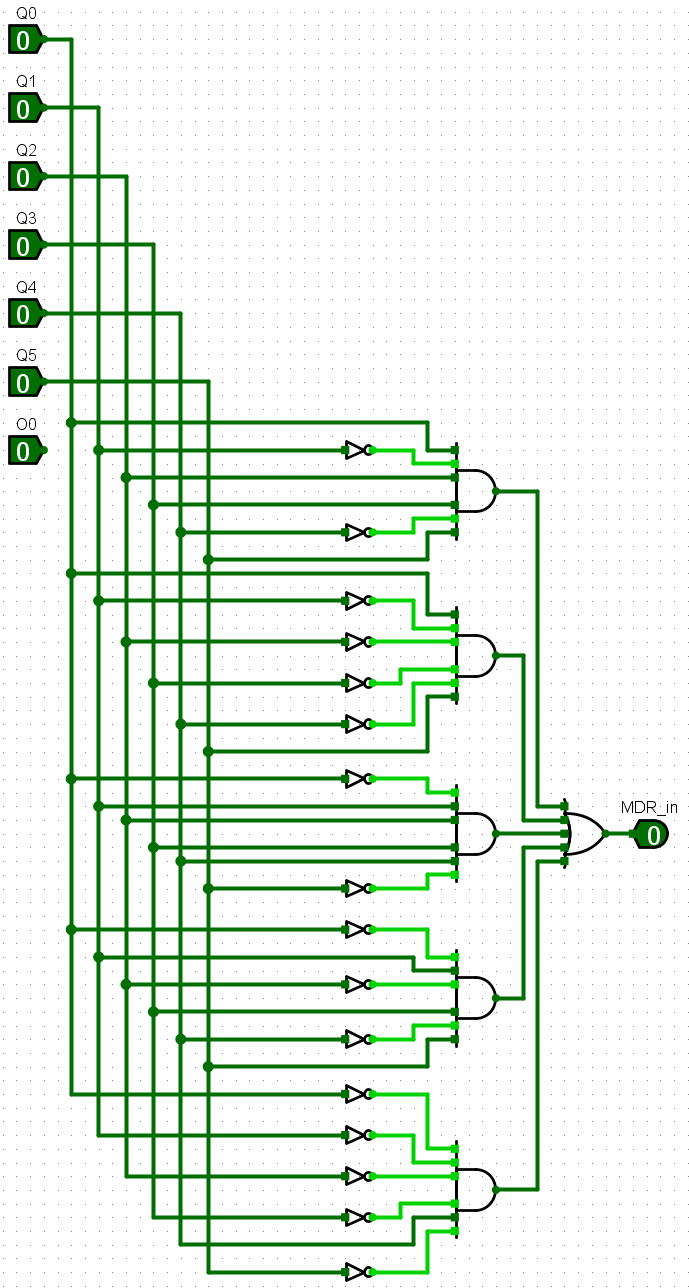
**Figure 14: Complete Encoding Circuit**



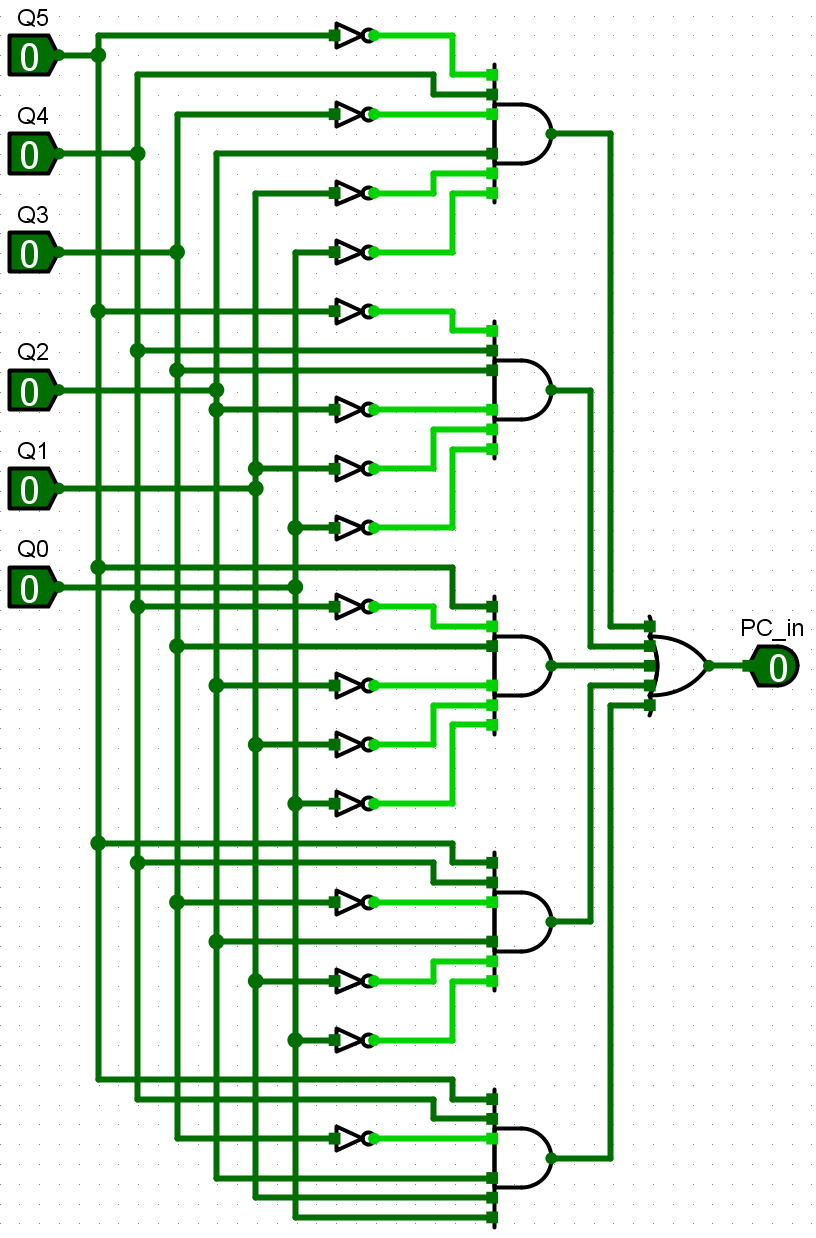
**Figure 15: MARin Circuit**



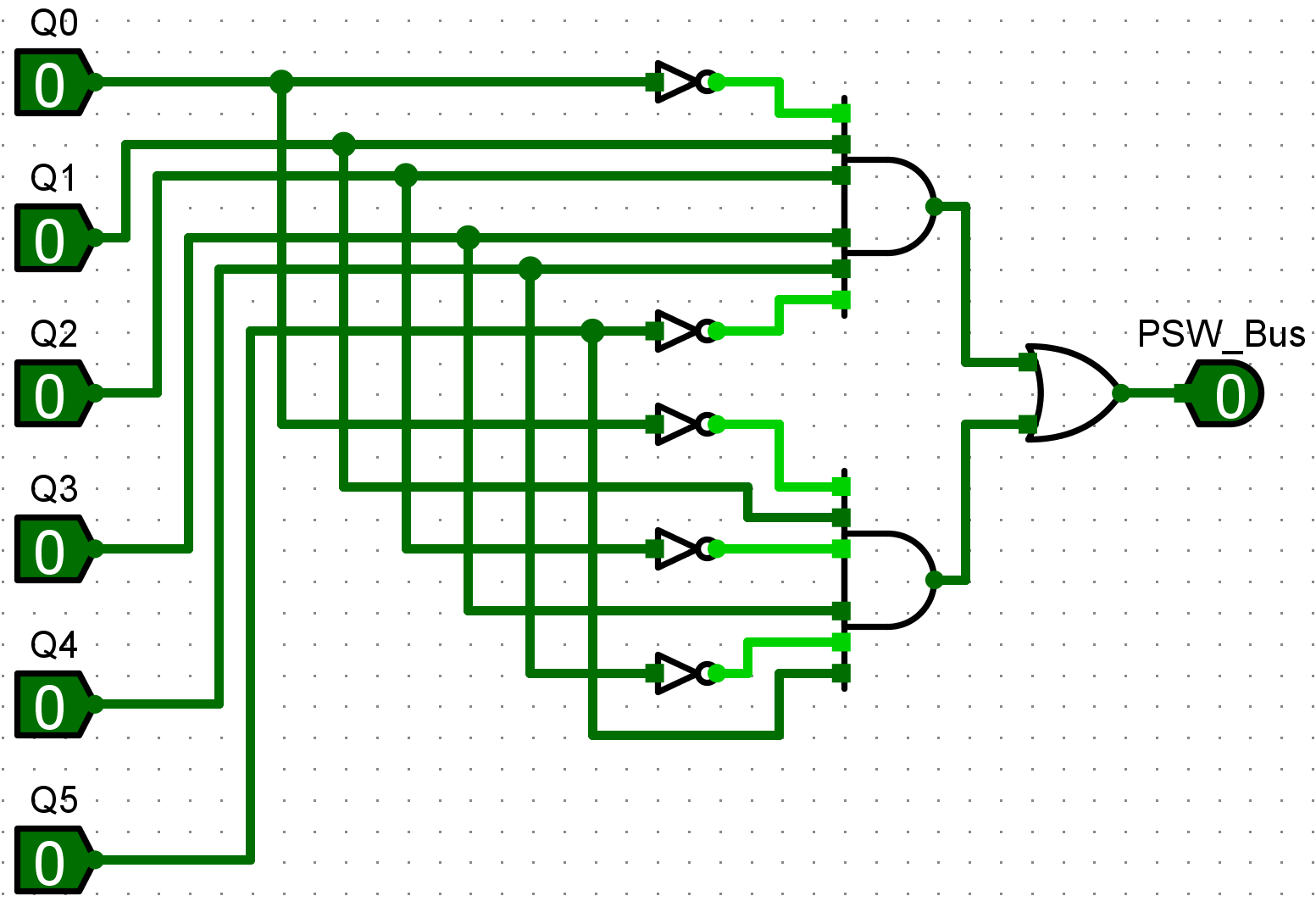
**Figure 16: MDRin Circuit**



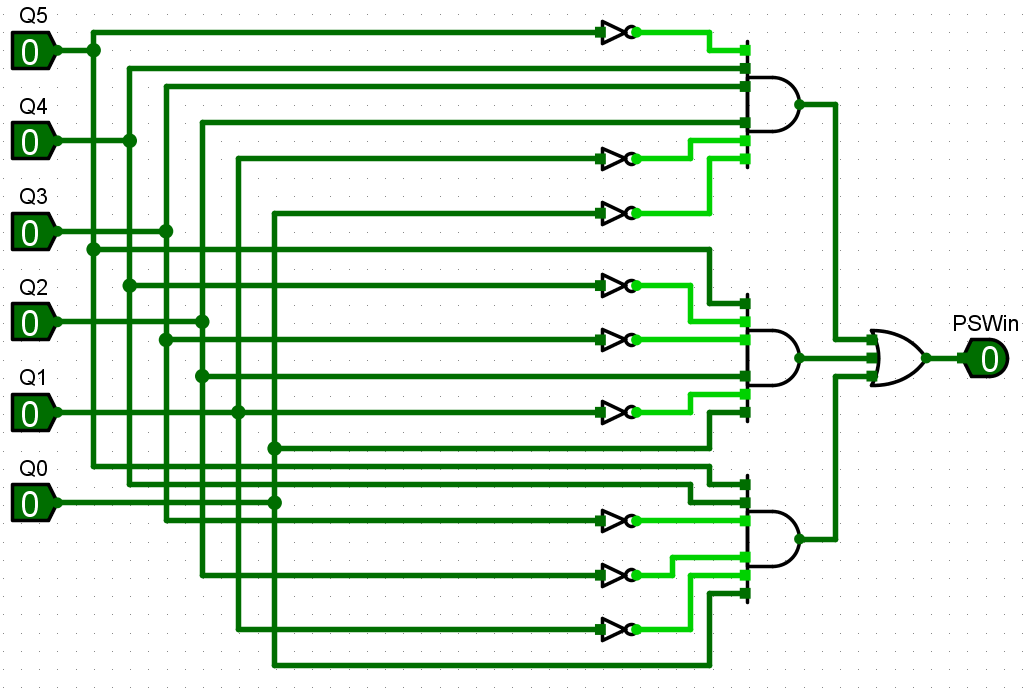
**Figure 17: PCin Circuit**



**Figure 18: PSWbus Circuit**



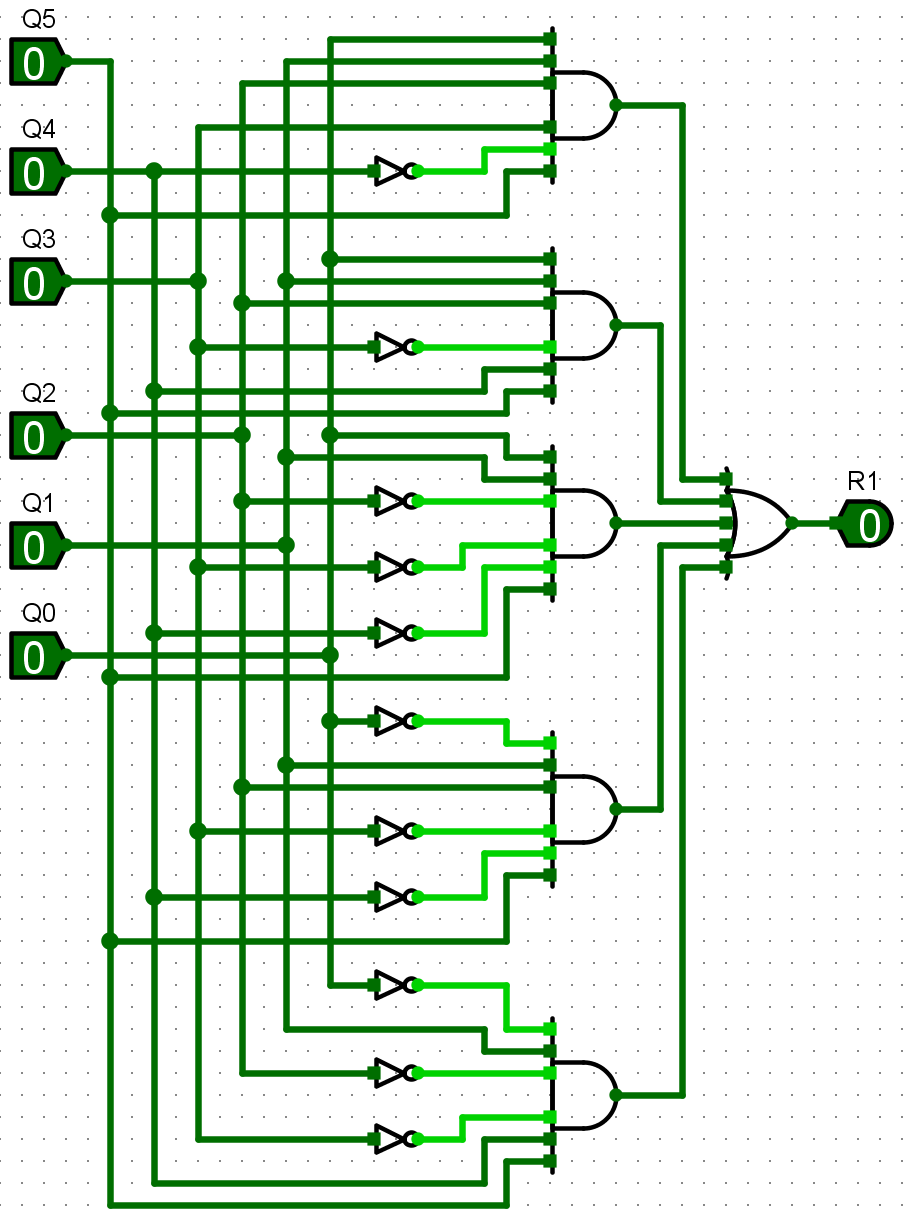
**Figure 19: PSWin Circuit**



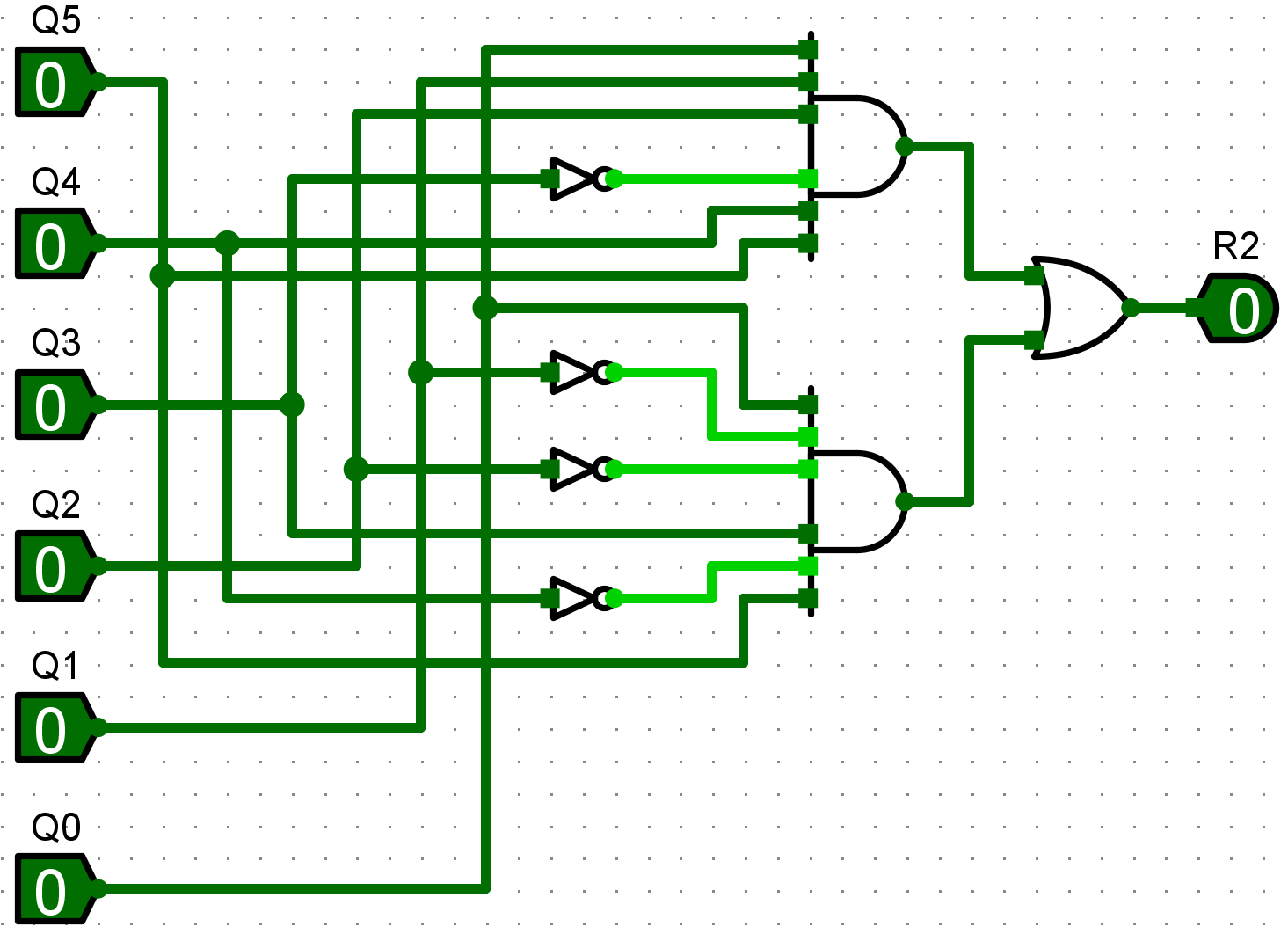
**Figure 20: R0 Circuit**



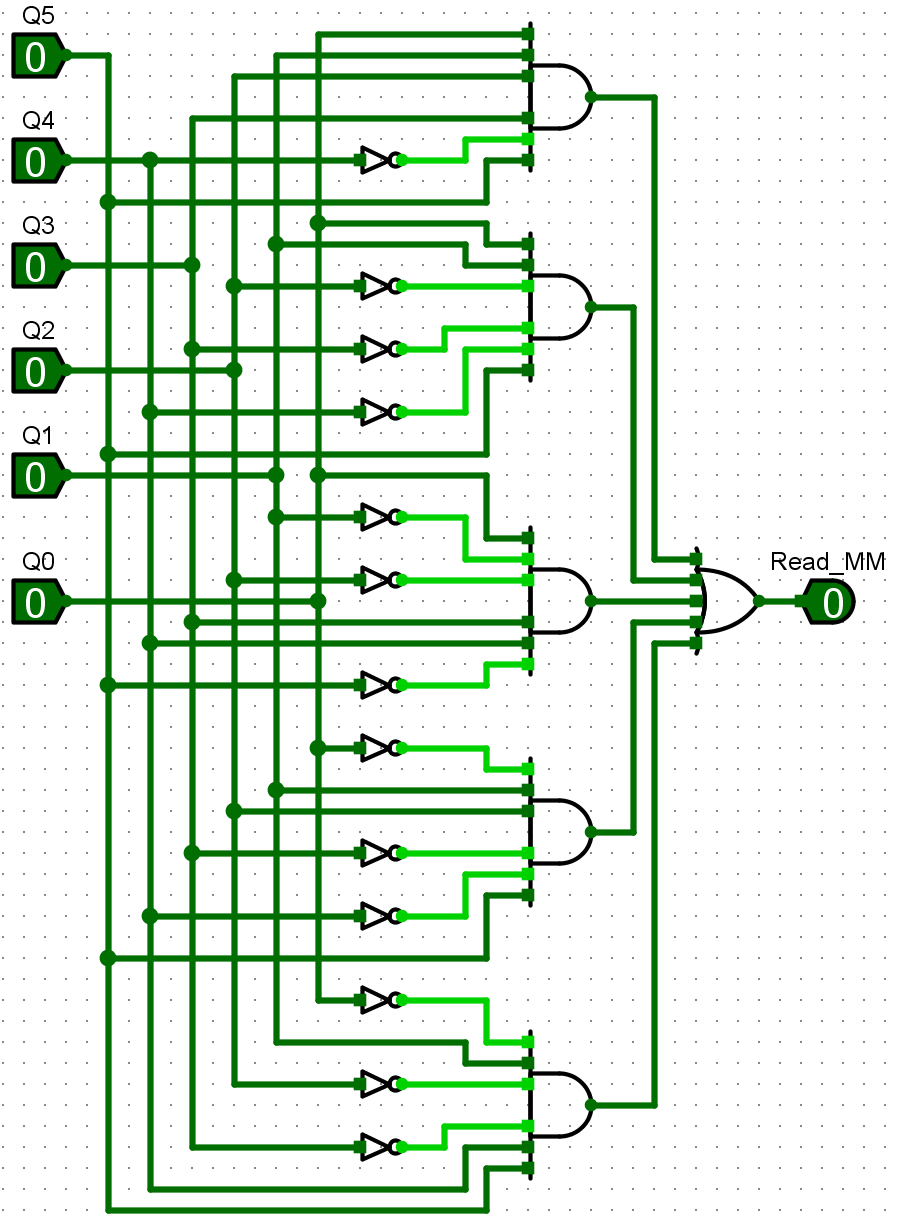
**Figure 21: R1 Circuit**



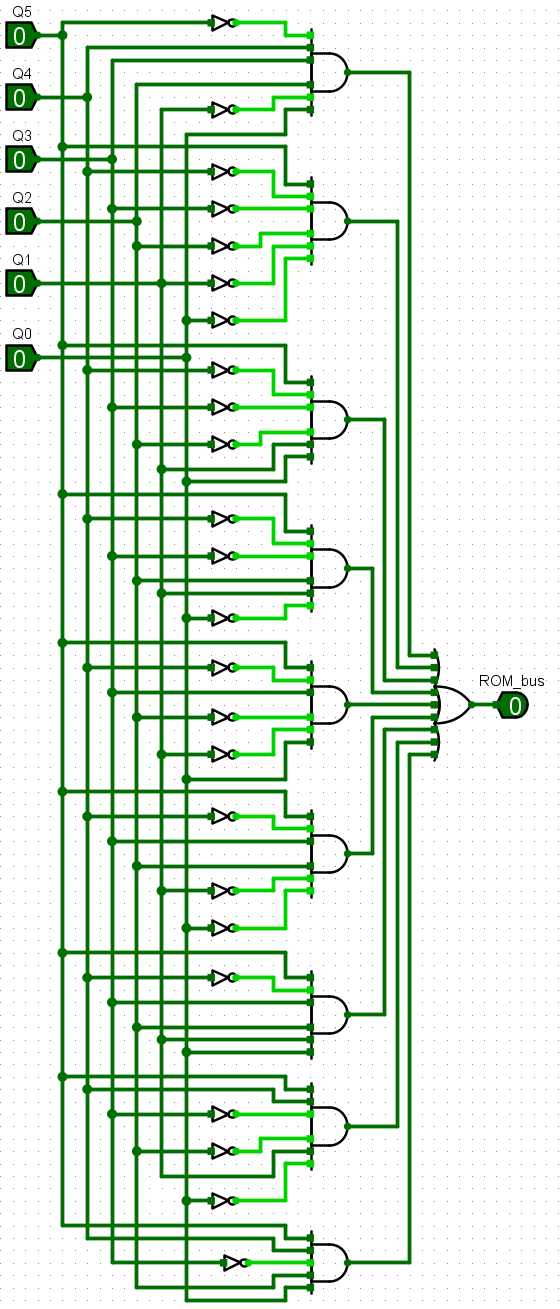
**Figure 22: R2 Circuit**



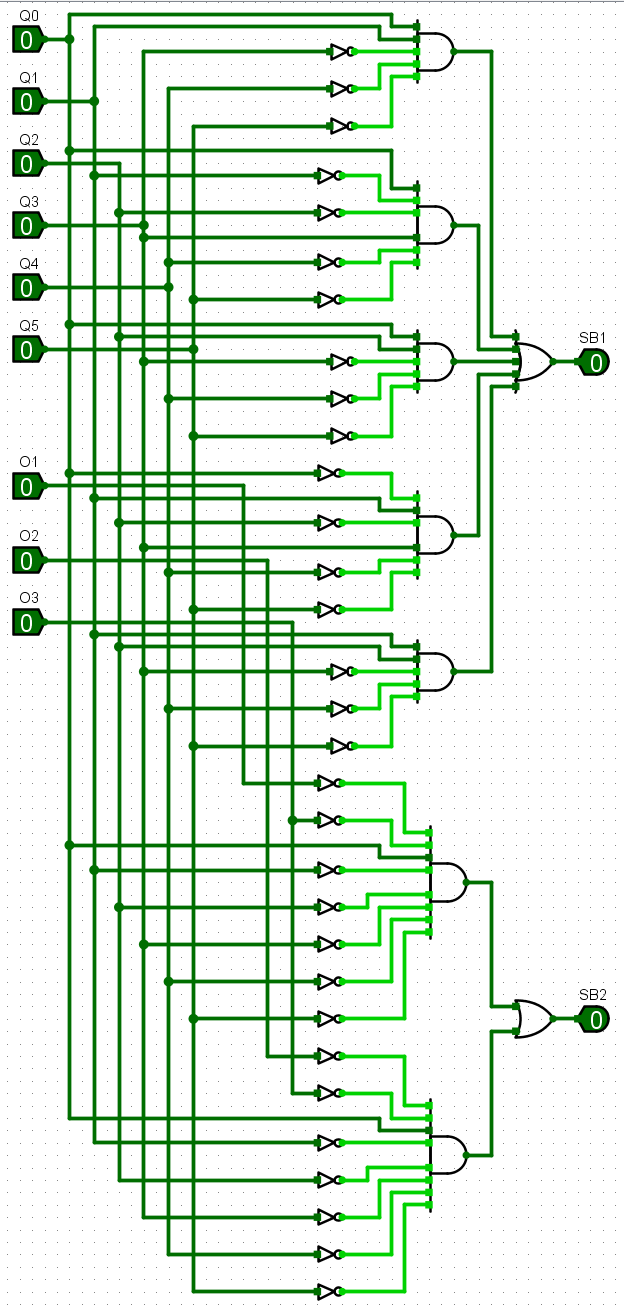
**Figure 23: Read\_MM Circuit**



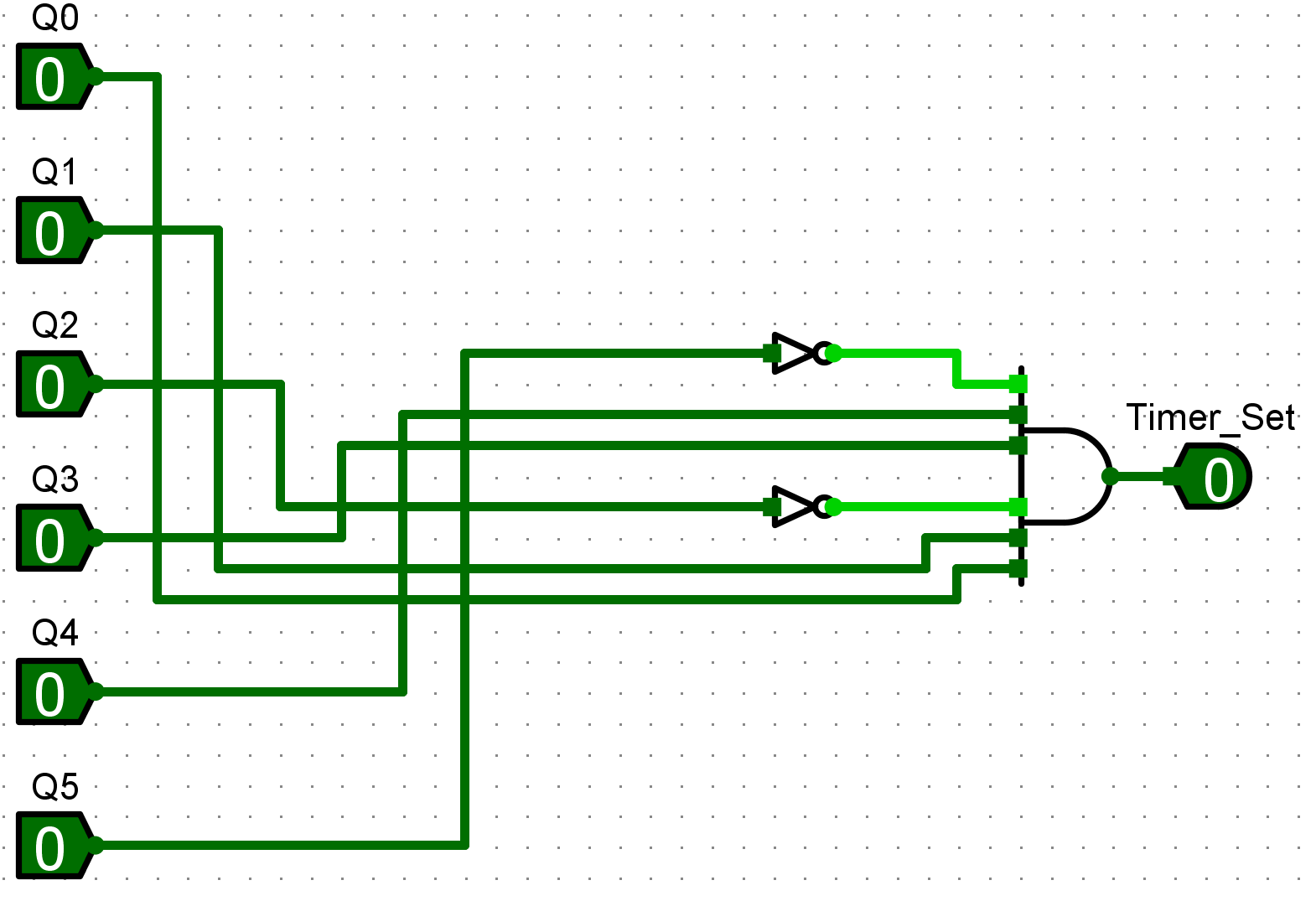
**Figure 24: ROMbus Circuit**



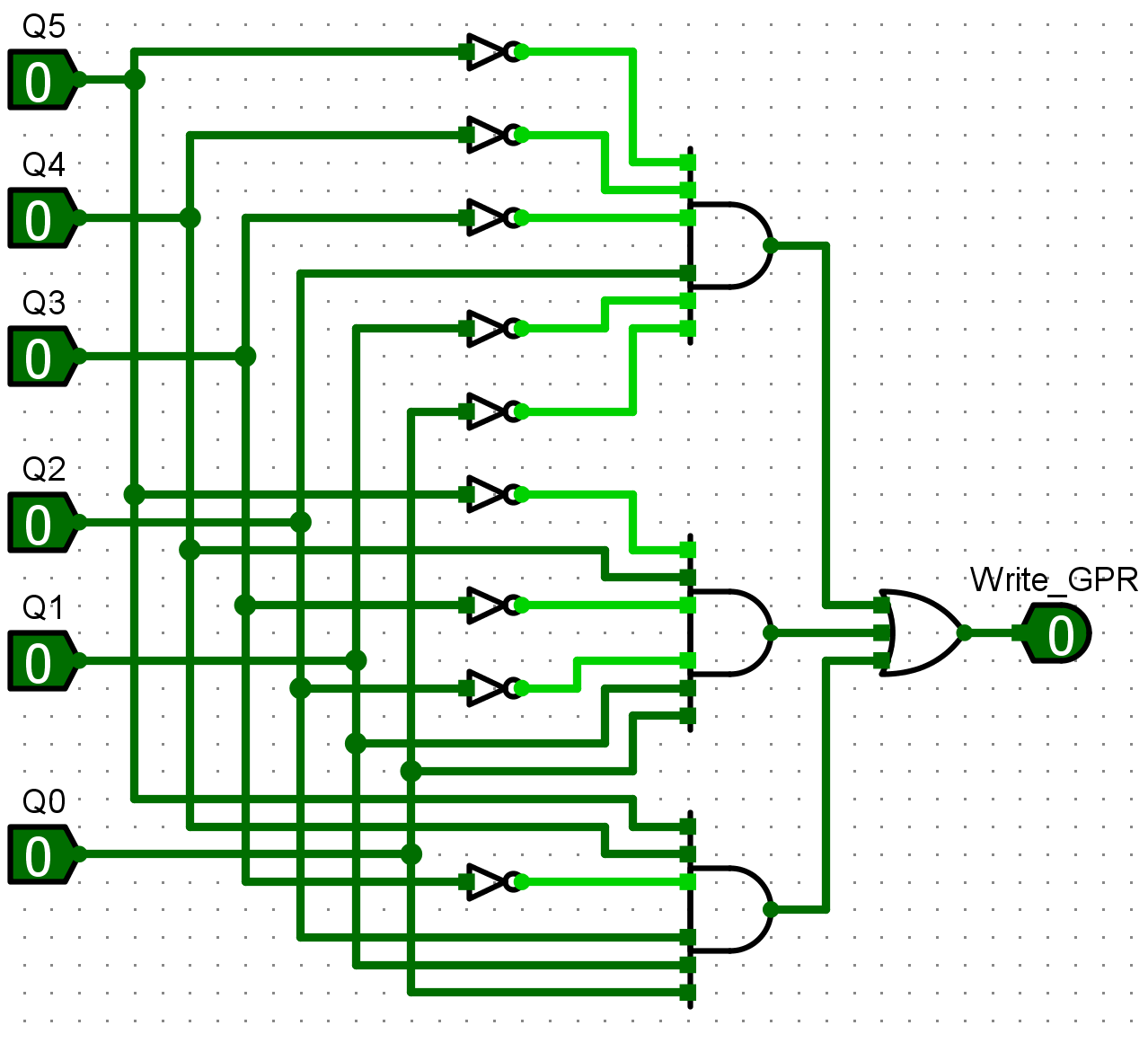
**Figure 25: Complete SB Circuit**



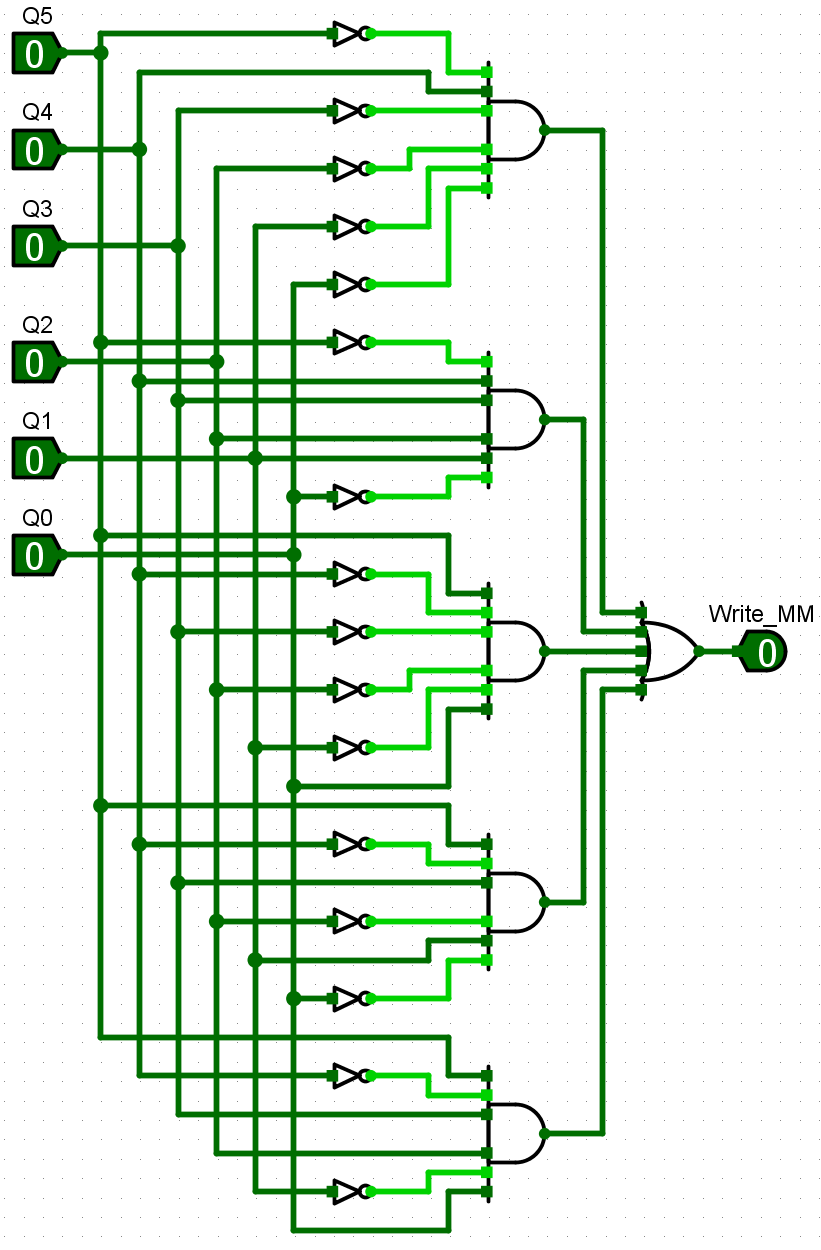
**Figure 26: Timer Set Circuit**



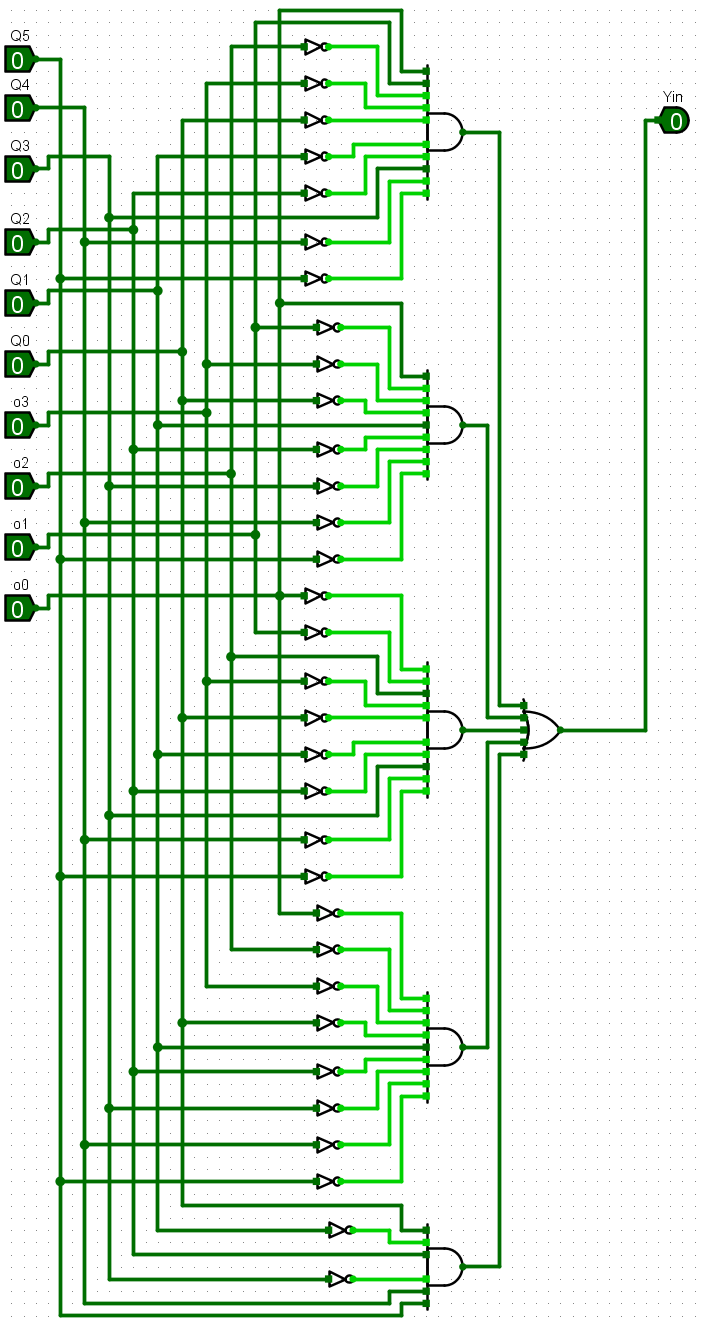
**Figure 27: Write\_GPR Circuit**



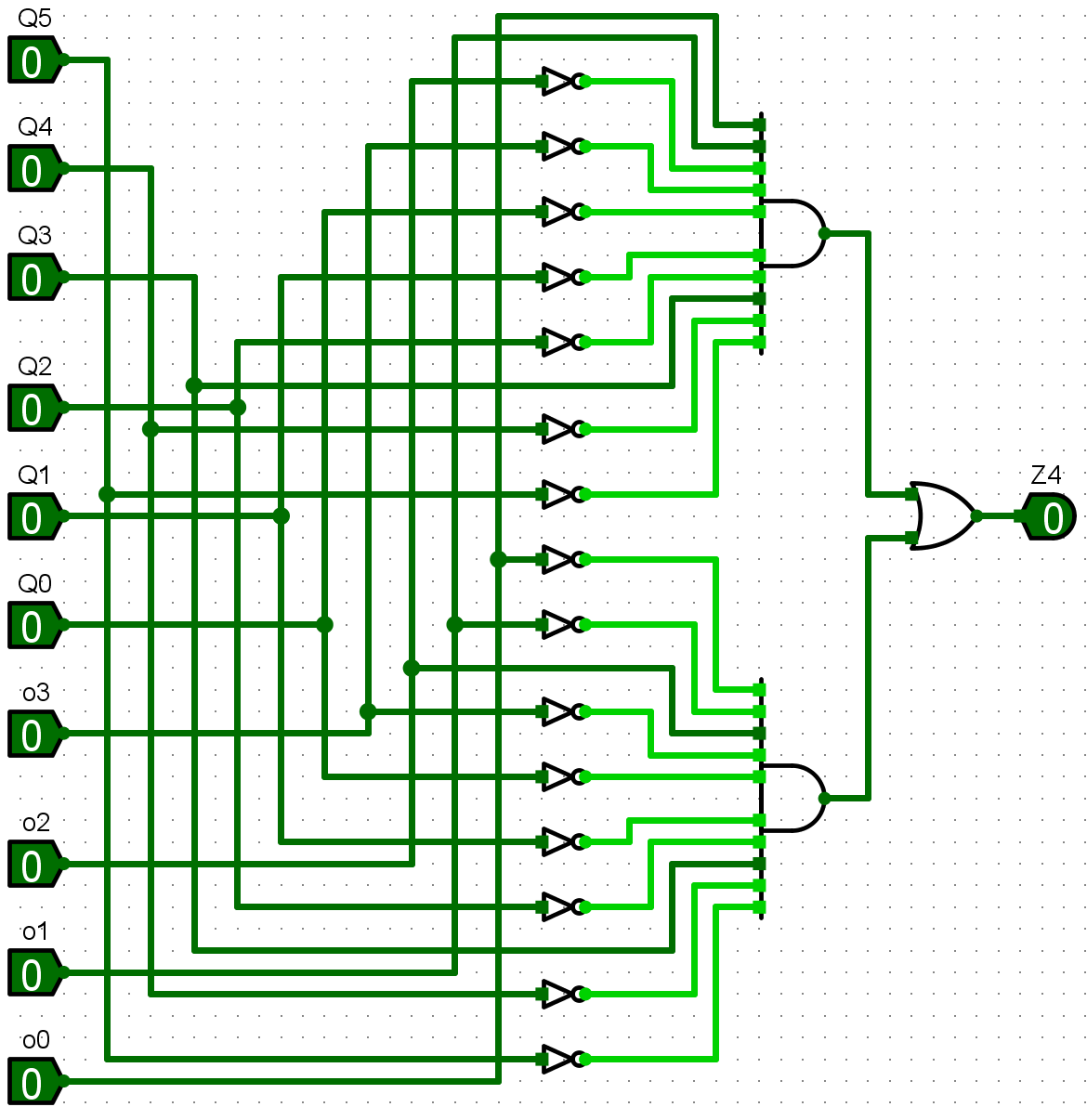
**Figure 28: Write\_MM Circuit**



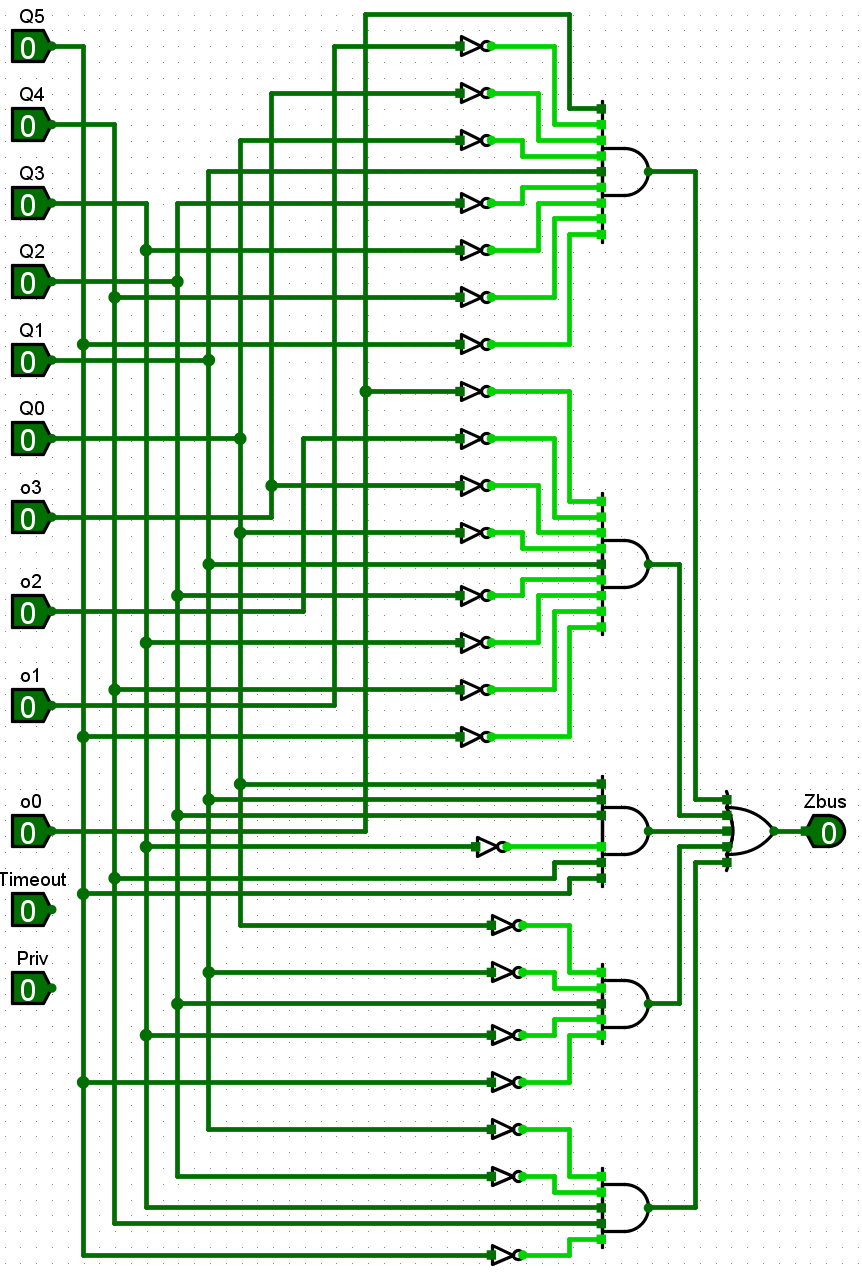
**Figure 29: Yin Circuit**



**Figure 30: Z4 Circuit**



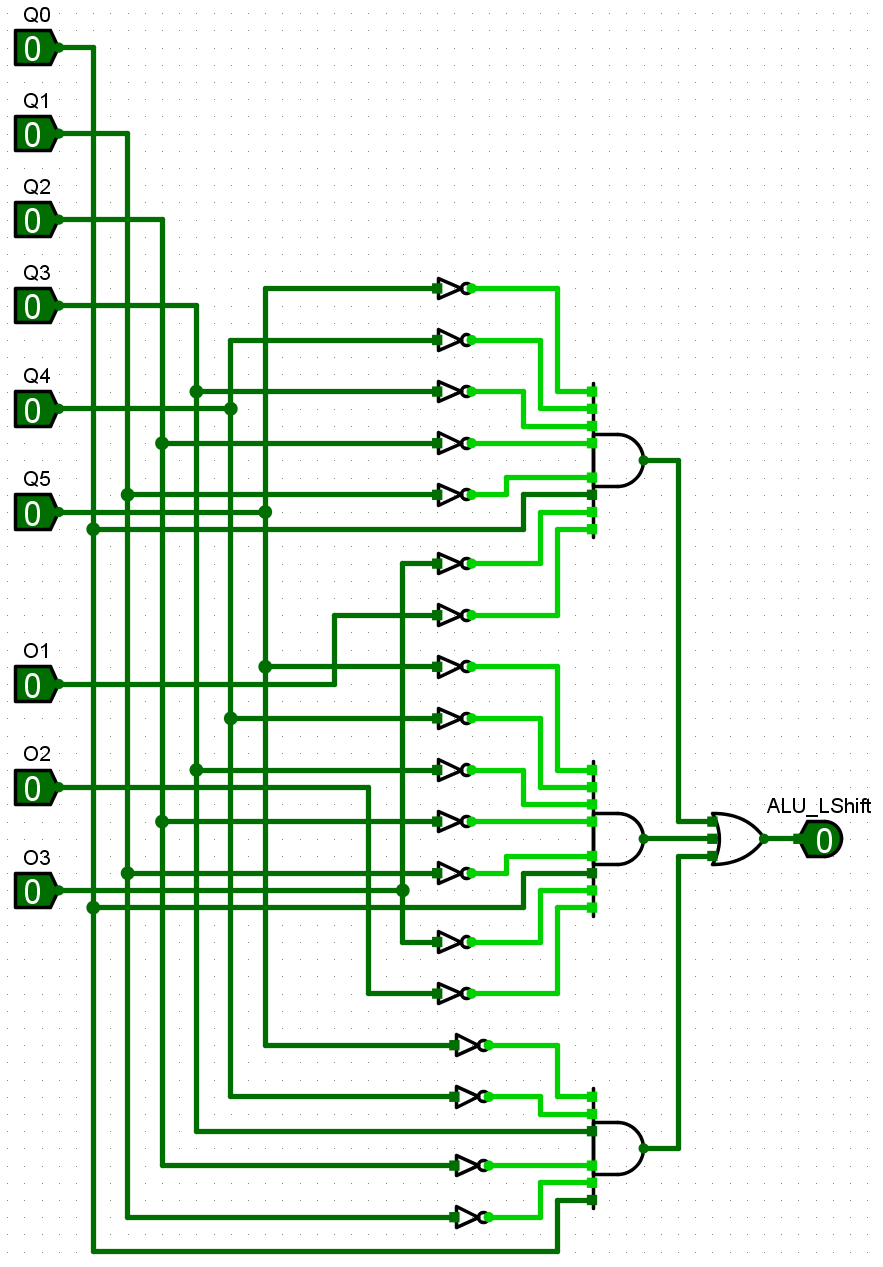
**Figure 31: Zbus Circuit**



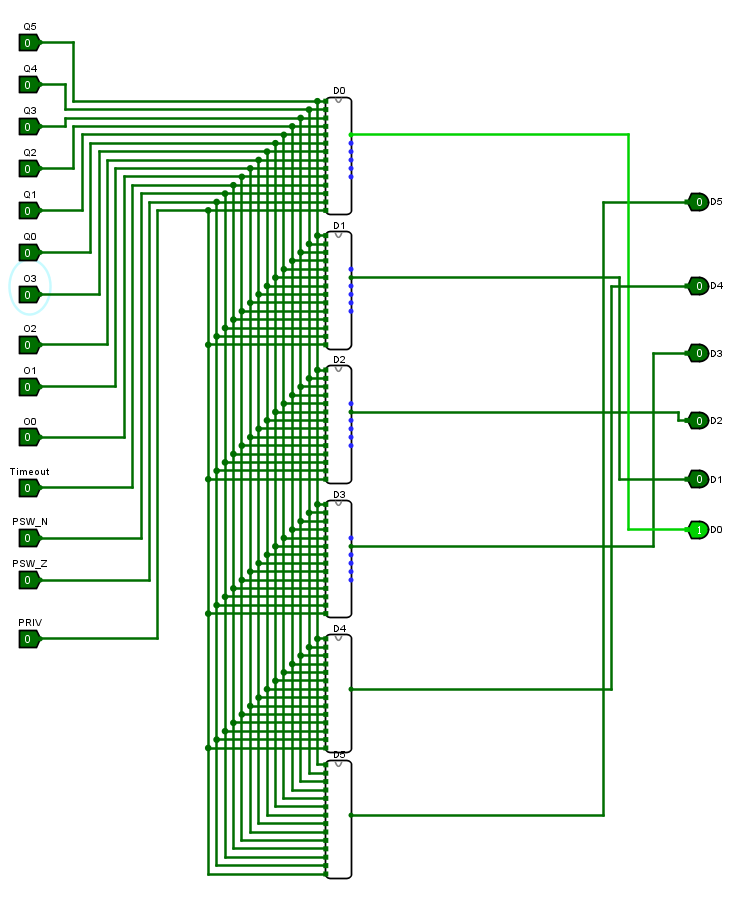
**Figure 32: Zin Circuit**



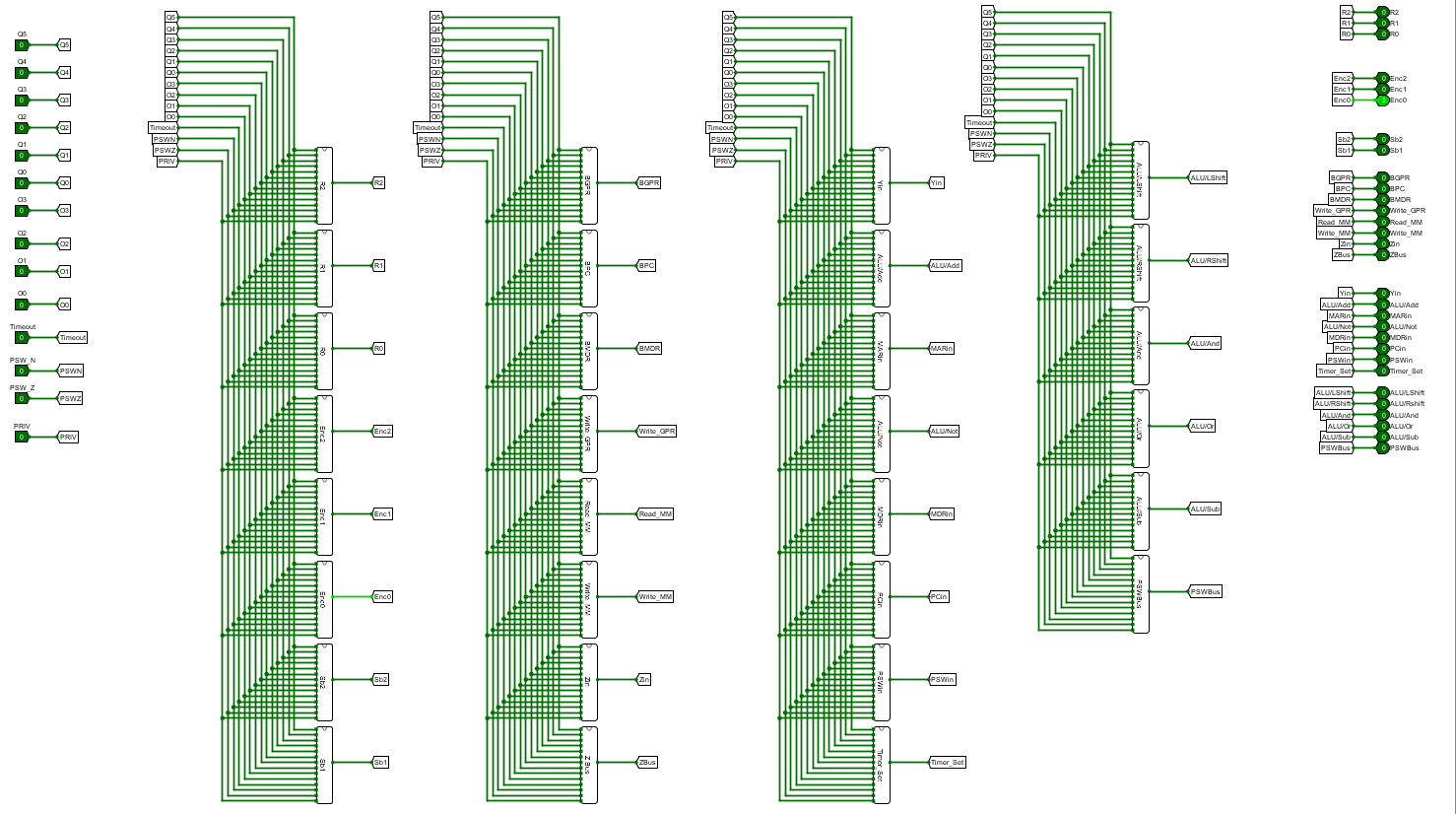
**Figure 33: ALU\_Lshift**

****

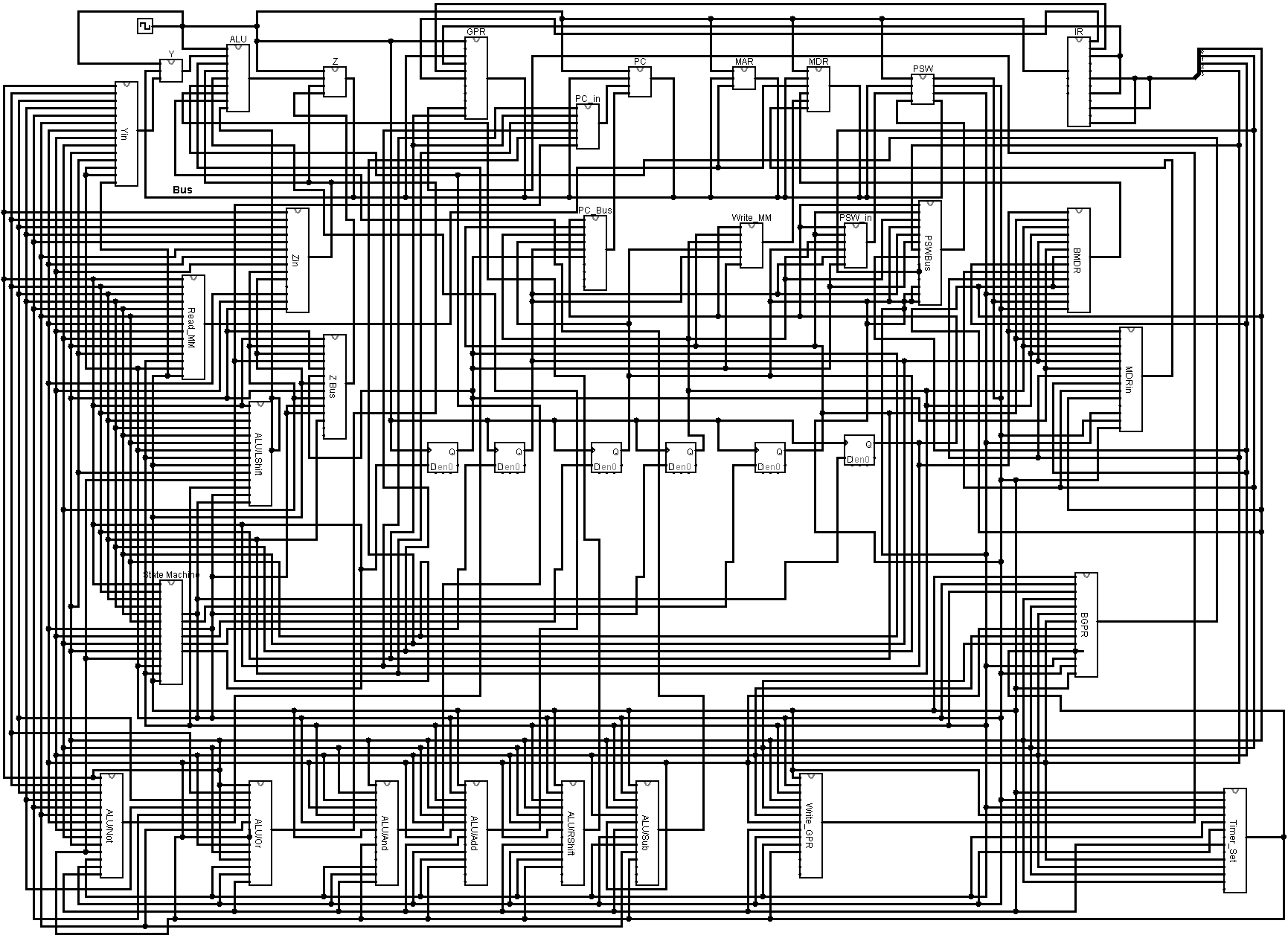
**Figure 34: Complete Flip-Flop Circuit**

****

**Figure 35: State Machine Circuit**

****

**Figure 36: Overall Top-Level Circuit**



1. **Optimizations:**

Within our control unit, we had an optimization to removes any unnecessary state outputs from our state table. In addition to this we combined adder and subtractor circuits into one circuit to conserve space. We did this by utilizing an xor gate that is determined by our carry-in bit and our B bit. If carry-in is 0 the circuit will add the two 16-bit numbers as expected, but if the carry-in bit is 1 then the circuit will perform the 2’s complement of B and subtract the two numbers. Short offset and long offset are routed into the ALU along with the shift bits to optimize clock cycles. The ALU increment function was our ALU\_Add function, but using the value of 2 that was stored in the ROM. Also, the value to set the GPR register 7 was stored in the ROM register 7. Our encoding output is optimized to be based upon our opcode thus saving space. Finally, we also used the inverse of our write GPR to be our read GPR signal.

1. After consulting Dr. Wilsey, it was clear that adding the state table would be unnecessary since it is too large to fit on a single page and still be readable, and also since the finite state diagram and equations show the proper information. [↑](#footnote-ref-1)