



# 嵌入式系统

## Embedded System

毛维杰

杭州 • 浙江大学 • 2021

## 第六章 触发器

# 6.1 概述

特点

两个互补的输出端 $Q$ 和  $\overline{Q}$

有两个稳定状态。

可以从一个稳定状态转移到另一个稳定状态。

种类

**R-S**触发器

**J-K**触发器

**D**触发器

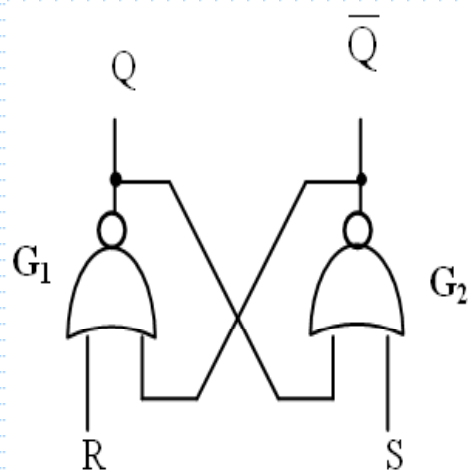
**T**触发器

含有触发器的逻辑电路称为时序逻辑电路，其特性结构决定了电路具有如下特征：

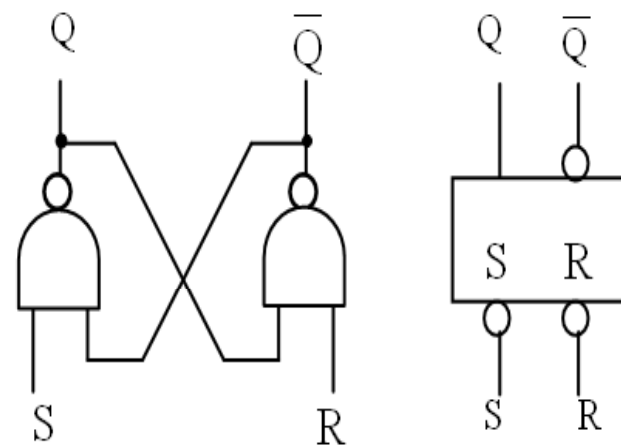
- ① 电路由组合电路和存储电路组成，具有对过去输入保持记忆的功能；
- ② 电路中包含反馈回路，通过反馈使电路功能与“时序”相关；
- ③ 电路的输出由电路当时的输入情况和状态(对过去输入记忆的结果)共同决定。

## 6.2 RS触发器

### 6.2.1 基本RS触发器



(a) 或非门组成的基本 RS 触发器



(b) 与非门组成的基本 RS 触发器

图6-1 两种不同逻辑门组成的基本RS触发器

## 6.2.1 基本RS触发器

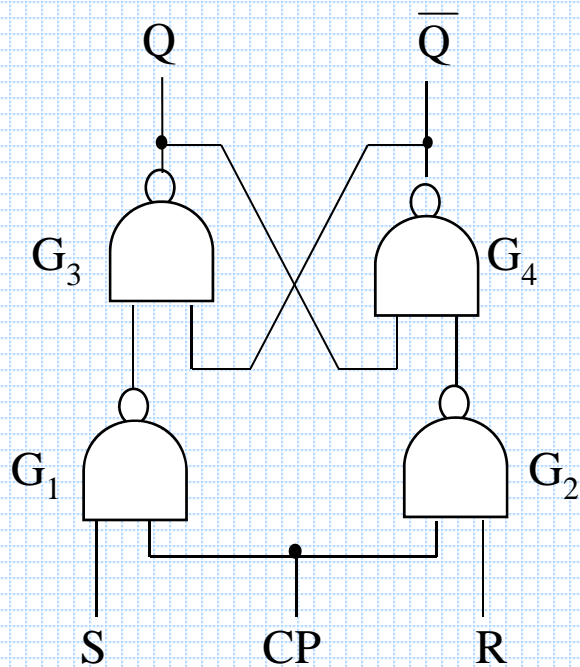
表6-1 或非门组成的基本RS触发器的真值表

$R$	$S$	$Q$	$\bar{Q}$	触发器状态
0	0	不变	不变	保持
0	1	1	0	置1
1	0	0	1	置0
1	1	0*	0*	不定

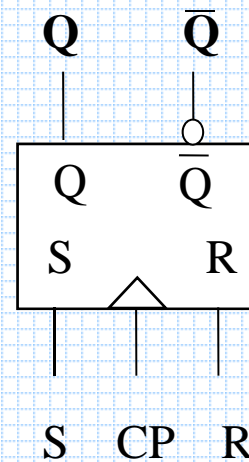
表6-2 与非门组成的RS触发器的真值表

$R$	$S$	$Q$	$\bar{Q}$	触发器状态
0	0	1*	1*	不定
0	1	0	1	置0
1	0	1	0	置1
1	1	不变	不变	保持

## 6.2.2 钟控RS触发器



(a) 电路结构



(b) 逻辑符号

图6-3 钟控RS触发器

## 6.2.2 钟控RS触发器

表6-3 钟控RS触发器状态转换真值表

CP	S	R	$Q^n$	$Q^{n+1}$	功能说明
0	×	×	0	0	$Q^{n+1} = Q^n$
0	×	×	1	1	保持
1	0	0	0	0	$Q^{n+1} = Q^n$
1	0	0	1	1	保持
1	0	1	0	0	$Q^{n+1} = 0$
1	0	1	1	0	置0
1	1	0	0	1	$Q^{n+1} = 1$
1	1	0	1	1	置1
1	1	1	0	$1^*$	不允许
1	1	1	1	$1^*$	

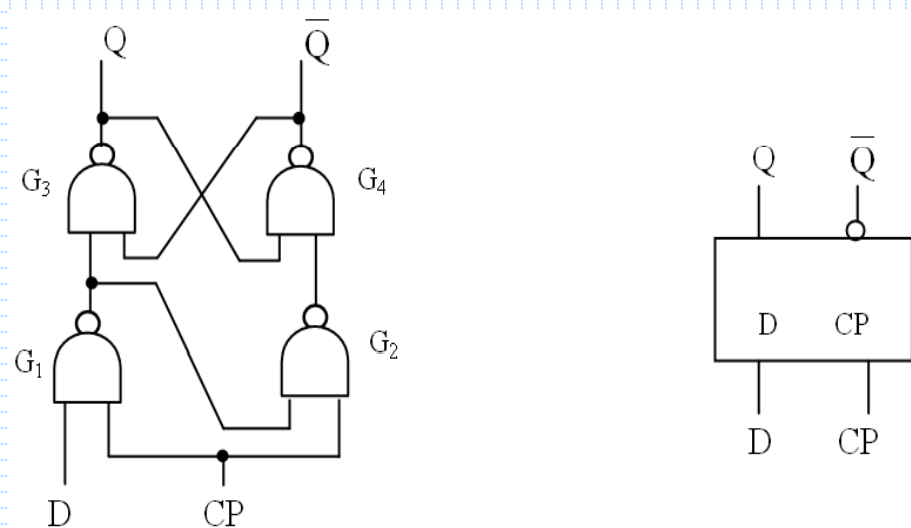
钟控RS触发器的特性方程

$$\left\{ \begin{array}{l} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \text{ (约束条件)} \end{array} \right. \quad (6-1)$$

# 6.3 D触发器

## 6.3.1 电平触发型D触发器

表6-4 D触发器真值表（CP=1时）



(a) 电路结构

(b) 逻辑符号

图6-6 D触发器

D	$Q^n$	$Q^{n+1}$
0	0	0
1	0	1
0	1	0
1	1	1

$$\left\{ \begin{array}{l} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{array} \right. \Rightarrow Q^{n+1} = D \quad (6-2)$$



### 6.3.1 电平触发型D触发器

【例6-1】电平触发型D触发器的电路如图6-7所示，D为输入信号，CP为时钟信号，设初始状态为0，确定输出端Q的波形。

解：

在CP=1时，Q输出端的信号总是和D输入信号相同；而在CP=0时，Q的输出保持原来的状态不变。故Q输出波形如图6-7所示。

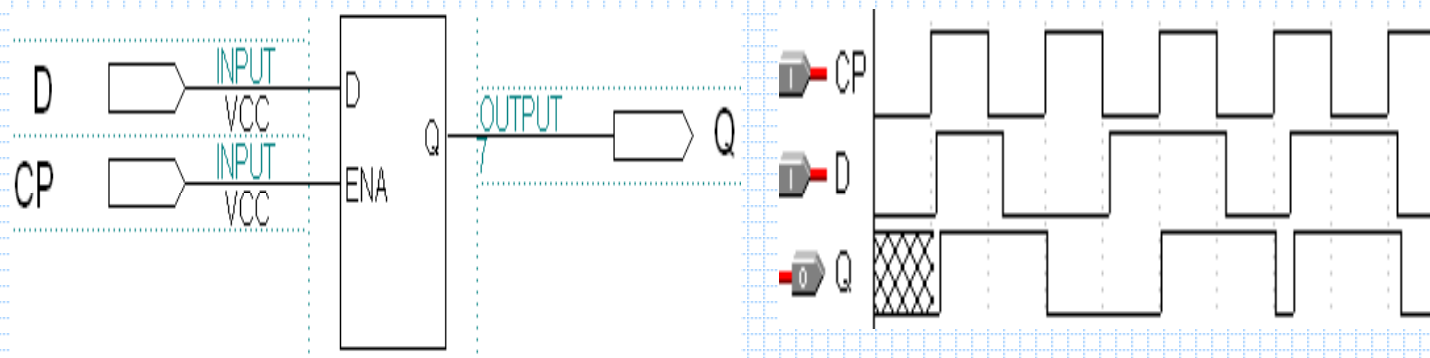
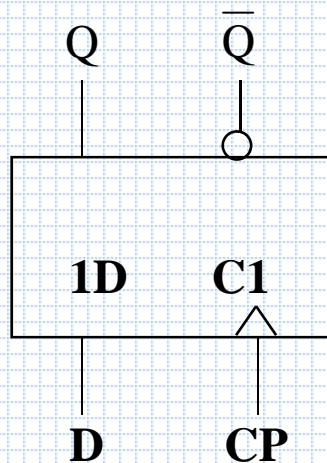
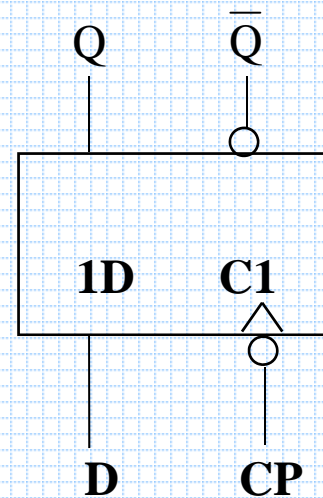


图6-7 例6-1的电路图与时序波形图

### 6.3.2 边沿触发型D触发器



(a) 上升沿触发



(b) 下降沿触发

图6-8 边沿D触发器逻辑符号

## 6.3.2 边沿触发型D触发器

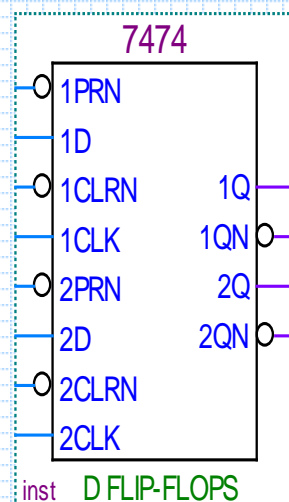


图6-9 74LS74结构图

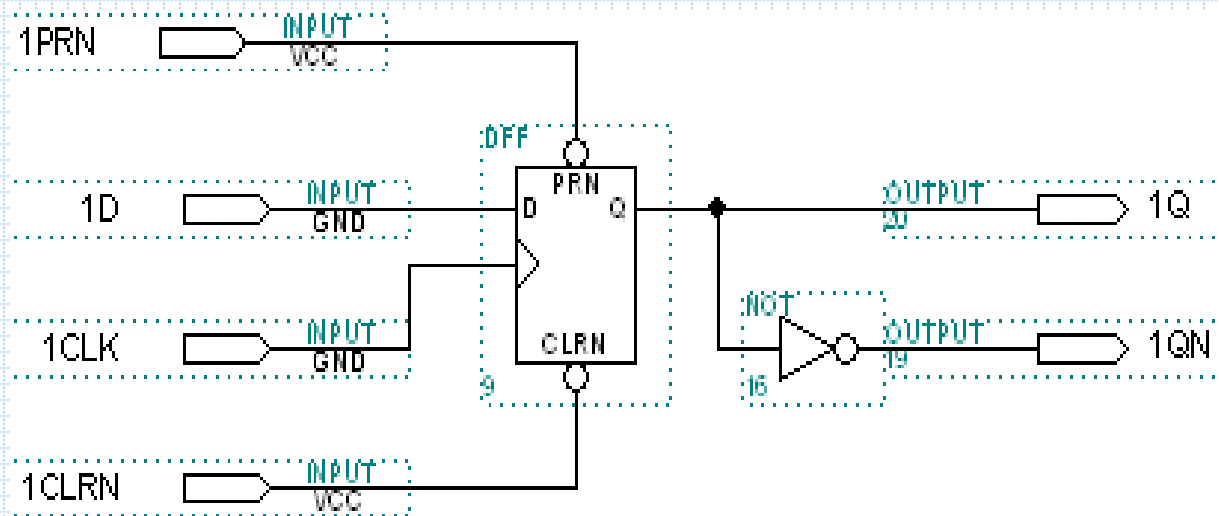


图6-10 7474的内部结构带异步清零端和异步置1端的边沿D触发器

### 6.3.2 边沿触发型D触发器

【例6-2】图6-11中为上升沿触发型D触发器的输入信号和时钟脉冲波形，设触发器的初始状态为0，确定输出信号Q的波形。

解：

把握边沿触发型D触发器工作特性的关键是，确认每个时钟脉冲CP上升沿之后的输出状态等于该上升沿前一瞬间D信号的状态，此状态将保持到下一个时钟脉冲CP上升沿到来时。由此可画出输出Q的波形如图6-11所示。

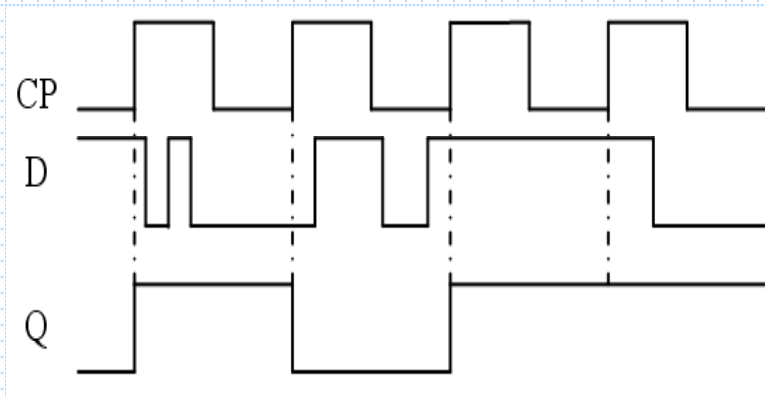
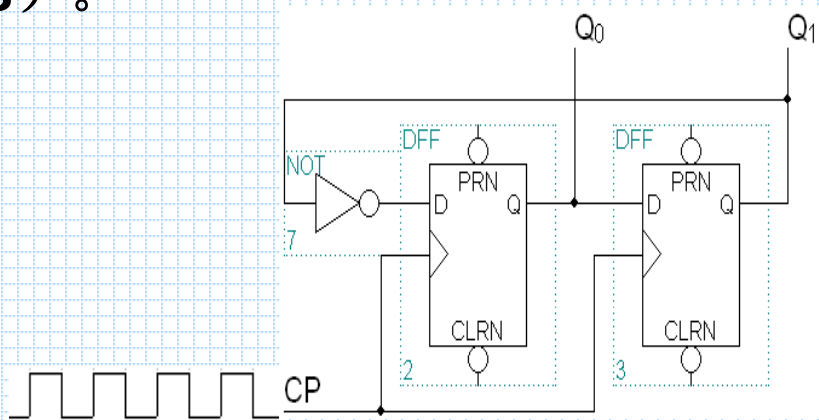
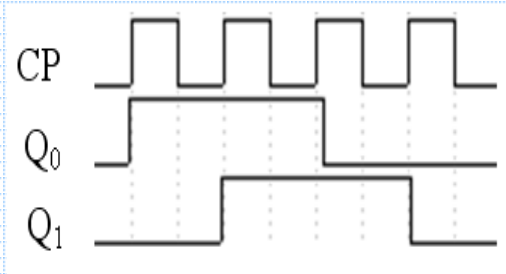


图6-11 例6-2波形图

**【例6-3】**图6-12为边沿D触发器构成的电路图，设触发器的初始状态 $Q_1Q_0=00$ ，试确定 $Q_0$ 及 $Q_1$ 在时钟脉冲作用下的波形（参考图6-13）。



### 图6-12 例6-3电路



### 图6-13 例6-3波形图

**解：**由于两个D触发器的输入信号分别为另一个D触发器的输出，因此在确定它们的输出端波形时，应分段交替画出 $Q_0$ 及 $Q_1$ 的波形（图6-13）。  
第1个CP脉冲到来时，初态 $Q_1Q_0=00$ ， $D_0=1$ ， $D_1=0$ ，因此 $Q_0=1$ ， $Q_1=0$ ；  
第2个CP脉冲到来时，现态 $Q_1Q_0=10$ ， $D_0=1$ ， $D_1=1$ ，因此 $Q_0=1$ ， $Q_1=1$ ；  
第3个CP脉冲到来时，现态 $Q_1Q_0=11$ ， $D_0=0$ ， $D_1=1$ ，因此 $Q_0=0$ ， $Q_1=1$ ；  
第4个CP脉冲到来时，现态 $Q_1Q_0=01$ ， $D_0=0$ ， $D_1=0$ ，因此 $Q_0=0$ ， $Q_1=0$ 。

## 6.4 主从触发器

### 6.4.1 主从RS触发器

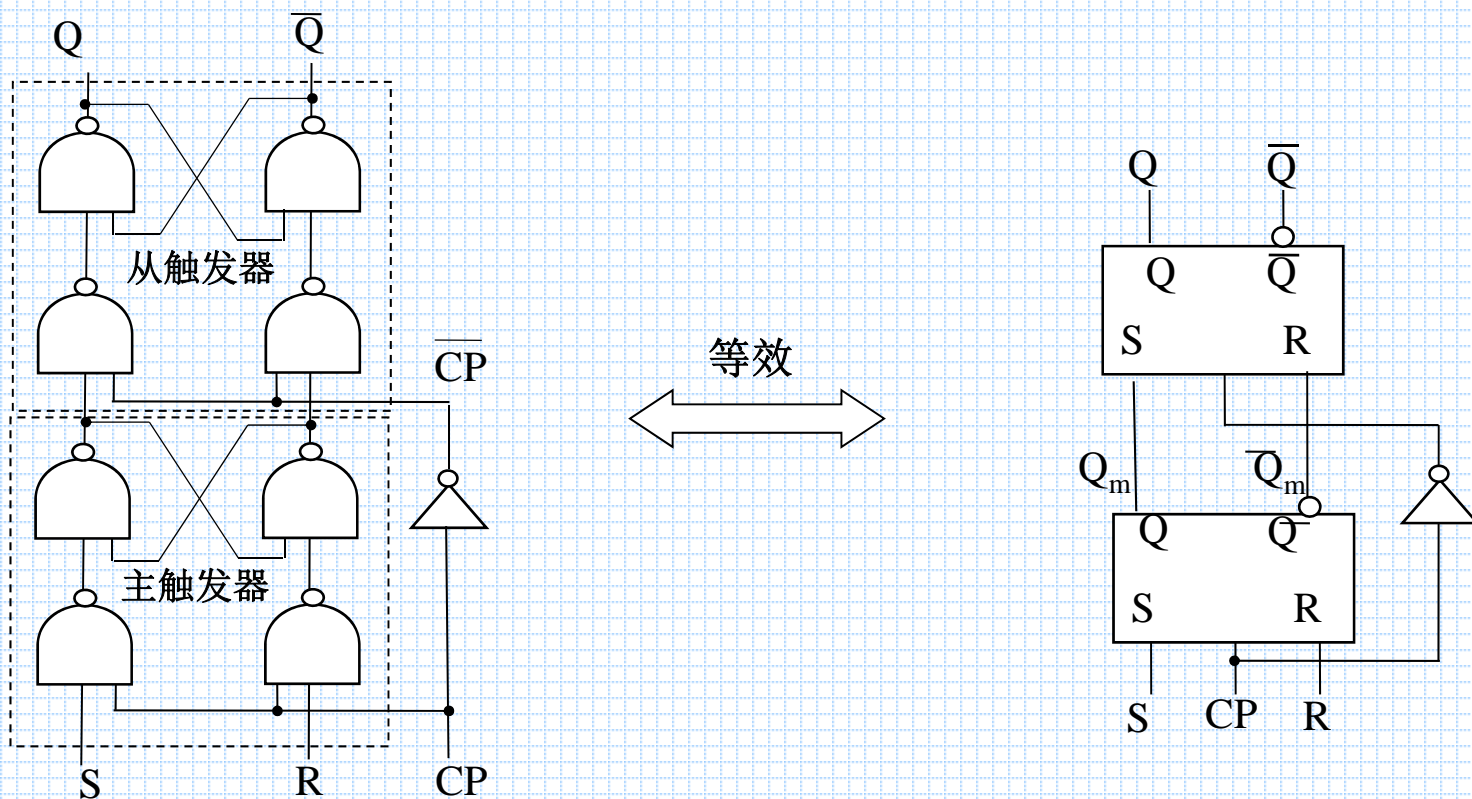


图6-14 主从RS触发器

## 6.4.1 主从RS触发器

工作原理可简述为：

(1) **CP=1**期间：

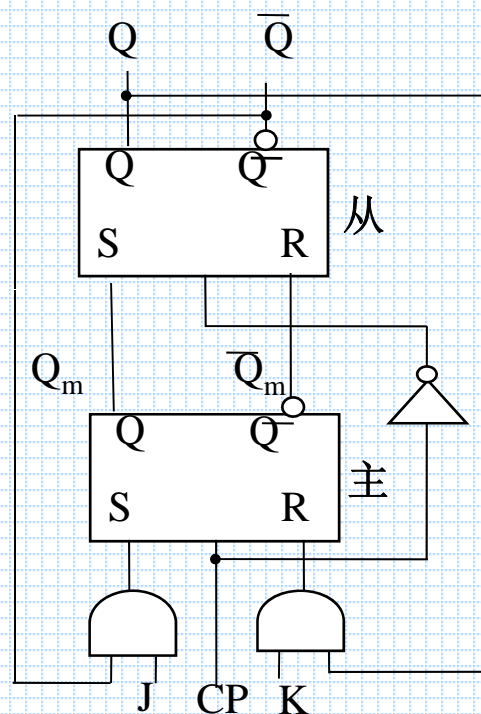
$$\begin{cases} Q_m^{n+1} = S + \bar{R}Q_m^n \\ RS = 0 \end{cases} \quad (6-3)$$

(2) **CP由1变为0**，即下降沿到来时：

$$\begin{cases} Q^{n+1} = Q_m^{n+1} = S + \bar{R}Q_m^n = S + \bar{R}Q^n \\ RS = 0 \end{cases} \quad (6-4)$$

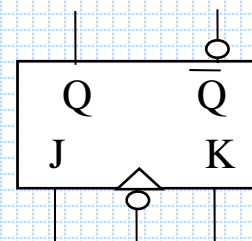
(3) **CP=0**期间：

## 6.4.2 主从JK触发器



(a) 主从JK触发器内部电路

$$S = J\bar{Q}^n, \quad R = KQ^n$$



(b) 主从JK触发器的逻辑符号

图6-15 主从JK触发器



## 6.4.2 主从JK触发器

$$\begin{aligned}
 Q^{n+1} &= S + \bar{R}Q^n \\
 &= J\bar{Q}^n + \overline{KQ^n}Q^n \\
 &= J\bar{Q}^n + \bar{K}Q^n
 \end{aligned}
 \tag{6-5}$$

表6-5 主从JK触发器状态转换真值表（CP下降沿时）

$J$	$K$	$Q^n$	$Q^{n+1}$	功能
0 0	0 0	0 1	0 1	$Q^{n+1} = Q^n$ 保持
0 0	1 1	0 1	0 0	$Q^{n+1} = 0$ 置0
1 1	0 0	0 1	1 1	$Q^{n+1} = 1$ 置1
1 1	1 1	0 1	1 0	$Q^{n+1} = \bar{Q}^n$ 翻转

## 6.4.2 主从JK触发器

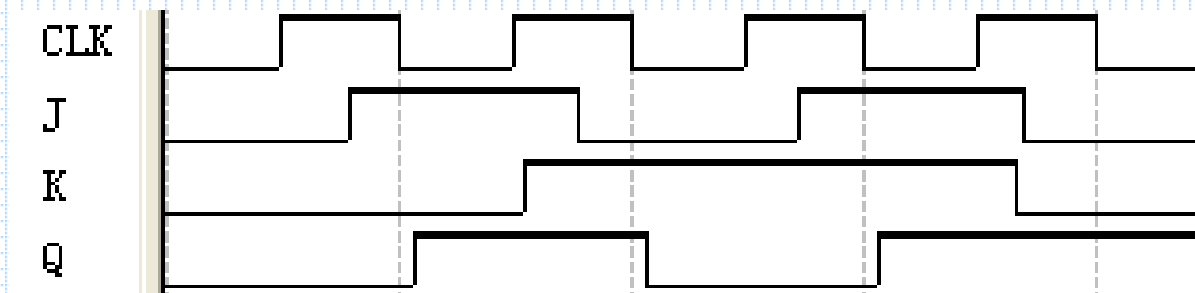


图6-16 主从JK触发器时序图

在第1个CP高电平期间， $J=1$ ， $K=0$ ， $Q^{n+1}$  为1；  
在第2个CP高电平期间， $J=0$ ， $K=1$ ， $Q^{n+1}$  置为0；  
在第3个CP高电平期间， $J=1$ ， $K=1$ ， $Q^{n+1}$  翻转为1；  
在第4个CP高电平期间， $J=0$ ， $K=0$ ， $Q^{n+1}$  保持不变。

### 6.4.3 边沿触发型JK触发器

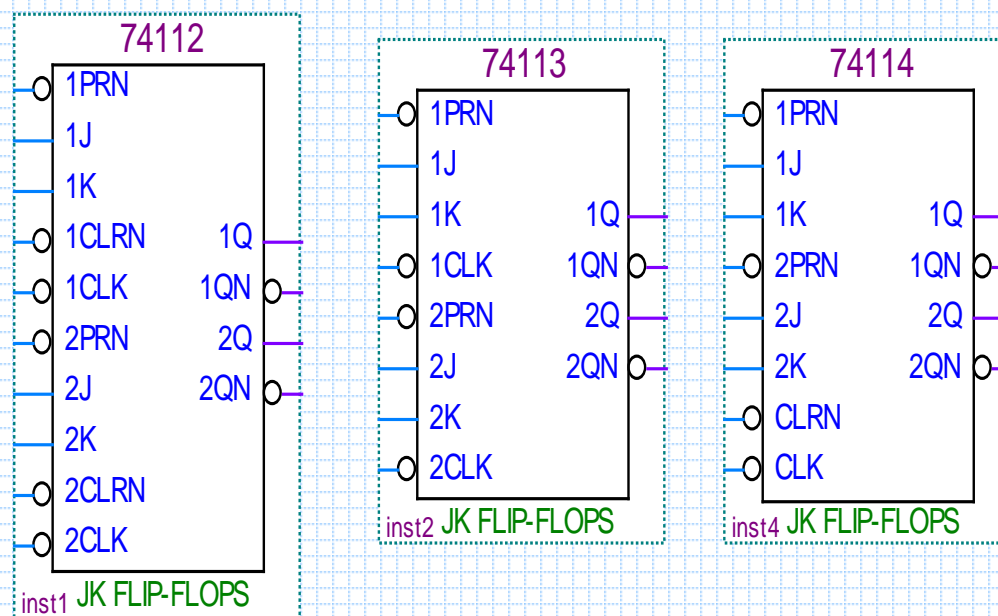


图6-17 下降沿触发的JK触发器

### 6.4.3 边沿触发型JK触发器

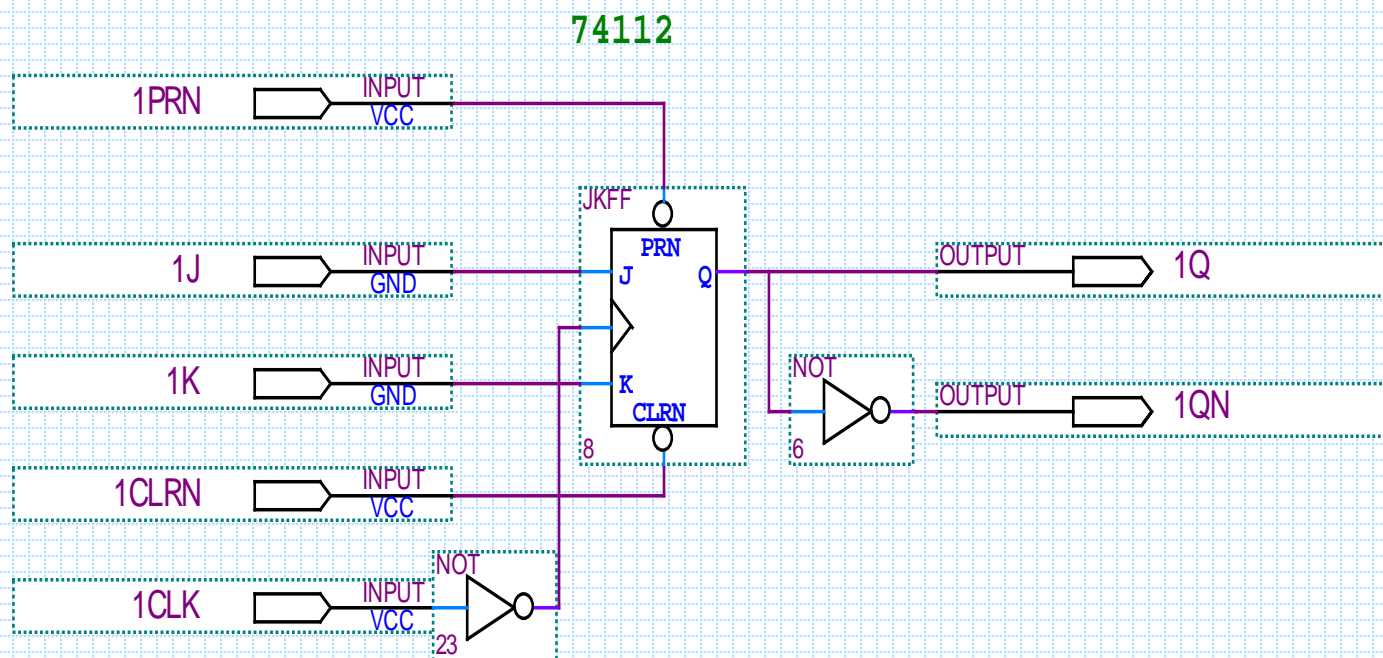


图6-18 下降沿触发型JK触发器内部结构

### 6.4.3 边沿触发型JK触发器

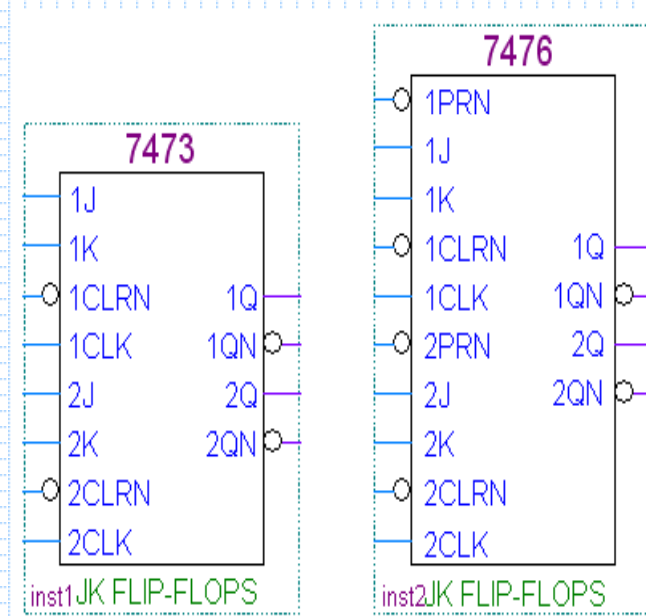


图6-19 触发器74LS73和74LS76



### 6.4.3 边沿触发型JK触发器

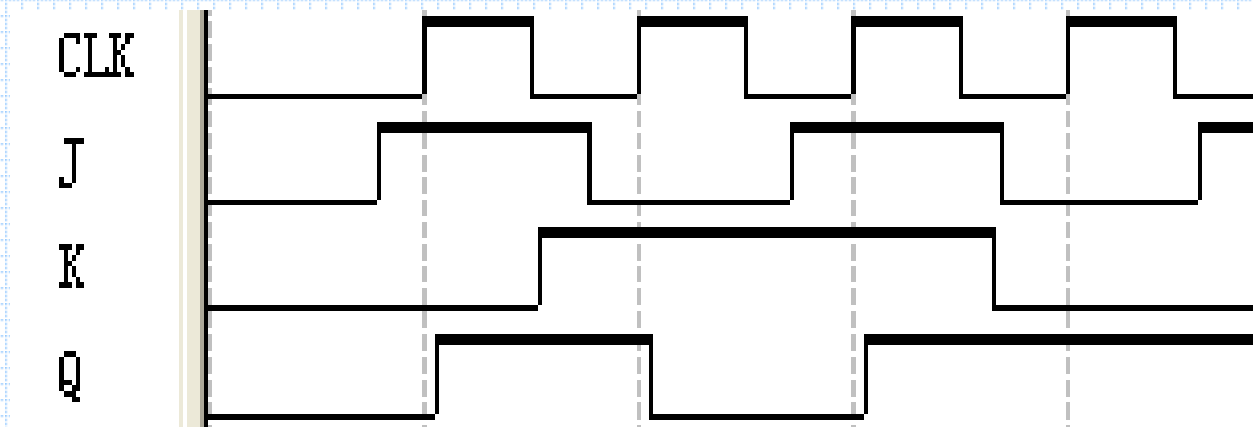


图6-21 上升沿JK触发器的仿真波形

### 6.4.3 边沿触发型JK触发器

【例6-4】设上升沿JK触发器的初态为0，输入信号波形如图6-21所示，试画出它的输出波形。

解：

（1）以时钟 $CP$ 的上升沿为基准，划分时间间隔， $CP$ 上升沿到来前为现态，上升沿到来后为次态；

（2）每个时钟脉冲上升沿到来后，根据触发器的特性方程或状态转换真值表确定其次态。输出波形如图6-21所示。

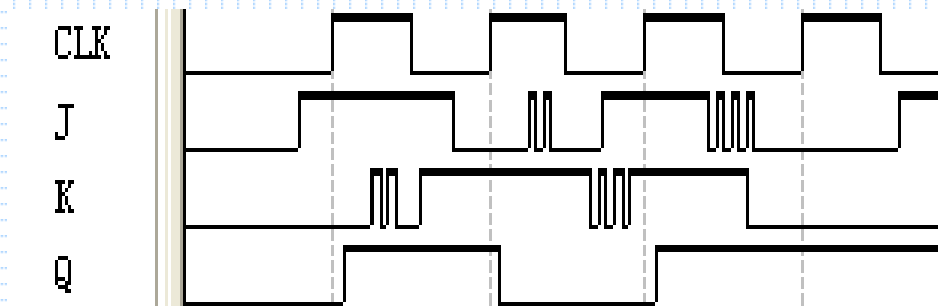


图6-22 例6-4波形图



### 6.4.3 边沿触发型JK触发器

【例6-5】设上升沿JK触发器电路如图6-22所示，其初态为0，输入信号波形如图6-23所示，试画出它的输出波形。

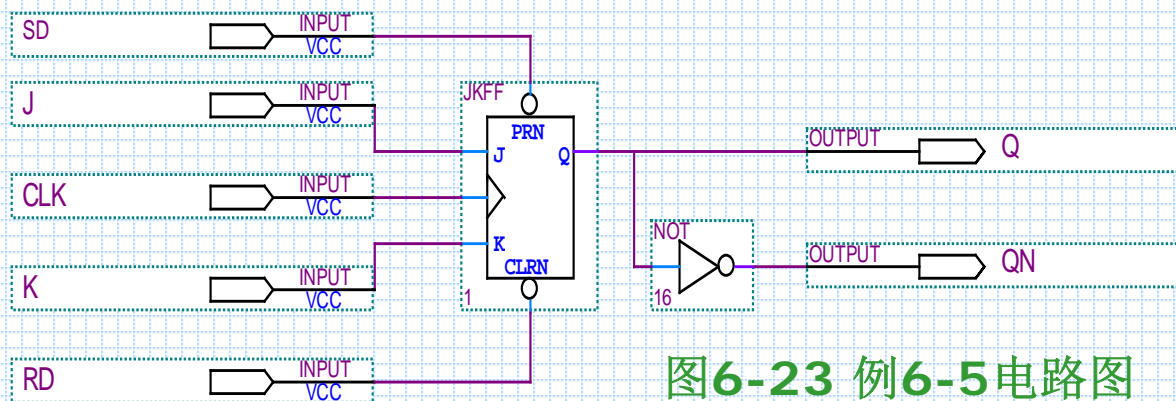


图6-23 例6-5电路图

解：

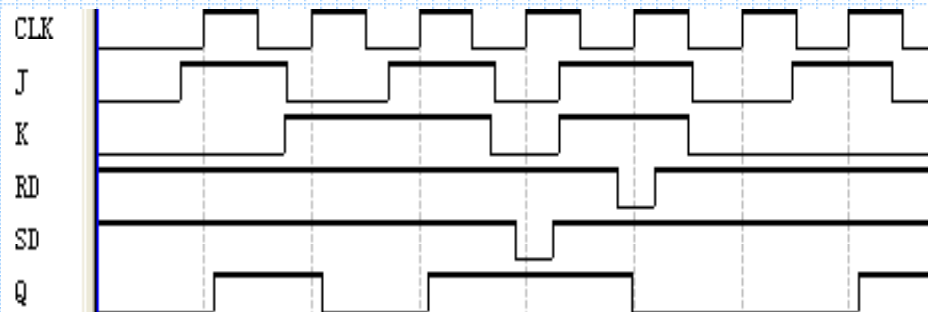


图6-24 例6-5仿真波形图

### 6.4.3 边沿触发型JK触发器

【例6-6】边沿JK触发器 $FF_0$ 和 $FF_1$ 的连接如图6-24所示，设两个触发器的初始状态都是0状态，试确定输出端 $Q_1$ 、 $Q_0$ 的波形，并写出由这些波形所表示的二进制序列。

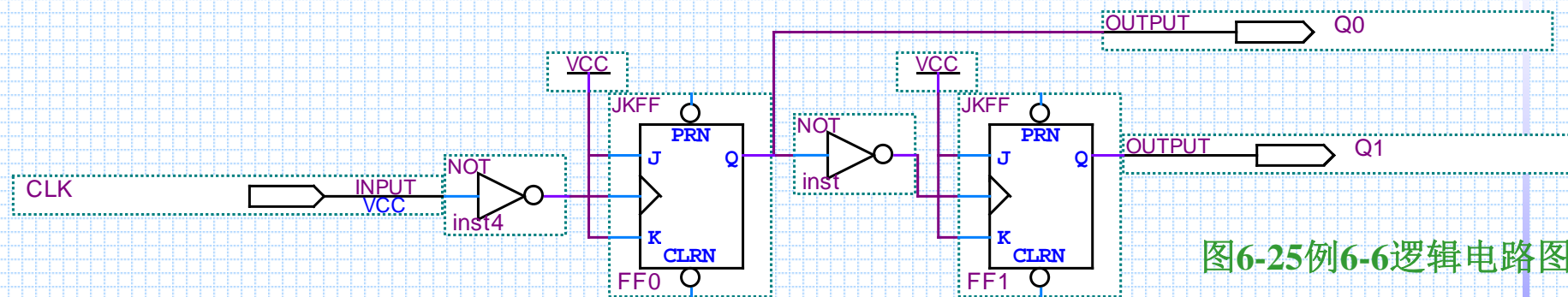


图6-25例6-6逻辑电路图

解：

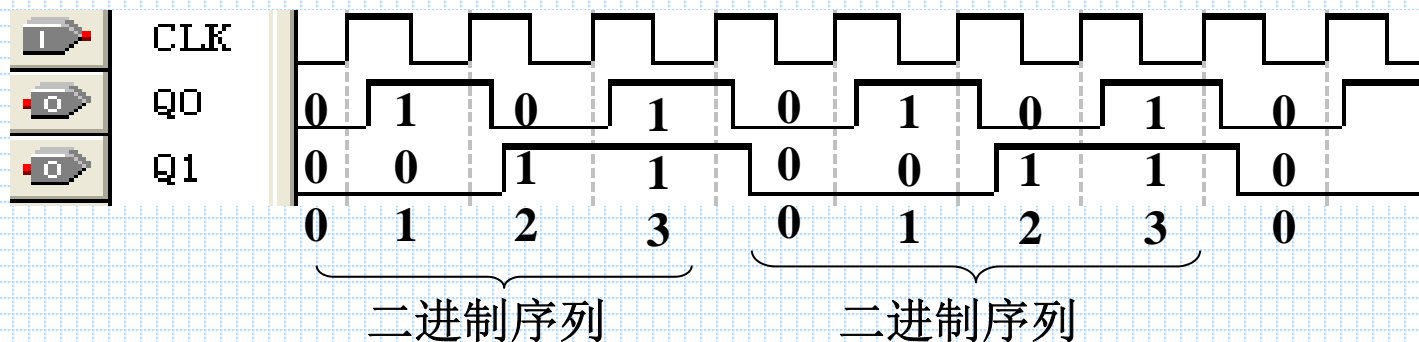


图6-26 例6-6输出波形

## 6.5 不同类型触发器的相互转换

### 6.5.1 D触发器转换为JK、T和T' 触发器

#### 1. D触发器转换成JK触发器

$$Q^{n+1} = D \quad Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$D = J\bar{Q}^n + \bar{K}Q^n$$

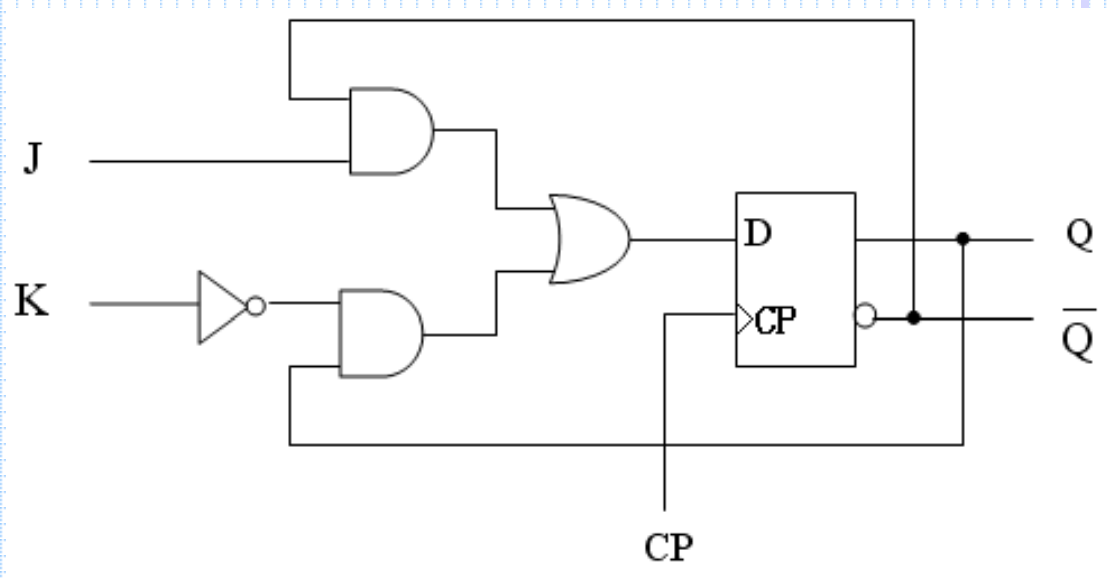


图6-27 用D触发器构成的JK触发器

## 6.5.1 D触发器转换为JK、T和T' 触发器

### 2. T触发器和 T' 触发器

表6-6 T触发器真值表

T	$Q^{n+1}$	功能说明
0	$Q^n$	保持
1	$\overline{Q^n}$	翻转

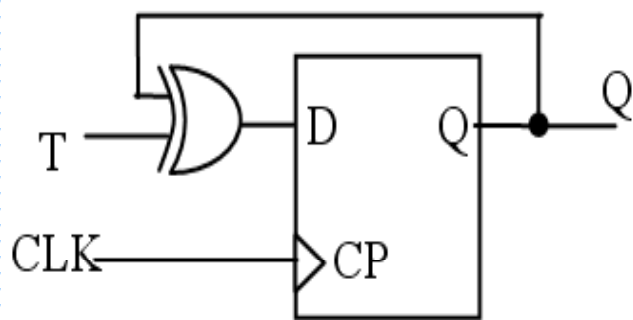
## 6.5.1 D触发器转换为JK、T和T' 触发器

### 3. D触发器转换成T、T' 触发器

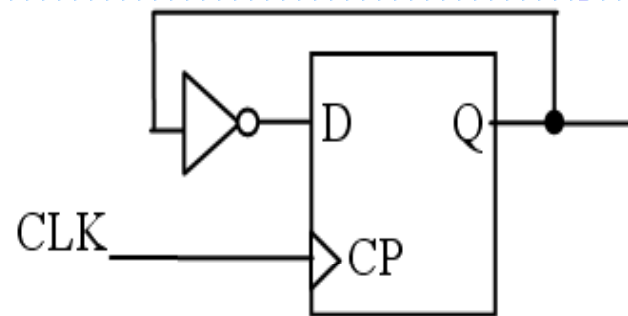
$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n = T \oplus Q^n$$

$$Q^{n+1} = D$$

$$D = T \oplus Q^n$$



(a) 用D触发器构成的T触发器



(b) 用D触发器构成的T' 触发器

图6-28 T、T' 触发器

## 6.5.2 JK触发器转换为D触发器

$$Q^{n+1} = D = DQ^n + D\overline{Q}^n$$

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

$$J = D, \quad K = \overline{D}$$

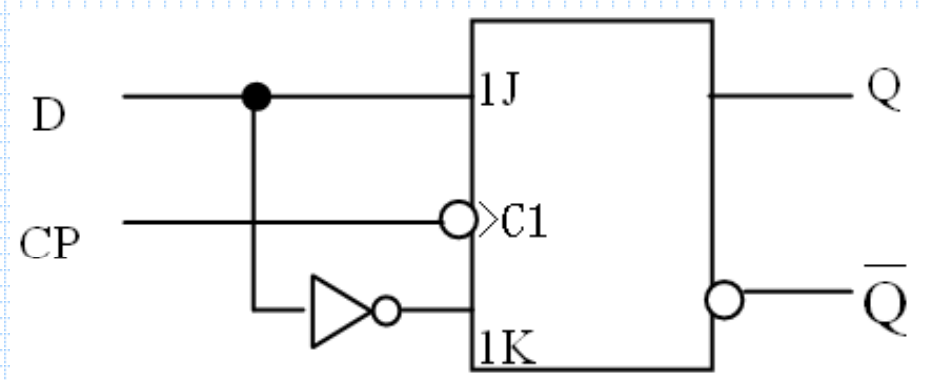
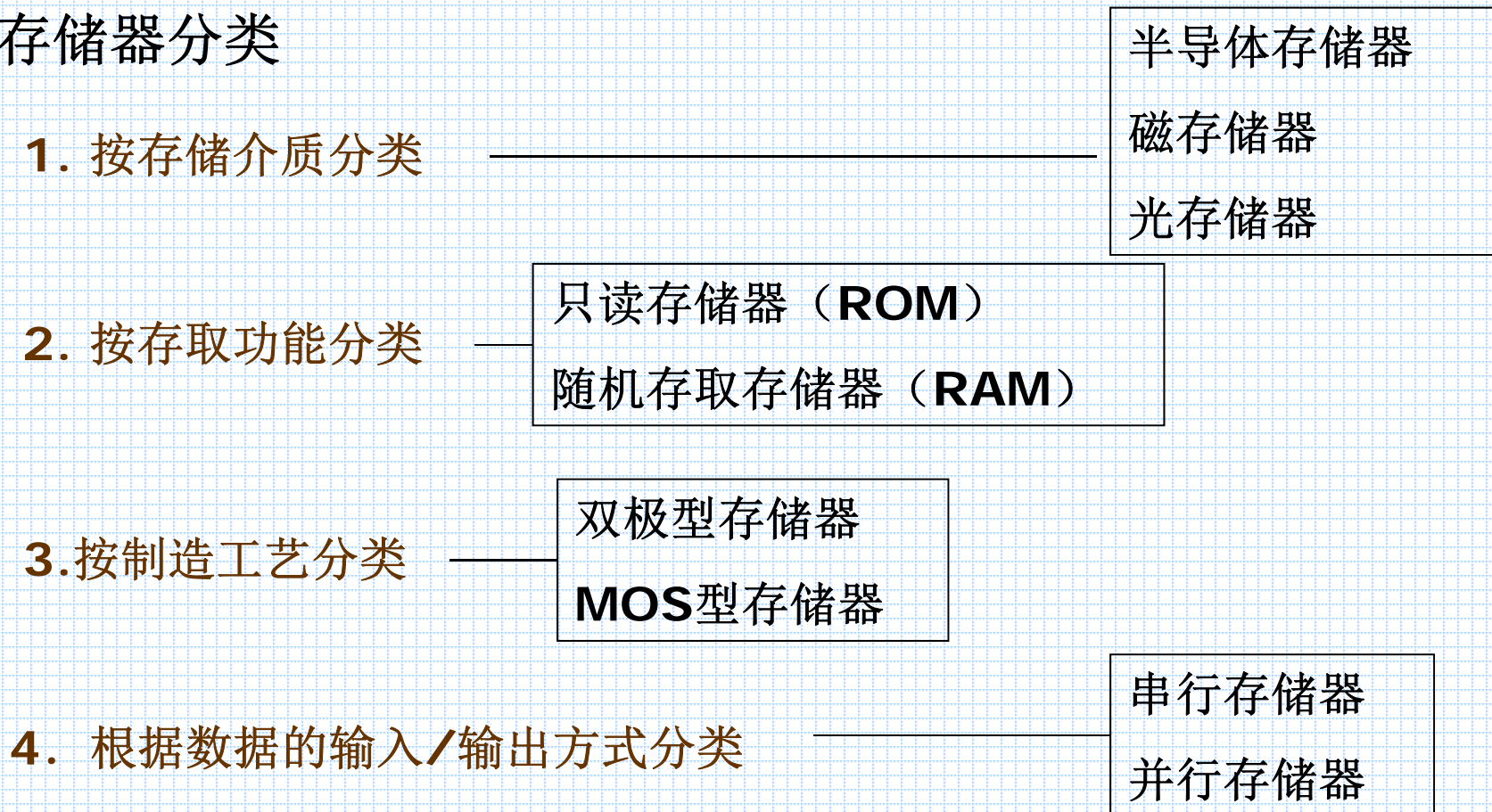


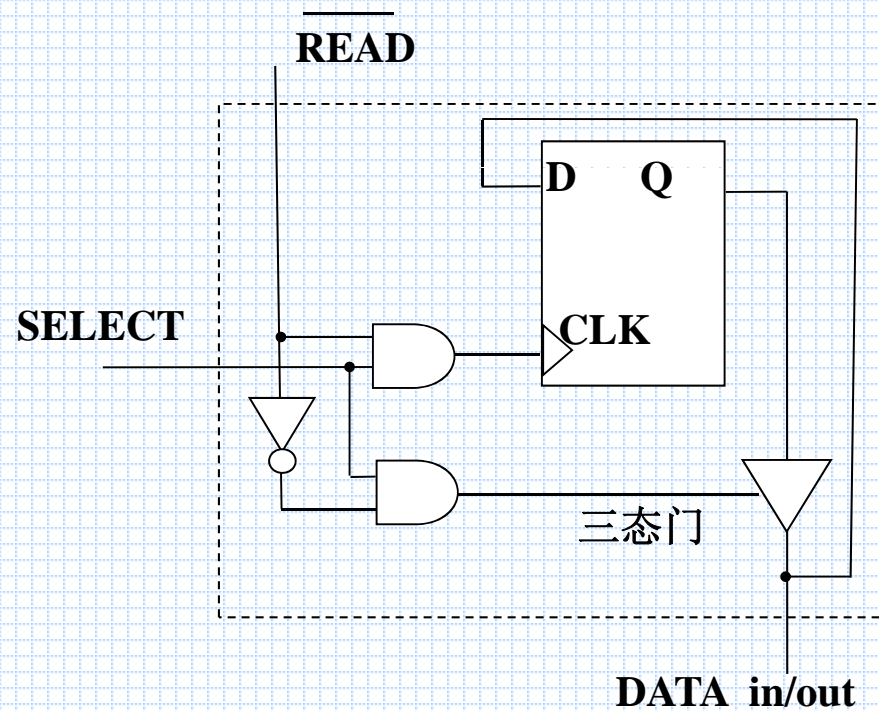
图6-29 JK触发器构成的D触发器

## 6.6 存储器概述

### 存储器分类



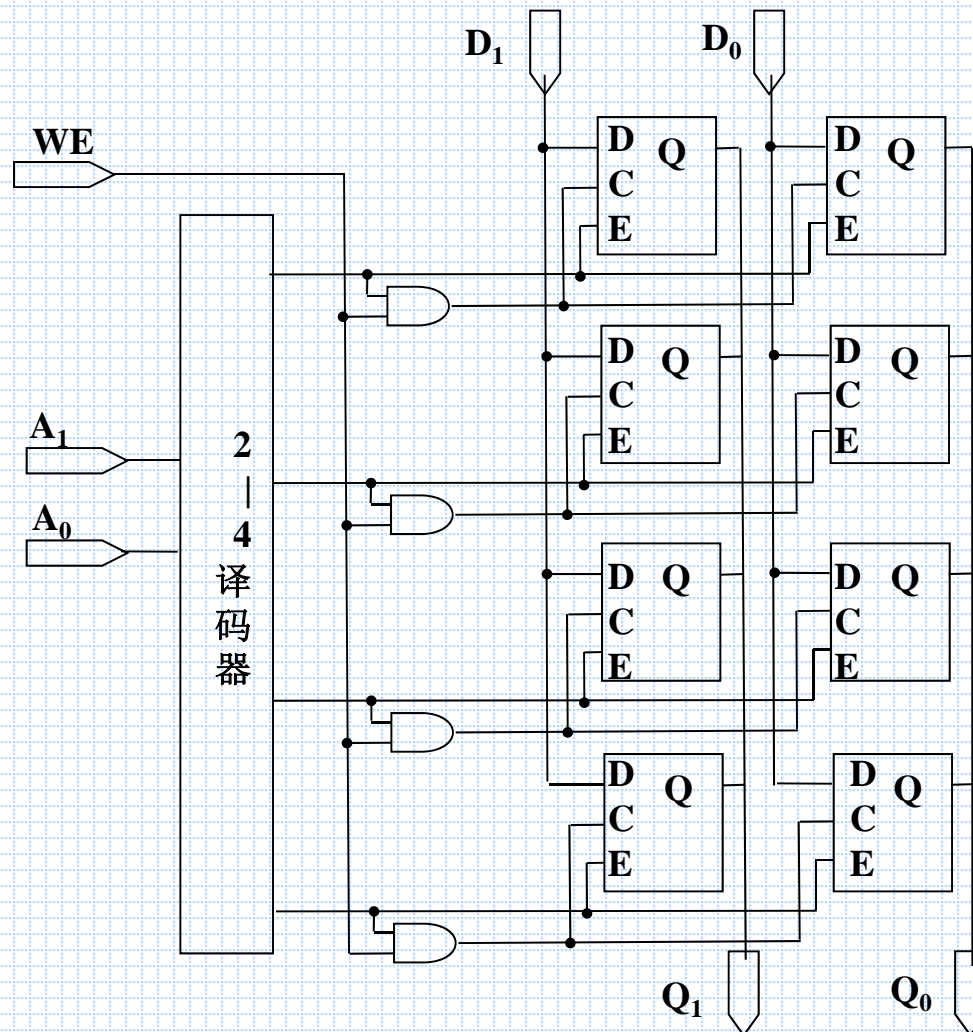
## SRAM的基本存储单元



静态RAM基本存储单元

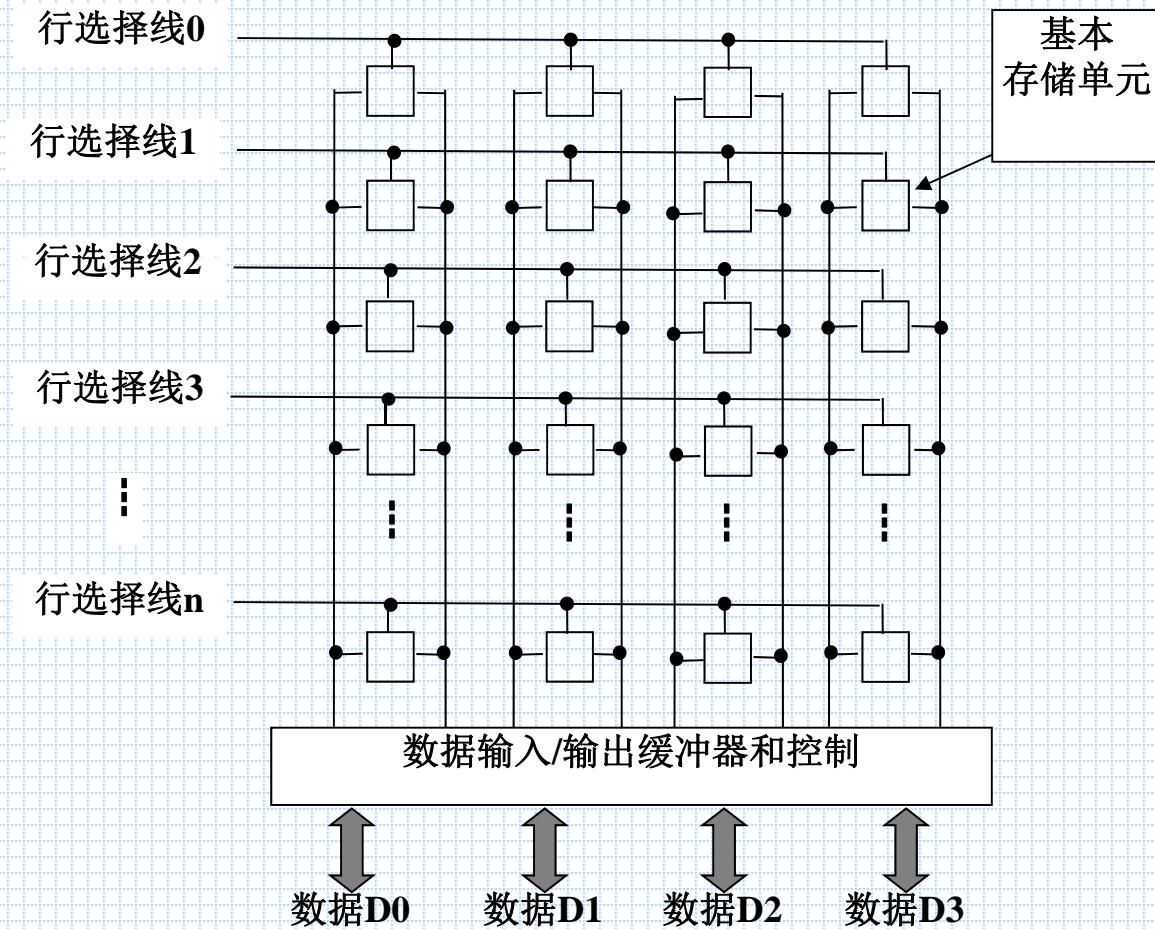


## 用D触发器构成SRAM结构



4×2静态RAM结构

## SRAM存储矩阵结构



# 第七章 时序电路的分析与设计

# 7.1 时序逻辑电路的特点与功能

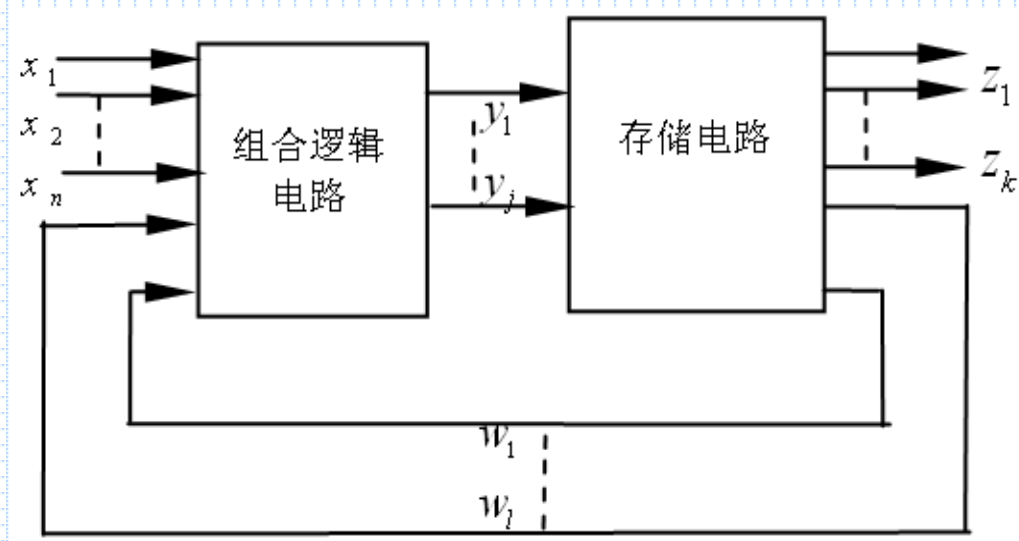


图7-1时序电路的一般结构

$$y_i = f_i(x_1, \dots, x_n, w_1, \dots, w_l) \quad (i=1, 2, \dots, j) \quad (7-1)$$

$$z_i = g_i(y_1, \dots, y_j, w_1, \dots, w_l) \quad (i=1, 2, \dots, k) \quad (7-2)$$

$$w_i = h_i(y_1, \dots, y_j, w_1, \dots, w_l) \quad (i=1, 2, \dots, l) \quad (7-3)$$

# 7.2 时序电路的手工分析方法

【例7-1】试分析图7-4所示同步时序电路的功能。

解：

(1)

$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = K_2 = A \oplus Q_1 \end{cases} \quad (7-5)$$

(2)

$$\begin{cases} Q_1^{n+1} = J_1 \overline{Q_1} + \overline{K_1} Q_1 = \overline{Q_1} \\ Q_2^{n+1} = J_2 \overline{Q_2} + \overline{K_2} Q_2 = A \oplus Q_1 \oplus Q_2 \end{cases} \quad (7-6)$$

(3)

$$Y = \overline{\overline{Q_1 Q_2} A Q_2} \quad (7-7)$$

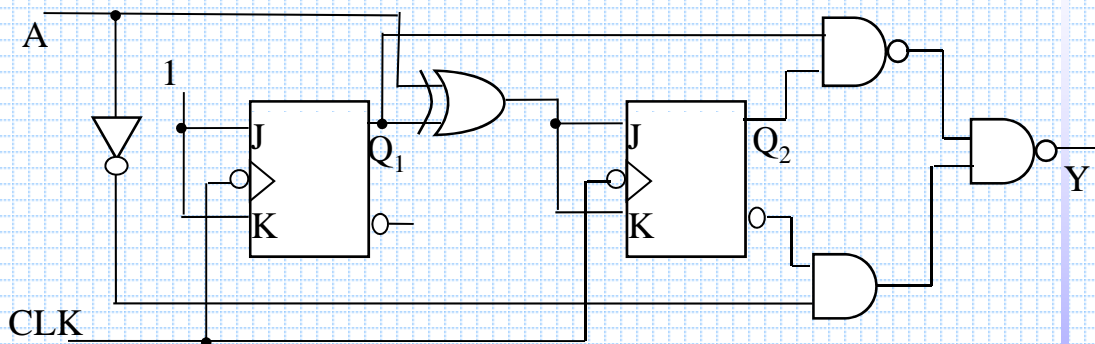


图7-4 例7-1的逻辑电路图

## 同步时序电路分析

表7-1 状态转换表

输入	现态		次态		输出
A	$Q_2^n$	$Q_1^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	Y
0	0	0	0	1	0
0	0	1	1	0	1
0	1	0	1	1	1
0	1	1	0	0	0
1	0	0	1	1	1
1	0	1	1	0	1
1	1	0	0	1	1
1	1	1	0	0	1

## 同步时序电路分析

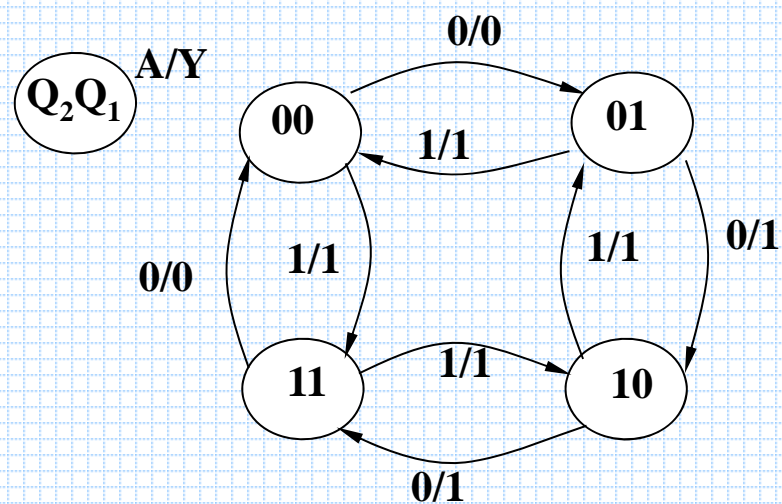


图7-5 状态转换图

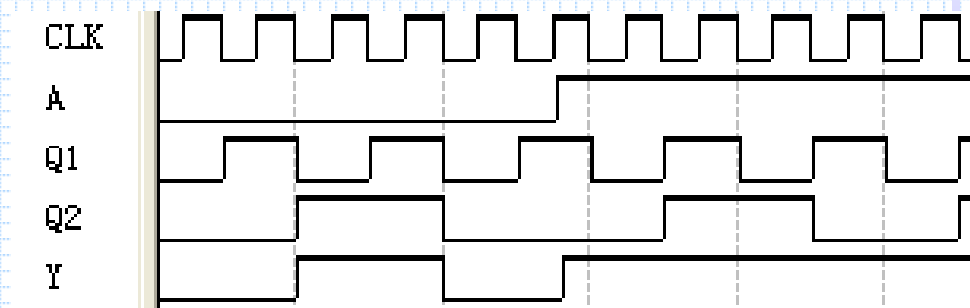


图7-6 时序图

【例7-2】试分析图7-7所示异步时序电路的功能。

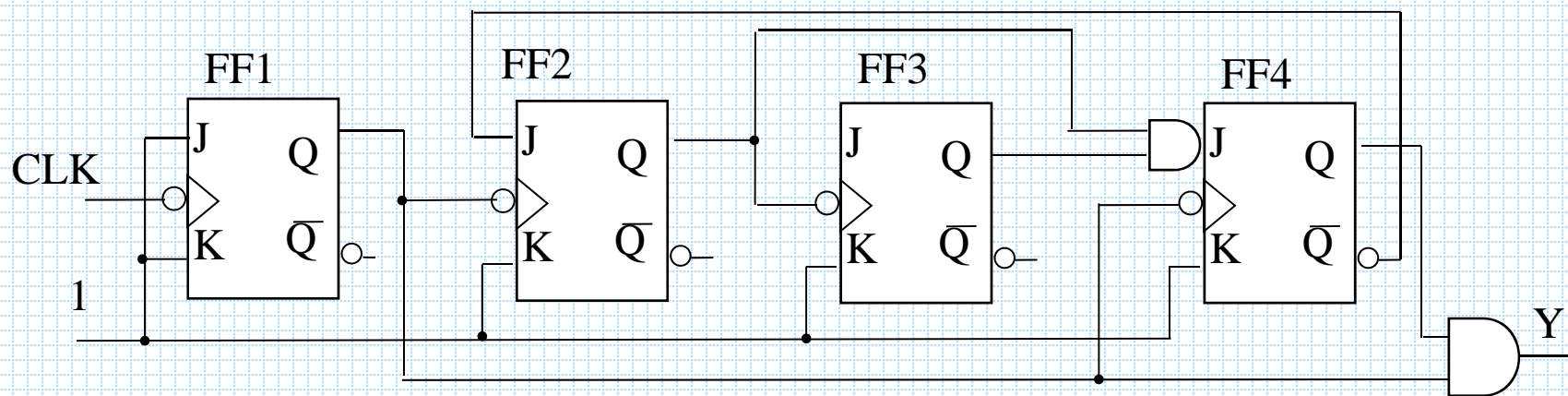


图7-7 例7-2的异步时序电路图



解：

(1) 时钟脉冲逻辑方程为：

$$\begin{cases} CP_1 = CLK \downarrow \\ CP_2 = CP_4 = Q_1 \downarrow \\ CP_3 = Q_2 \downarrow \end{cases} \quad (7-8)$$

驱动方程为：

$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = \overline{Q_4}^n, & K_2 = 1 \\ J_3 = K_3 = 1 \\ J_4 = Q_2^n Q_3^n, & K_4 = 1 \end{cases} \quad (7-9)$$

(2) 求出各触发器的状态方程。

$$\begin{cases} Q_1^{n+1} = \overline{Q_1} \cdot CP_1 \\ Q_2^{n+1} = \overline{Q_4} \overline{Q_2} \cdot CP_2 \\ Q_3^{n+1} = \overline{Q_3} \cdot CP_3 \\ Q_4^{n+1} = Q_2 Q_3 \cdot CP_4 \end{cases} \quad (7-10)$$



(4) 根据状态表可以画出图7-8所示的状态图。

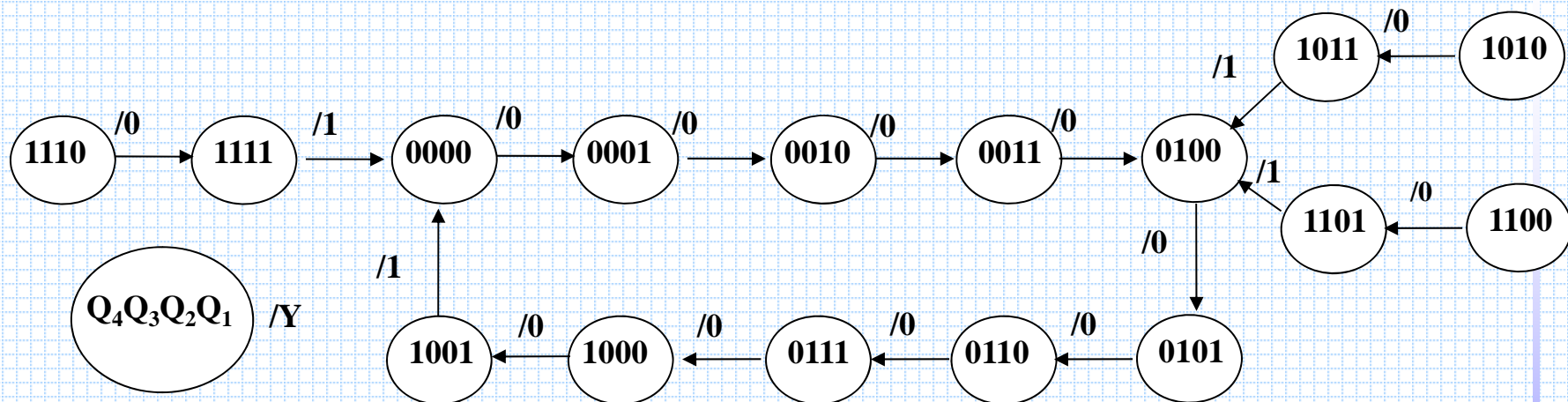


图7-8 例7-2状态图

(5) 根据状态转换图说明该时序电路的逻辑功能。

## 7.3 同步时序逻辑电路的手工设计方法

### 同步时序电路的基本设计步骤

1. 根据需实现的逻辑功能要求建立状态转换图和状态转换表

2. 状态化简

3. 状态编码  $n \geq \log_2 M$

4. 求出相关触发器的状态方程、驱动方程和电路的输出方程

5. 画出逻辑电路图并检查电路的自启动能力

## 设计举例

【例7-3】要求使用D触发器设计一个同步8421 BCD码的十进制加法计数器。

解： (1)

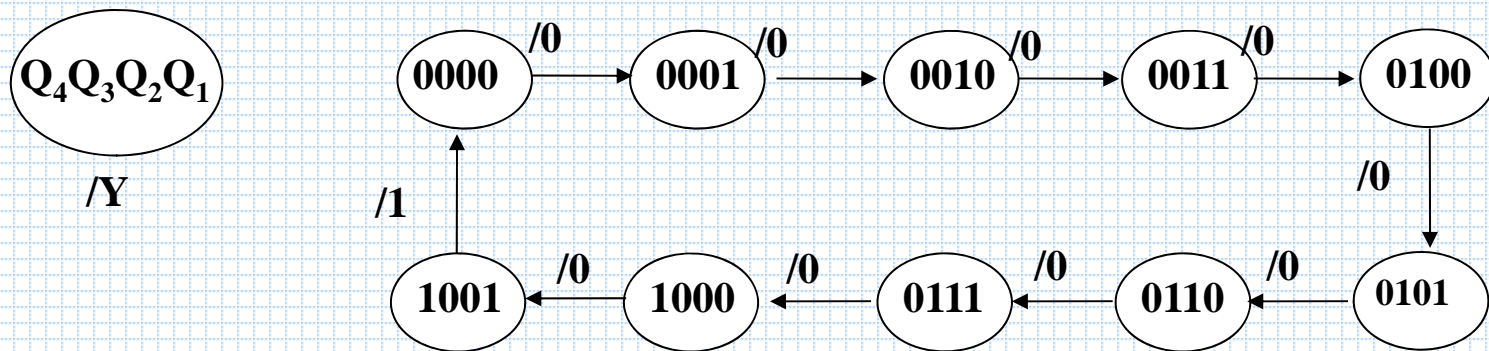


图7-9 例7-3的状态图

解: (2)

$Q_2Q_1 \backslash Q_4Q_3$	00	01	11	10
00	0001	0101	xxxx	1001
01	0010	0110	xxxx	0000
11	0100	1000	xxxx	xxxx
10	0011	0111	xxxx	xxxx

(a) 次态卡诺图

$Q_2Q_1 \backslash Q_4Q_3$	00	01	11	10
00	0	0	x	1
01	0	0	x	0
11	0	1	x	x
10	0	0	x	x

(b)  $Q_4^{n+1}$  卡诺图

$Q_2Q_1 \backslash Q_4Q_3$	00	01	11	10
00	0	1	x	0
01	0	1	x	0
11	1	0	x	x
10	0	1	x	x

(c)  $Q_3^{n+1}$  卡诺图

$Q_2Q_1 \backslash Q_4Q_3$	00	01	11	10
00	0	0	x	0
01	1	1	x	0
11	0	0	x	x
10	1	1	x	x

(d)  $Q_2^{n+1}$  卡诺图

$Q_2Q_1 \backslash Q_4Q_3$	00	01	11	10
00	1	1	x	1
01	0	0	x	0
11	0	0	x	x
10	1	1	x	x

(e)  $Q_1^{n+1}$  卡诺图

图7-10 例7-3的次态卡诺图

解： (3)

$$Q_4^{n+1} = Q_3 Q_2 Q_1 + \overline{Q_1} Q_4$$

$$Q_3^{n+1} = \overline{Q_3} Q_2 Q_1 + Q_3 \overline{Q_2} + Q_3 \overline{Q_1} = \overline{Q_3} Q_2 Q_1 + Q_3 \overline{Q_2 Q_1}$$

(7-11)

$$Q_2^{n+1} = \overline{Q_4} Q_1 \overline{Q_2} + \overline{Q_1} Q_2$$

$$Q_1^{n+1} = \overline{Q_1}$$

$$(4) \quad Q^{n+1} = D$$

$$D_4 = Q_3 Q_2 Q_1 + \overline{Q_1} Q_4$$

$$D_3 = \overline{Q_3} Q_2 Q_1 + Q_3 \overline{Q_2} + Q_3 \overline{Q_1} = \overline{Q_3} Q_2 Q_1 + Q_3 \overline{Q_2 Q_1}$$

(7-12)

$$D_2 = \overline{Q_4} Q_1 \overline{Q_2} + \overline{Q_1} Q_2$$

$$D_1 = \overline{Q_1}$$

解: (5)

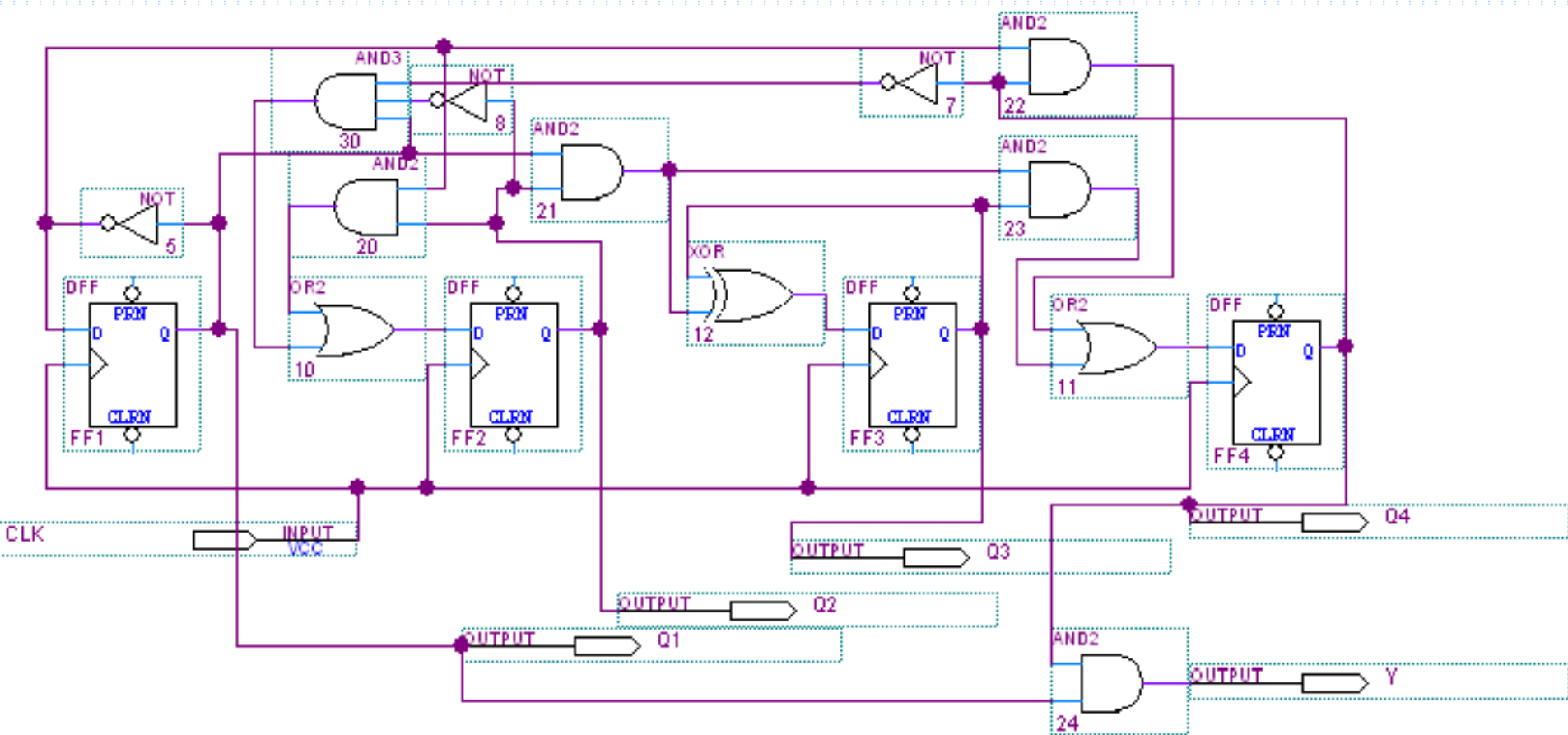


图7-11 例7-3的逻辑电路图



## 设计举例

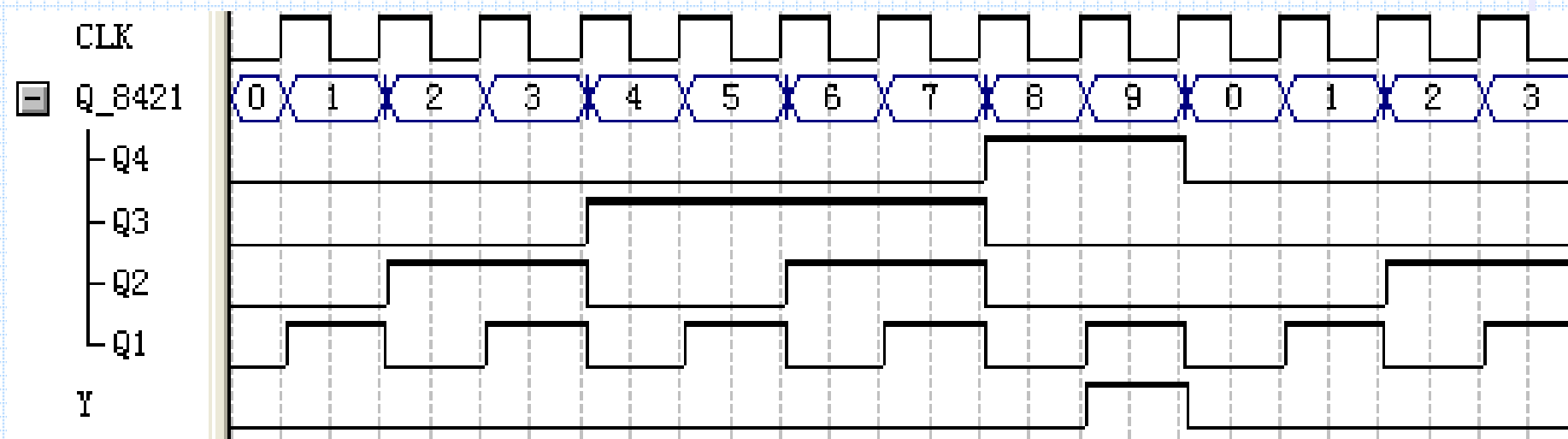


图7-12 例7-3的仿真波形

# 7.4 寄存器

## 7.4.1 并行寄存器

表7-4 74LS175真值表

清零	时钟脉冲	输入				输出				工作模式
CLRN	CLK	1D	2D	3D	4D	1Q	2Q	3Q	4Q	
0	×	×	×	×	×	0	0	0	0	异步清零
1	↑	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	数据寄存
1	1	×	×	×	×		保	持		数据保持
1	0	×	×	×	×		保	持		数据保持

## 7.4.1 并行寄存器

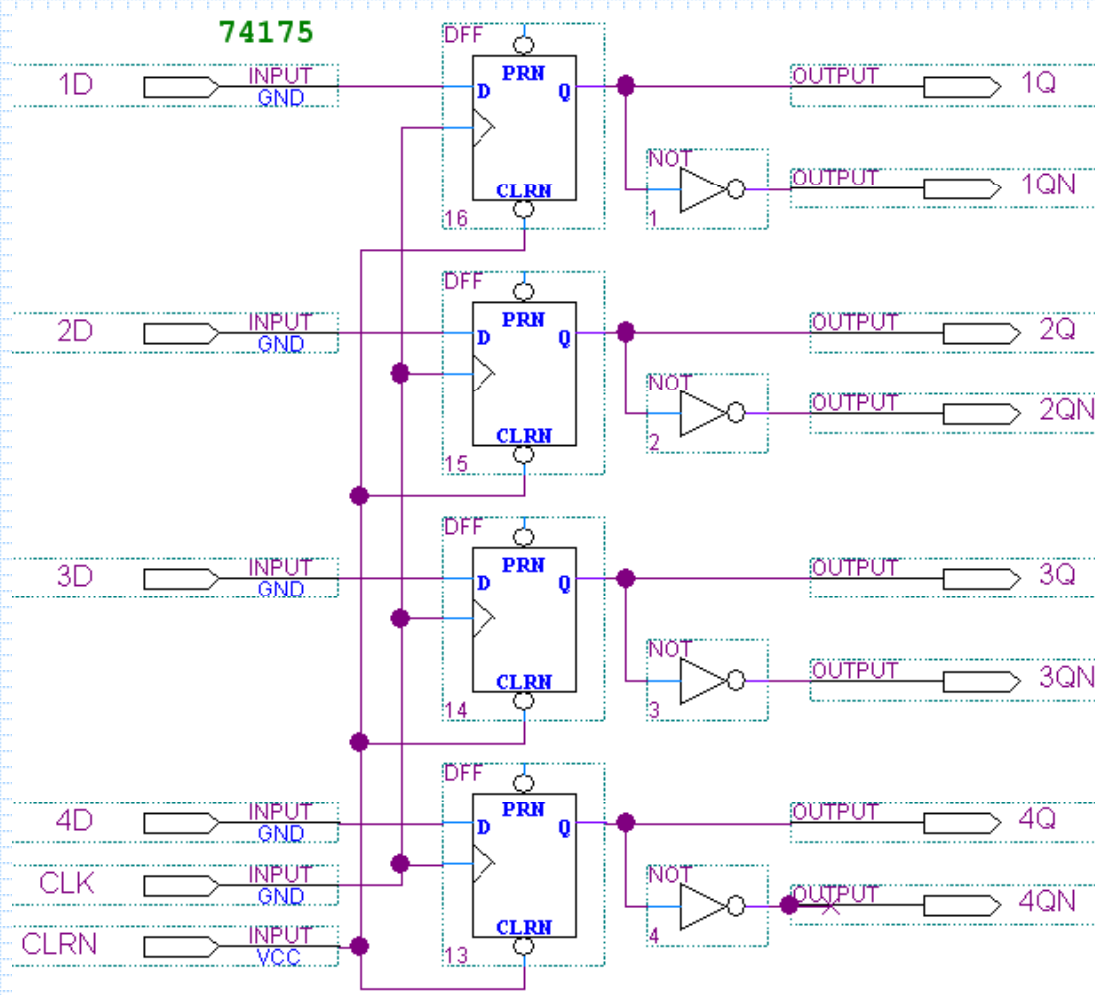
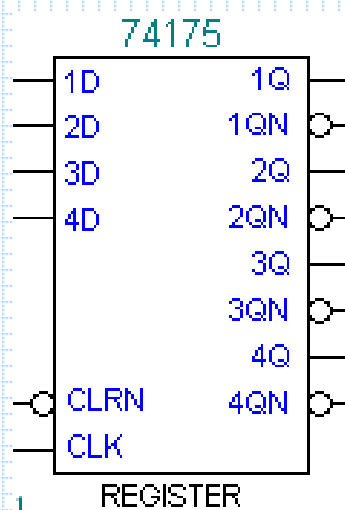


图7-16 4位边沿触发寄存器74LS175的逻辑符号和内部结构逻辑图

## 7.4.2 移位寄存器

### 1. 串行输入/串行输出/并行输出移位寄存器

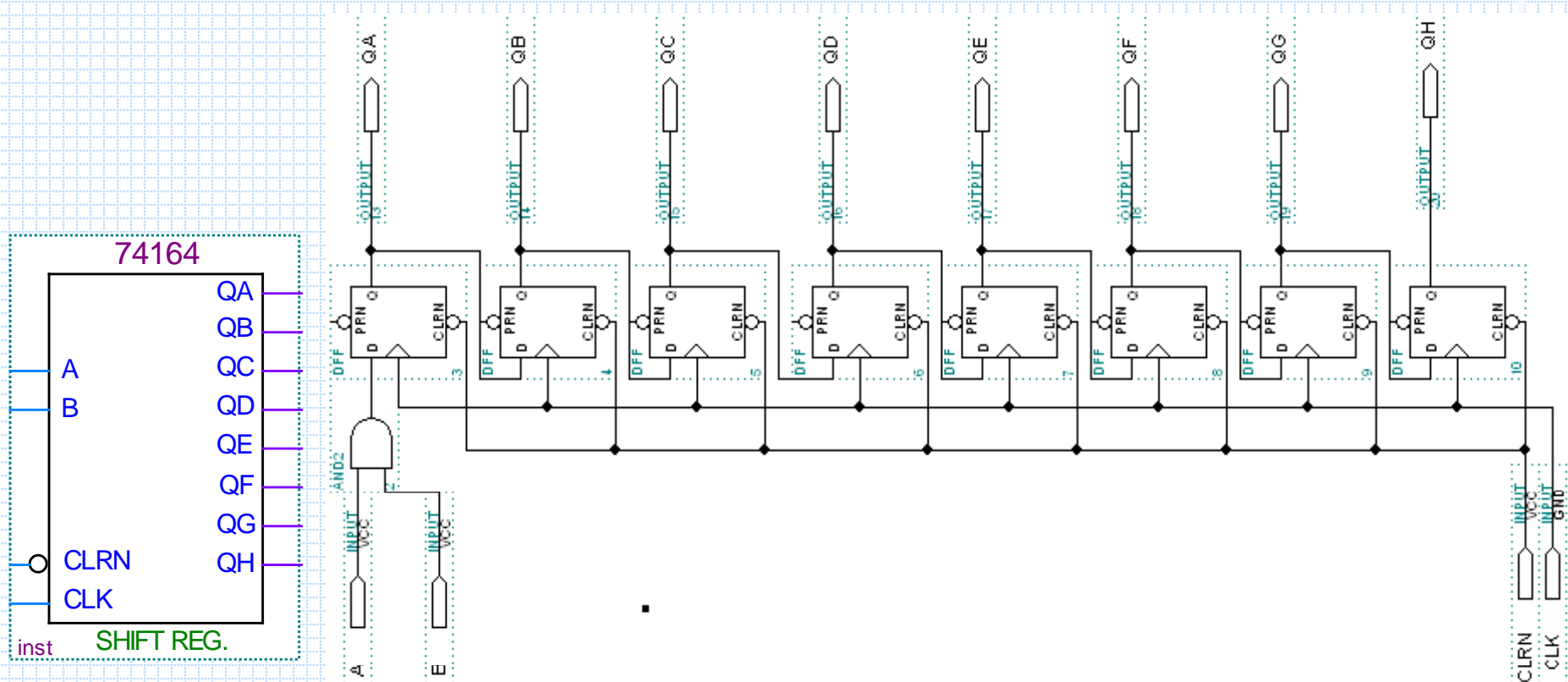


图7-18 74LS164的逻辑符号和内部逻辑图

## 7.4.2 移位寄存器

### 1. 串行输入/串行输出/并行输出移位寄存器

表7-6 74LS164的真值表

输 入				输 出		功能
CLK	CLR	A	B	QA	QB...QH	
×	0	×	×	0	0...0	清零
0	1	×	×	$QA_0$	$QB_0...QH_0$	保持
↑	1	1	1	1	$QA^n...QG^n$	移位
↑	1	0	×	0	$QA^n...QG^n$	移入0
↑	1	×	0	0	$QA^n...QG^n$	移入0

## 7.4.2 移位寄存器

### 2. 并行输入/串行输出移位寄存器

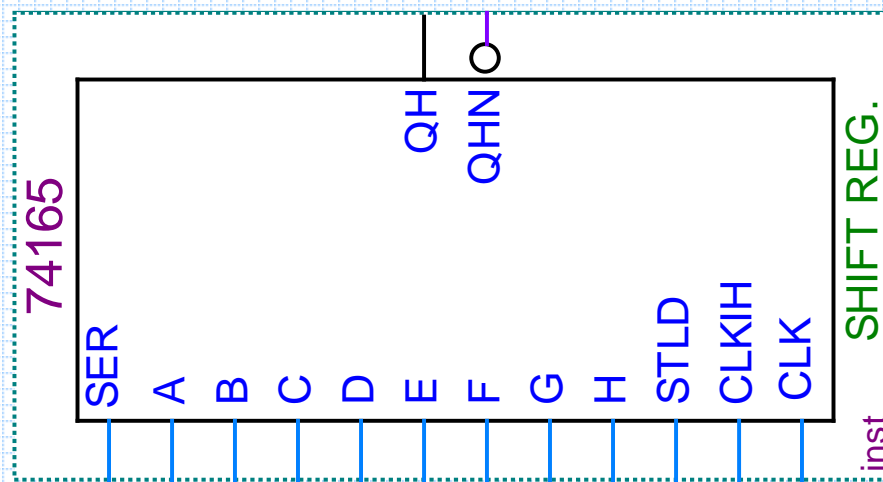


图7-19 74LS165的逻辑符号

表7-7 74LS165真值表

输入					内部输出		输出	功能
STLD	CLKIH	CLK	SER	并行				
				A...H	QA	QB	QH	
0	×	×	×	a...h	a	b	h	置入数据
1	0	0	×	×	QA0	QB0	QH0	保持
1	0	↑	1	×	1	QA0	QG0	移位
1	0	↑	0	×	0	QA0	QG0	移位
1	1	×	×	×	QA0	QB0	QH0	禁止移位

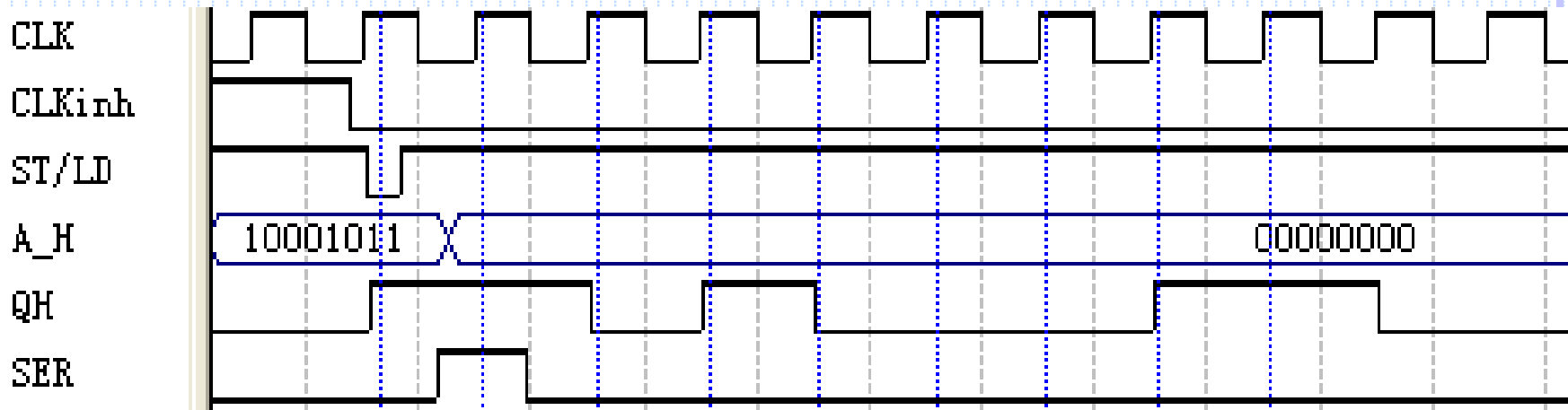


图7-20 74LS165的仿真波形

# 7.5 计数器及其手工设计

## 7.5.1 异步计数器设计

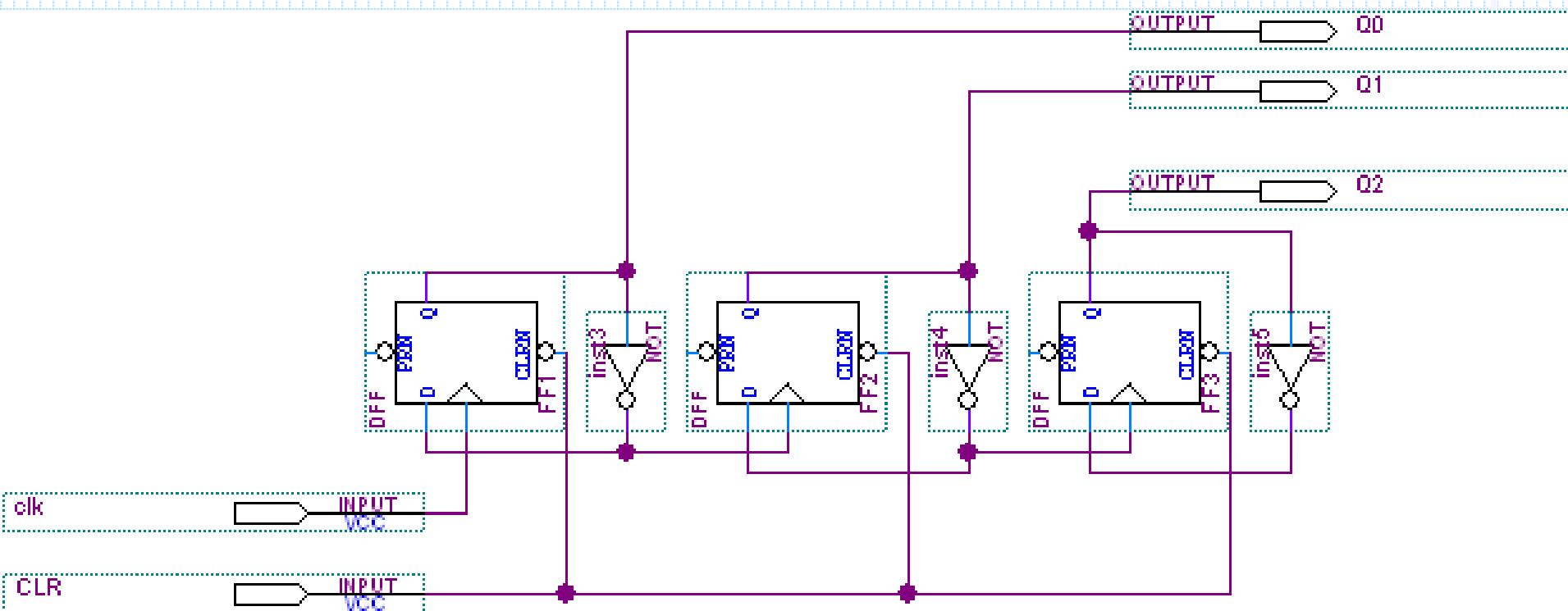


图7-23 三位D触发器构成的二进制异步加计数器



## 7.5.1 异步计数器设计

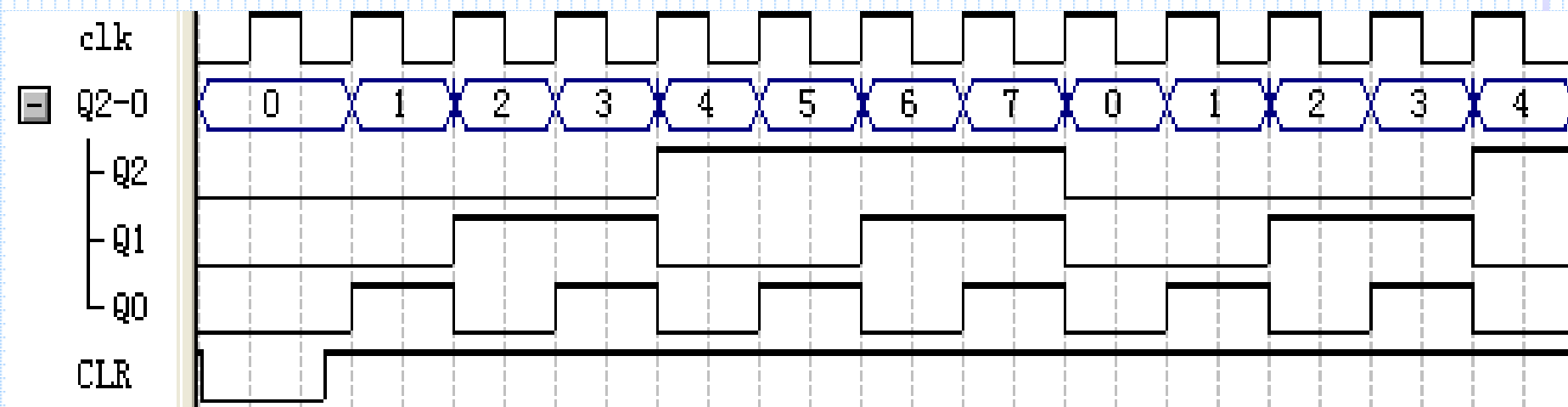


图7-24 三位二进制异步加法计数器仿真波形

## 7.5.2 同步计数器设计

### 同步二进制加法计数器

$$D_i = (Q_0 Q_1 \cdots Q_{i-1}) \oplus Q_i \quad (7-13)$$

$$\begin{cases} D_0 = \overline{Q_0} \\ D_1 = Q_0 \oplus Q_1 \\ D_2 = (Q_0 Q_1) \oplus Q_2 \end{cases} \quad (7-14)$$

$$Q_i^{n+1} = D_i \quad (7-15)$$

$$C = Q_2 Q_1 Q_0 \quad (7-16)$$

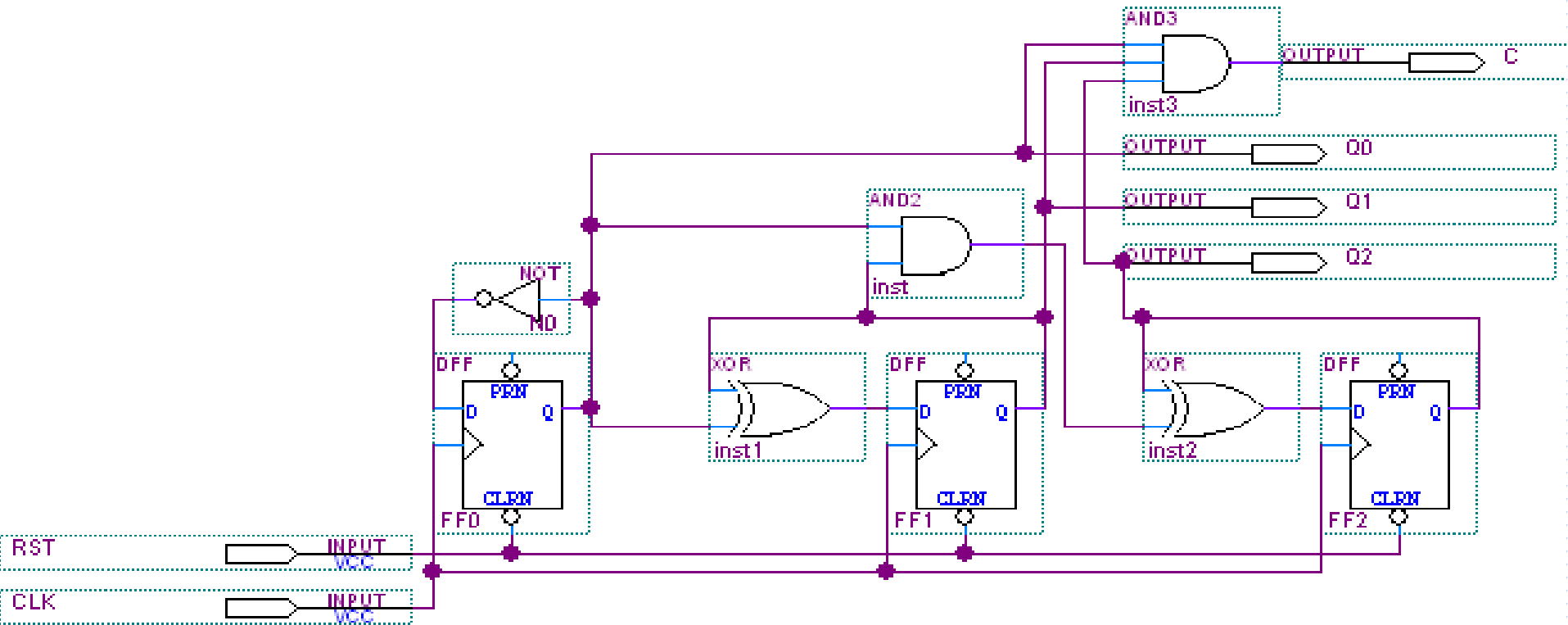


图7-25 D触发器构成的三位二进制加法计数器

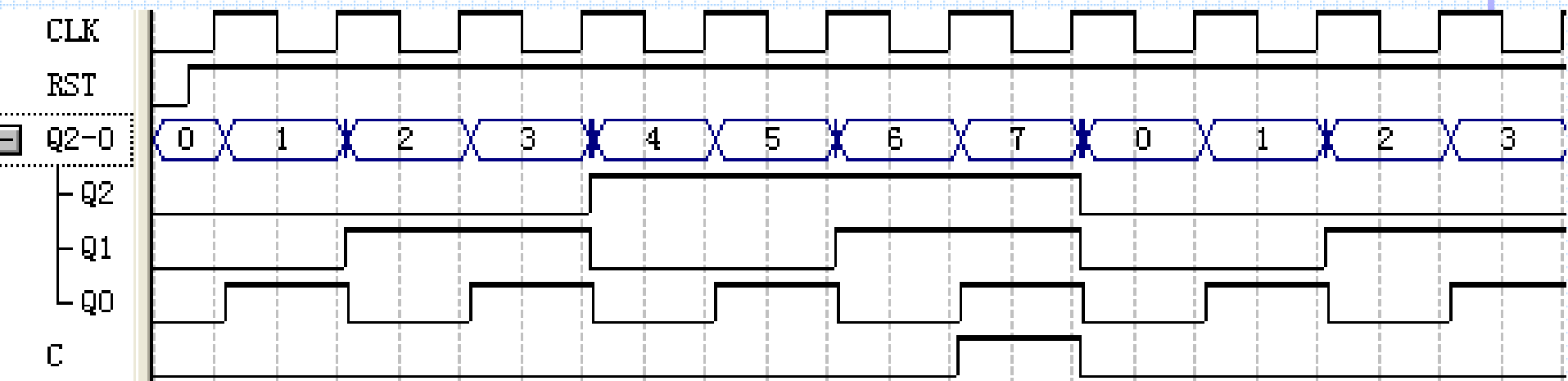


图7-26 三位二进制加法计数器的仿真波形

## 同步非二进制计数器设计

Q3	Q2	Q1	Q0
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

循环

C 进位输出

正常计数的下一个状态

图7-31 模10计数器输出状态

## 同步非二进制计数器设计

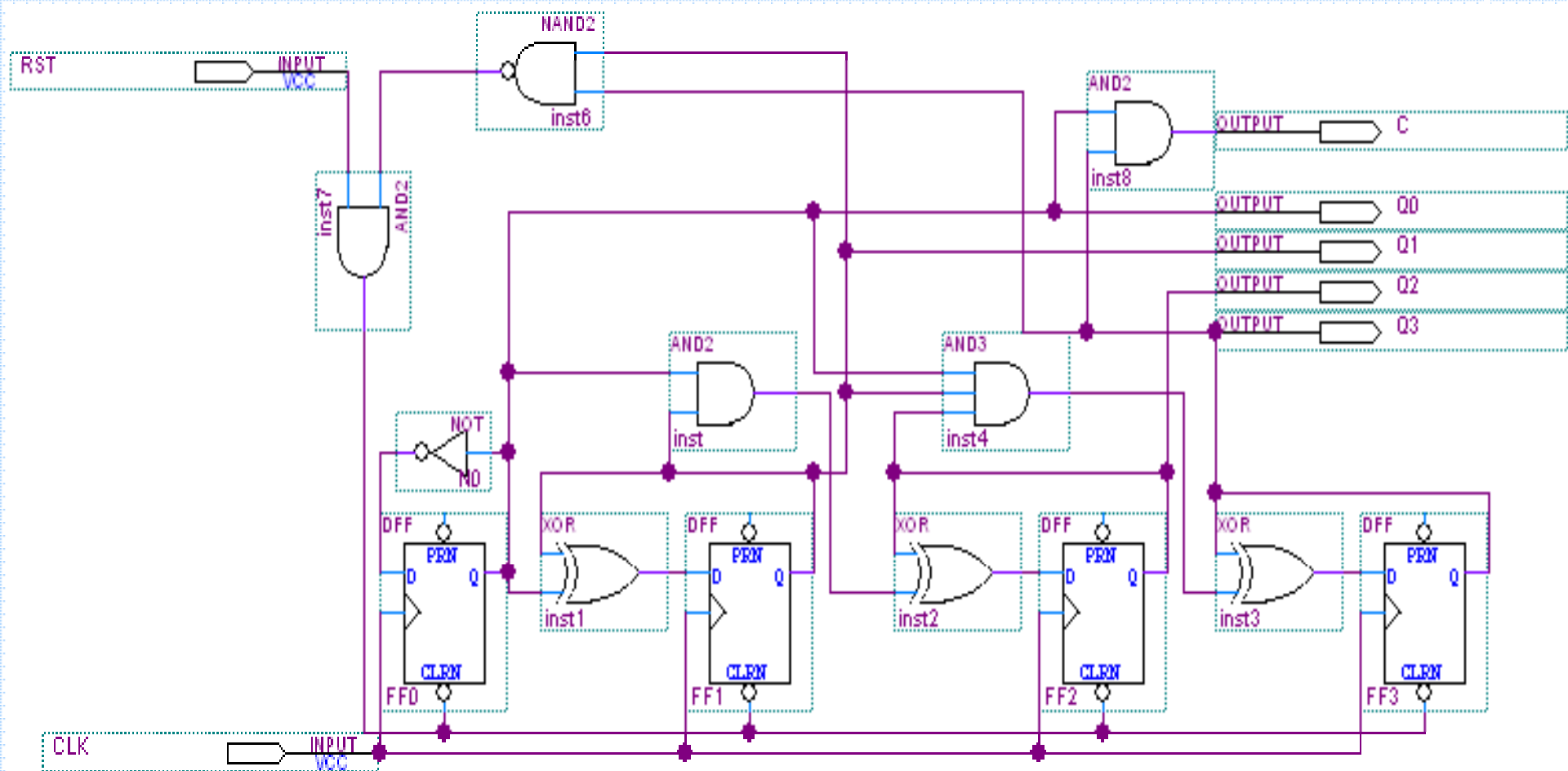


图7-32 模10同步加法计数器电路

## 同步非二进制计数器设计

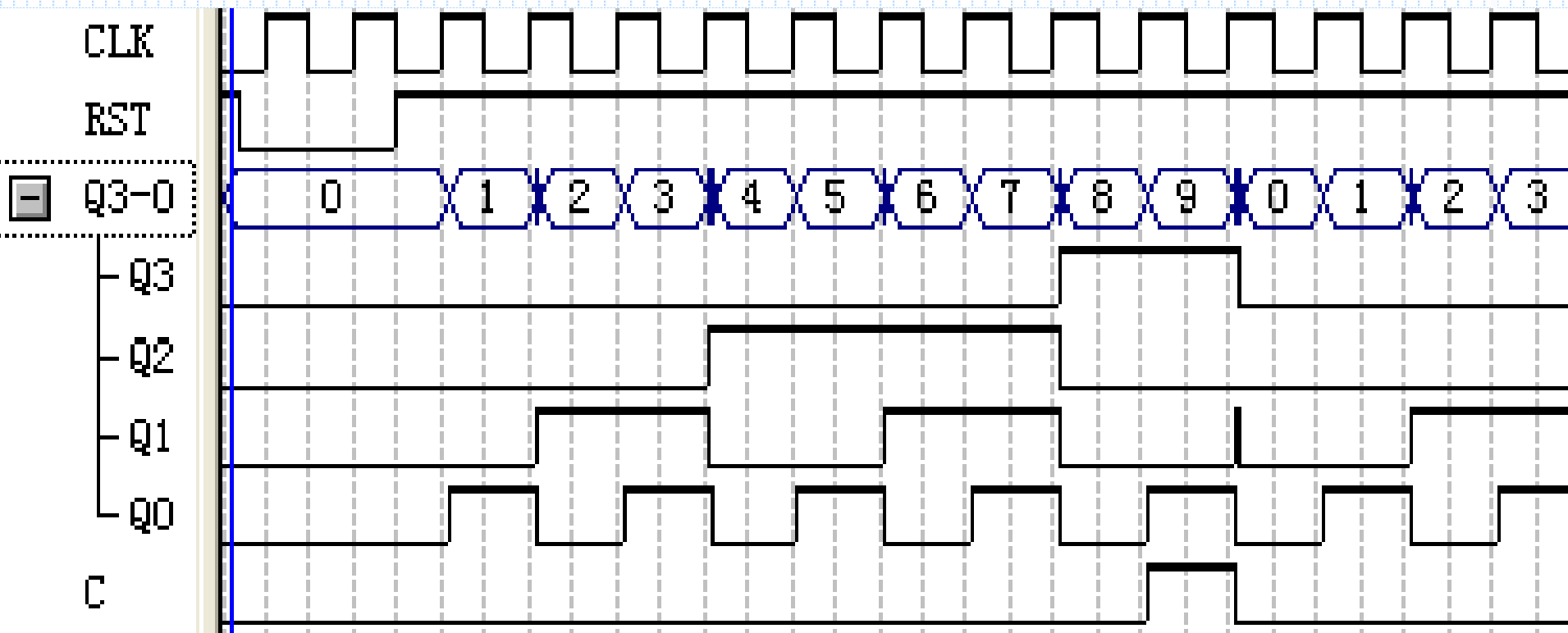


图7-33 模10同步加法计数器的仿真波形