**基于PCM-Hamming码的FSK调制解调通信系统**

1. 小组成员分工

|  |  |  |
| --- | --- | --- |
| 姓名 | 学号 | 分工 |
| 王童 | 2015011201 | Hamming码、并行串行转换、串口通信、整合、调试 |
| 李百双 | 2015011190 | FSK调制模块，FSK解调模块 |
| 张栩铭 | 2015011199 | PCM编解码 |

1. 实验原理

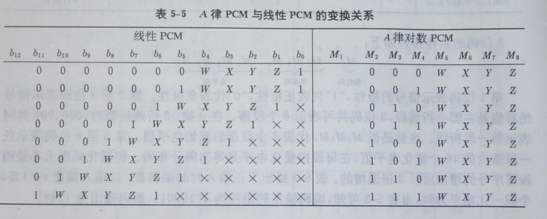
运用大学期间所学过的知识来设计一个用于语音传输的通信系统，主要用到的知识有：PCM编解码、Hamming码、串口通信、FSK调制解调技术。

其中，信源编码部分用到了PCM编解码技术，信道编码采用Hamming提供1bit纠错能力，信道传输采用FSK调制解调技术。

【**PCM编解码**】

1. **编码**

PCM脉冲编码调制是数字通信的编码方式之一，主要是将语音、图像等模拟信号每隔一定时间进行取样，时期离散化，再将抽样值岸分层单位四舍五入取整。本次实验中将通过AD采样得到的八位信号先扩展为十三位的线性PCM信号，具体操作就是在八位信号后补充五位零。再根据相应的变换表将十三位线性PCM码变换成八位A律对数PCM码，具体转换表格如下：



1. **解码**

通过上面的表格，把FSK输出的八位对数PCM码转换为十三位线性PCM码，再提取十三位线性PCM码的前八位作为最终PCM编码的解码输出。由于将十三位变换成八位A律对数码的时候，可以看到上图中线性PCM第一、二行b0，第三行b1等均为1，但是在编码的时候这一位的信息丢失，因此最终解码的时候会存在末位信息丢失的情况。

1. **PCM编解码**

PCM通过抽样、量化、编码三个步骤将连续变化的模拟信号转换为数字编码。PCM编码能够达到最高保真水平，但是就像图中所示的PCM编码仍然有失真的地方，但是PCM能够做到最大程度地无限接近，这也是PCM编码的优点。

【**Hamming码**】

1. **编码**

信息码位有8位，经过计算可得校正子有4位，一共是12位码

**确定Q**

**生成矩阵**

用8bit数据左乘生成矩阵可得到12bit Hamming码

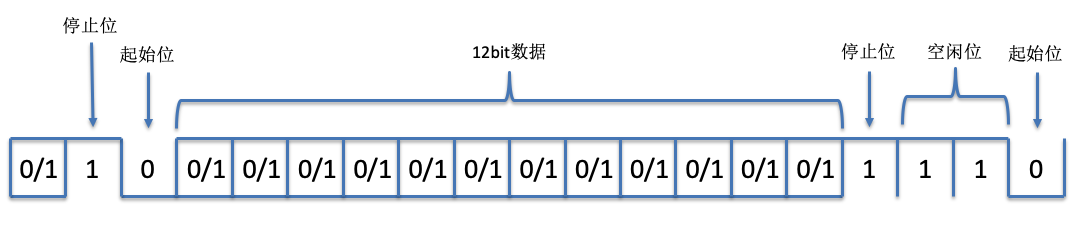
1. **解码**

**监督矩阵**

用接收到的12bit Hamming码左乘监督矩阵，可得到4bit 监督码，当监督码4位均为0时表示信道传输无误码，可将Hamming码的前8位提取出来作为解码出来的数据。若监督码等于的某一行，表示存在误码，由于我们设计的Hamming码只具有1bit纠错能力，所以我们假设只存在1bit误码，则监督码等于监督矩阵的哪一行，则接收到的12bit Hamming码的对应行存在误码，将其置换后取前8bit可得出解码出来的数据。

【**串口通信**】

由于信道存在延时，为了保证从bit流中正确读出传输的数据而不出现错位，我们采用了起止式异步协议

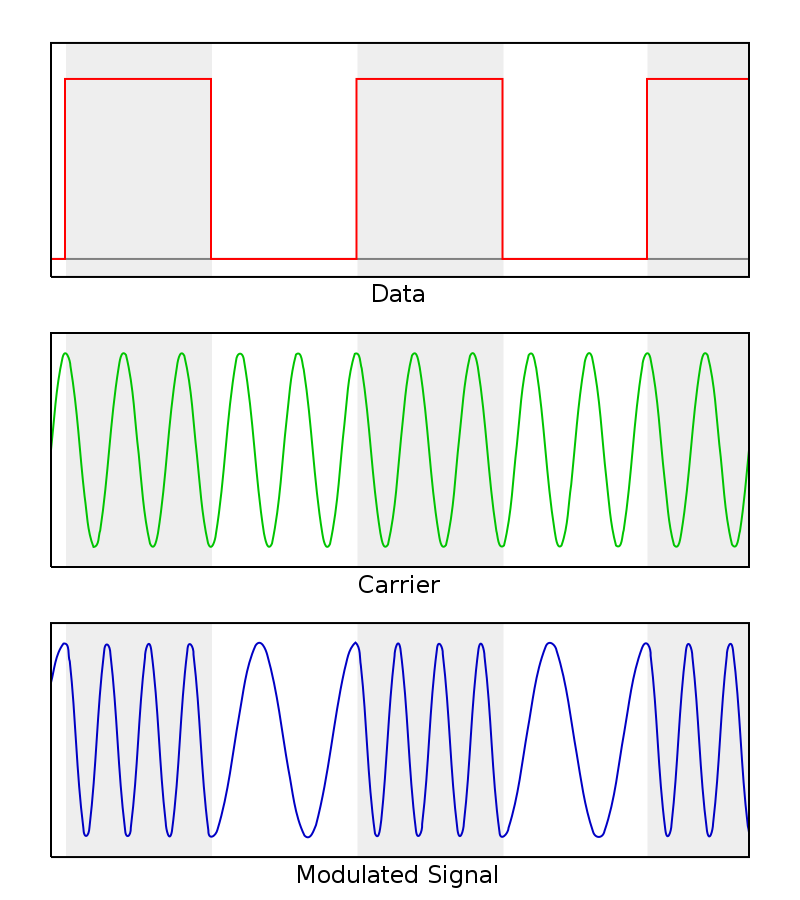


传送时，数据的低位在前，高位在后

起止式异步协议的特点是一个字符一个字符传输，并且传送一个字符总是以起始位开始，以停止位结束，字符之间没有固定的时间间隔要求。其格式如上图所示。每一个字符的前面都有一位起始位（低电平，逻辑值0），字符本身由12位数据位组成，接着是1位停止位，停止位后面是不定长度的空闲位。停止位和空闲位都规定为高电平（逻辑值），这样就保证起始位开始处一定有一个下跳沿。

【**FSK调制解调技术**】

FSK调制的原理是，将输入的比特串的每一位（0/1）在每个比特的传输时间内调制为不同频率的信号，通过高频/低频来携带输入的高位/低位信息。在FSK解调端则根据传输过来的比特时钟，在一个比特时间内进行上升沿计数，根据计数数量判断传输的信息是高位还是低位，进而还原出FSK调制前的信号。



如上图所示，即为FSK的原理，这里我们在数字逻辑电路中使用方波代替正弦波。

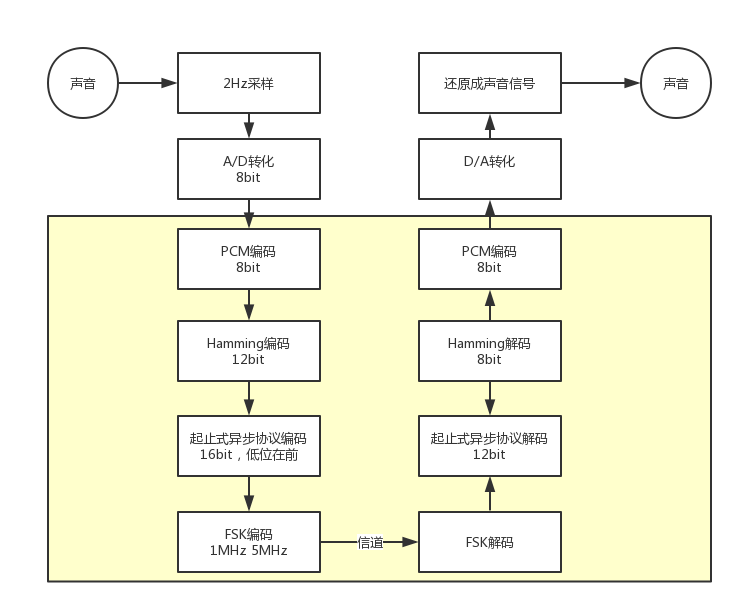
在时钟信号搭建中设定低频调制信号为1MHz，对应为高电平，高频调制信号为5MHz，对应为低电平。

在FSK调制模块中按照上面的对应关系，根据输入的比特流输出将搭载信息的FSK调制信号。

中间的信道过程用无失真信道模拟。

在FSK解调模块中，定义清零脉冲，在比特时钟上升沿处对计数进行清零，从而在每个比特时钟周期内进行FSK调制信号上升沿的计数。由于比特时钟频率为100KHz，因此在低频情况下计数为10，高频下计数为50，以25为界判断当前FSK调制信号的内容为高电平还是低电平，然后再下一个比特时钟周期进行输出。因此由于FSK的存在，整体信号的输出存在一个比特时钟周期的延时。

1. 系统设计框图



其中黄色部分是我们具体实现的部分，为了方便展示，我们省去了采样及A/D和D/A转换部分，预设了一些8bit的数据作为输入。

【**时钟分析**】

以下时钟频率均为仿真的时候做的假设，实际烧录到板子上时进行了微调。除了CLK以外的所有时钟信号均基于CLK经过分频得来。

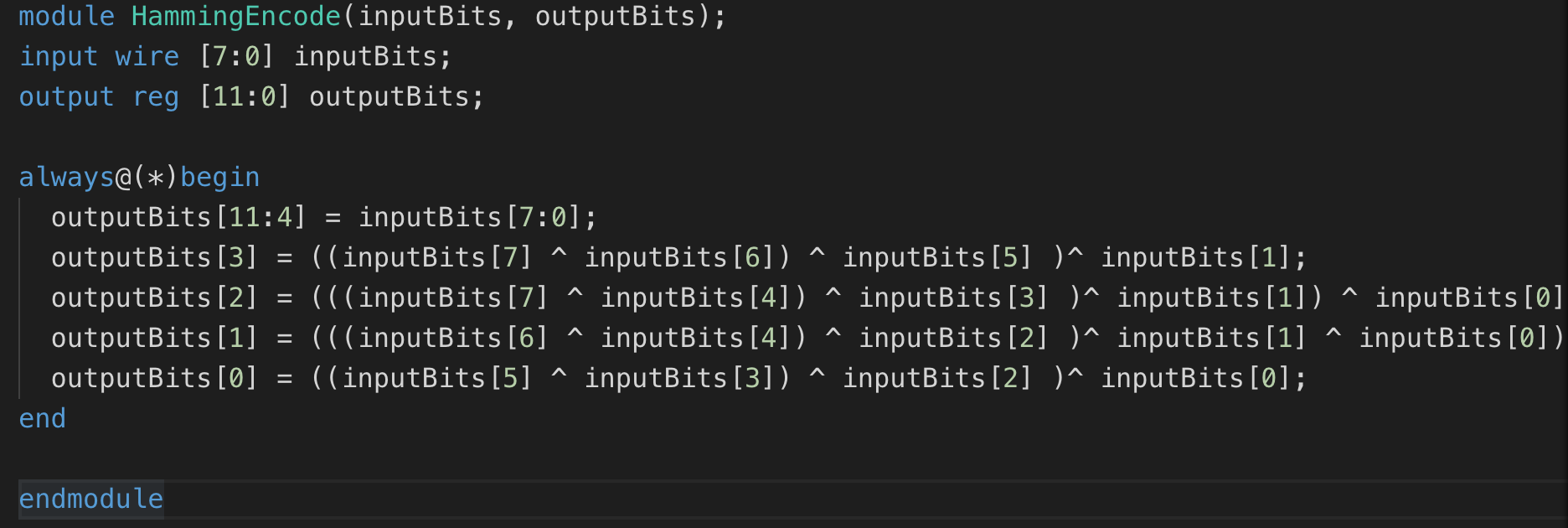
1. 系统时钟CLK：60MHz
2. 采样率CLK\_Sample：2Hz（为了保证输出肉眼可观测到）
3. 传输bit率：CLK\_Serial\_bits：2\*16=32Hz（一个字符对应16位的传输bit流）
4. FSK传输信号：（为了契合串口通信协议，必须保证1对应低频Fsk信号）
   1. Fsk\_0：5MHz（对应0）
   2. Fsk\_1：1MHz（对应1）
5. 各部分的具体实现方法

【PCM编解码】

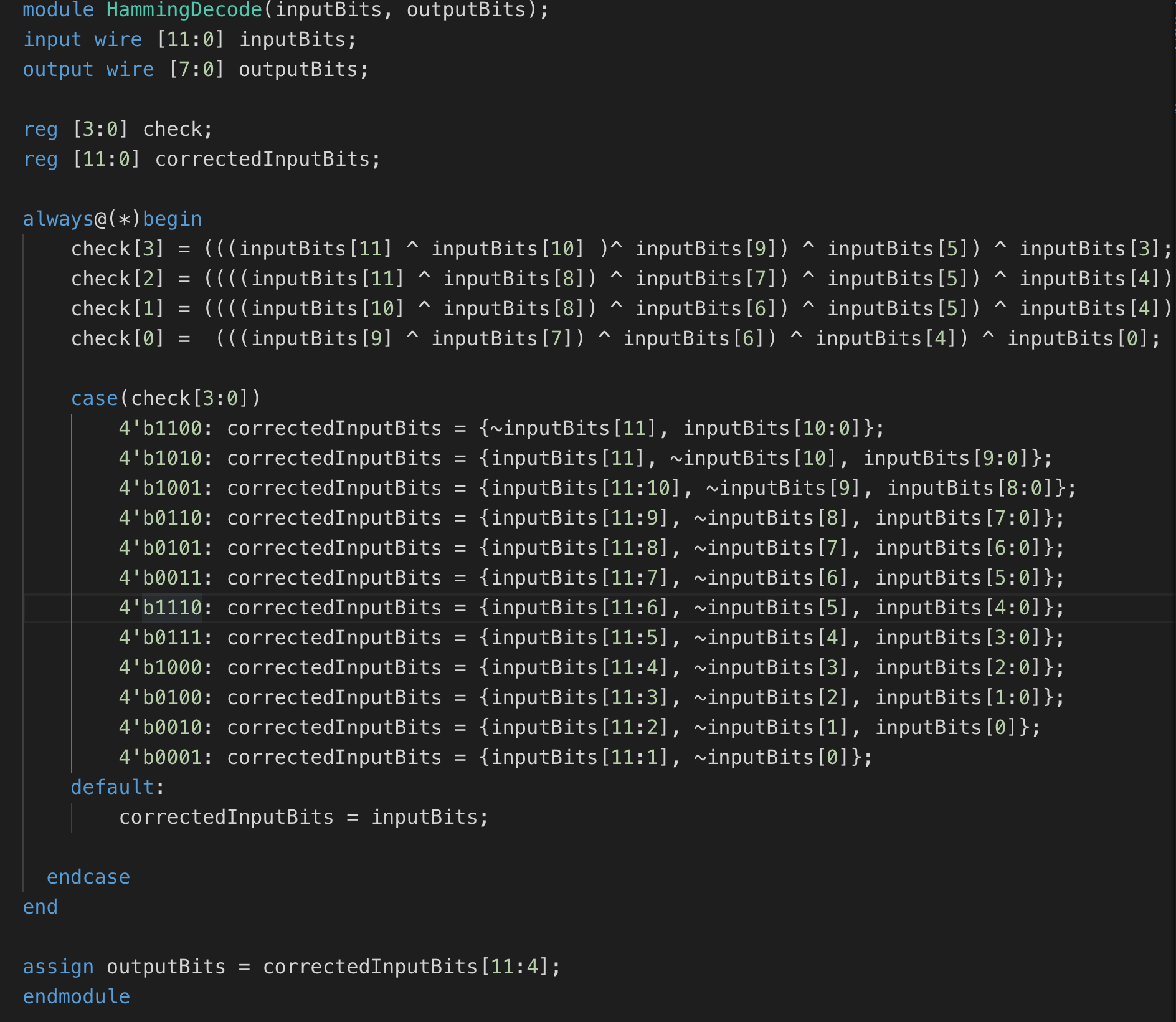
【Hamming码】

二进制乘法可以用异或操作来实现

1. 编码

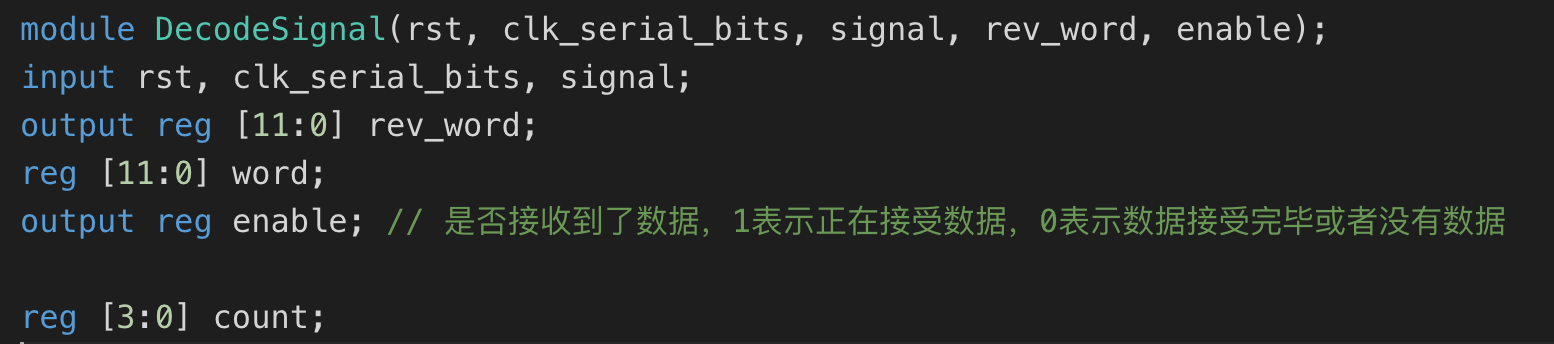


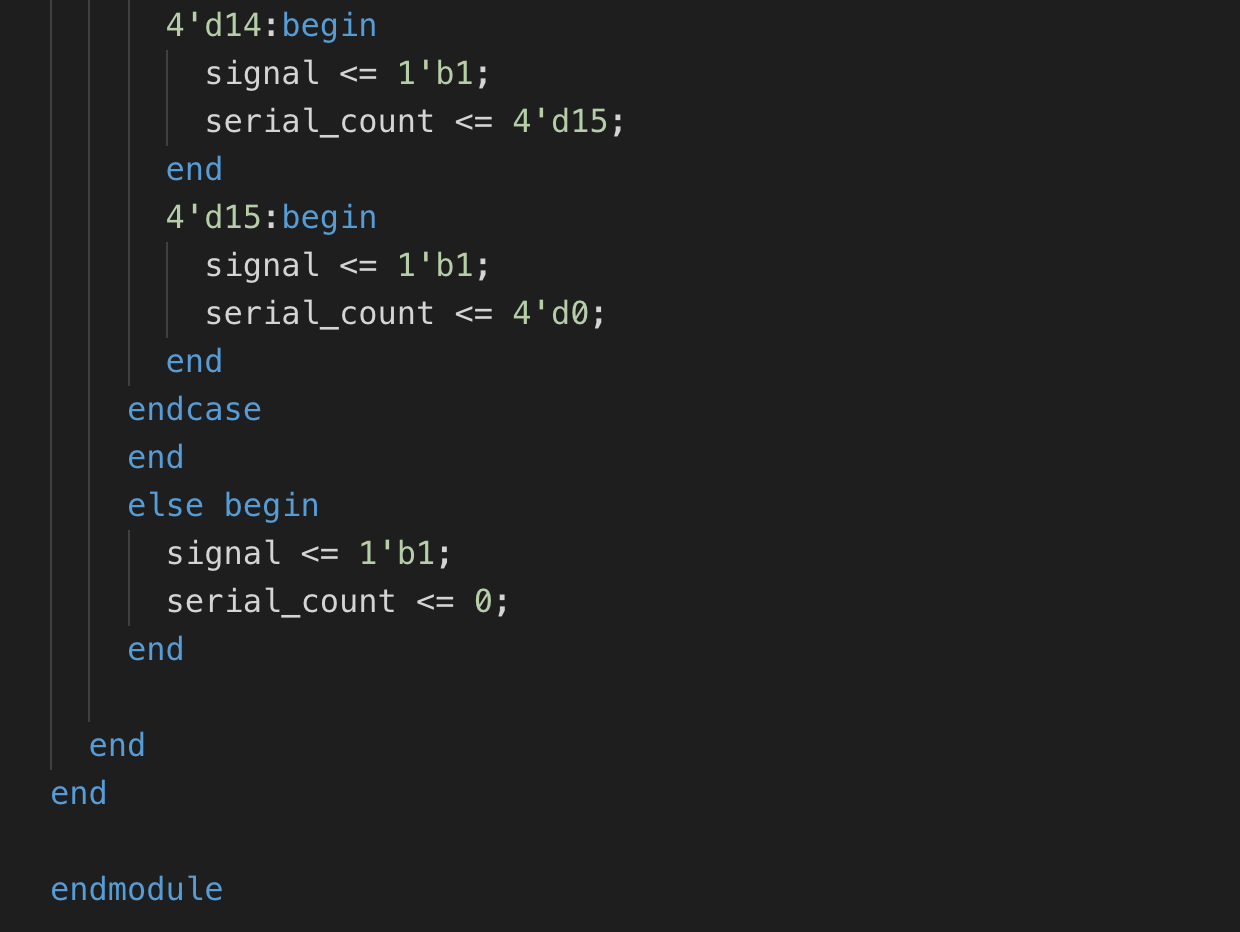
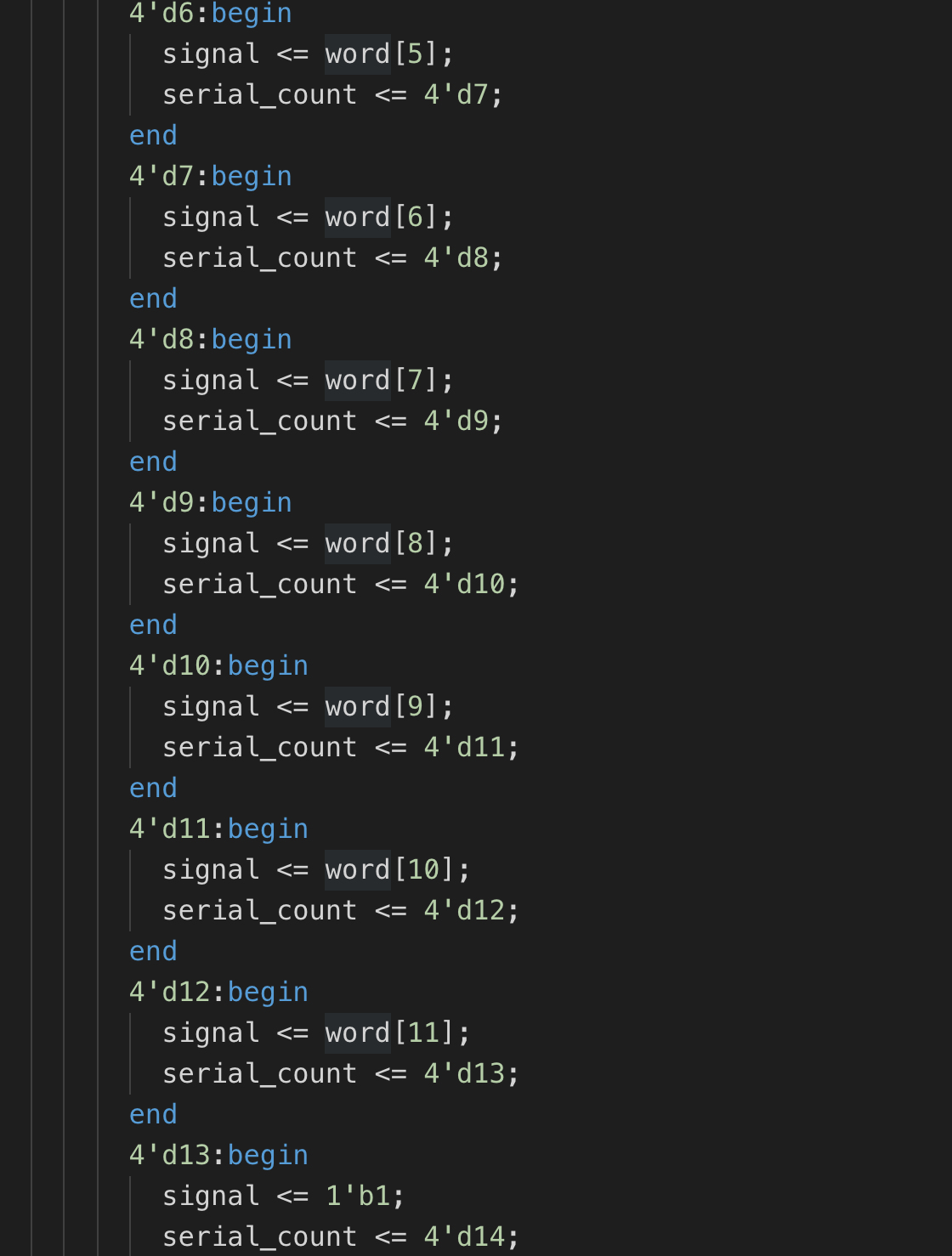
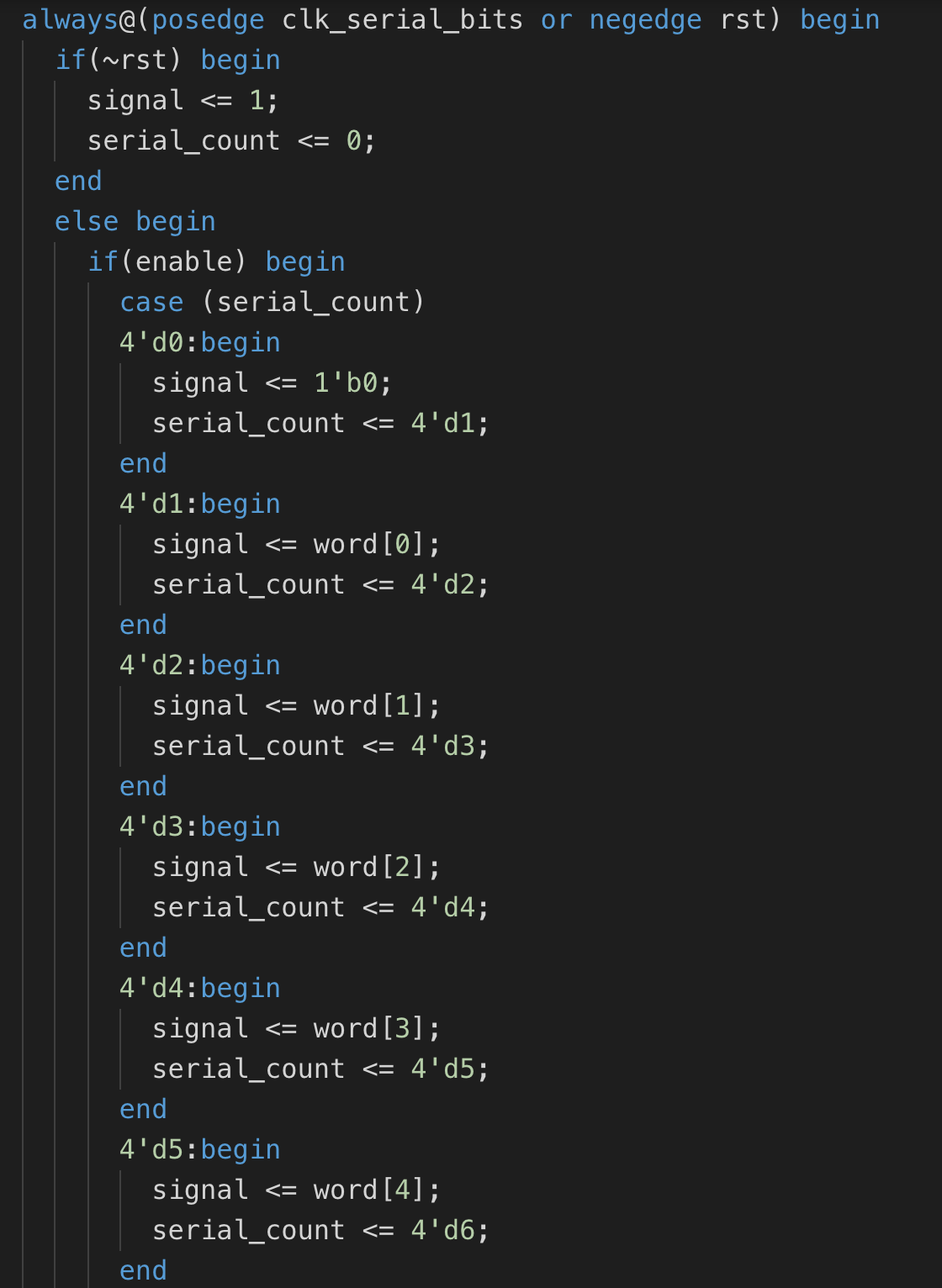
1. 解码



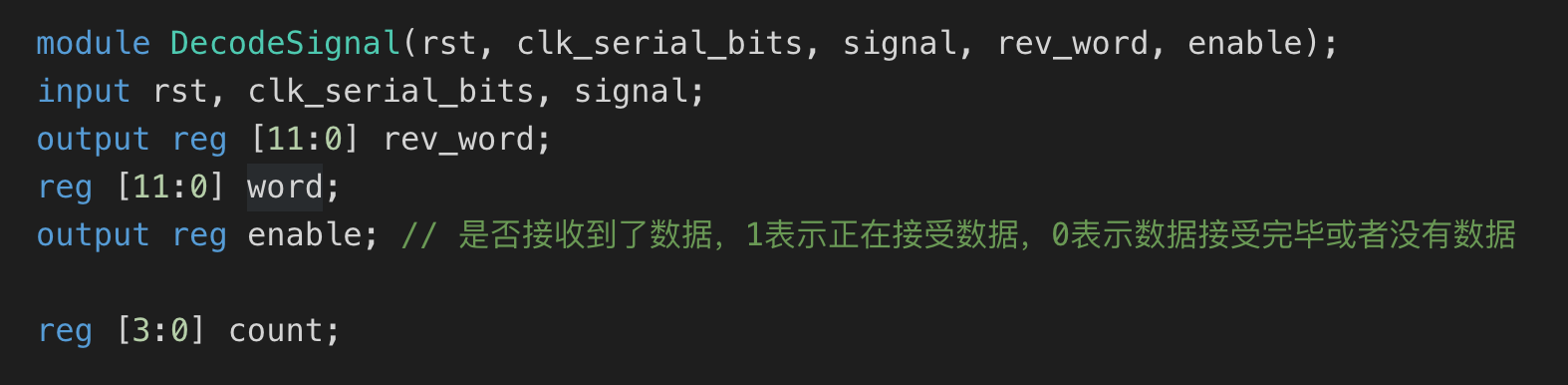
【串口通信】

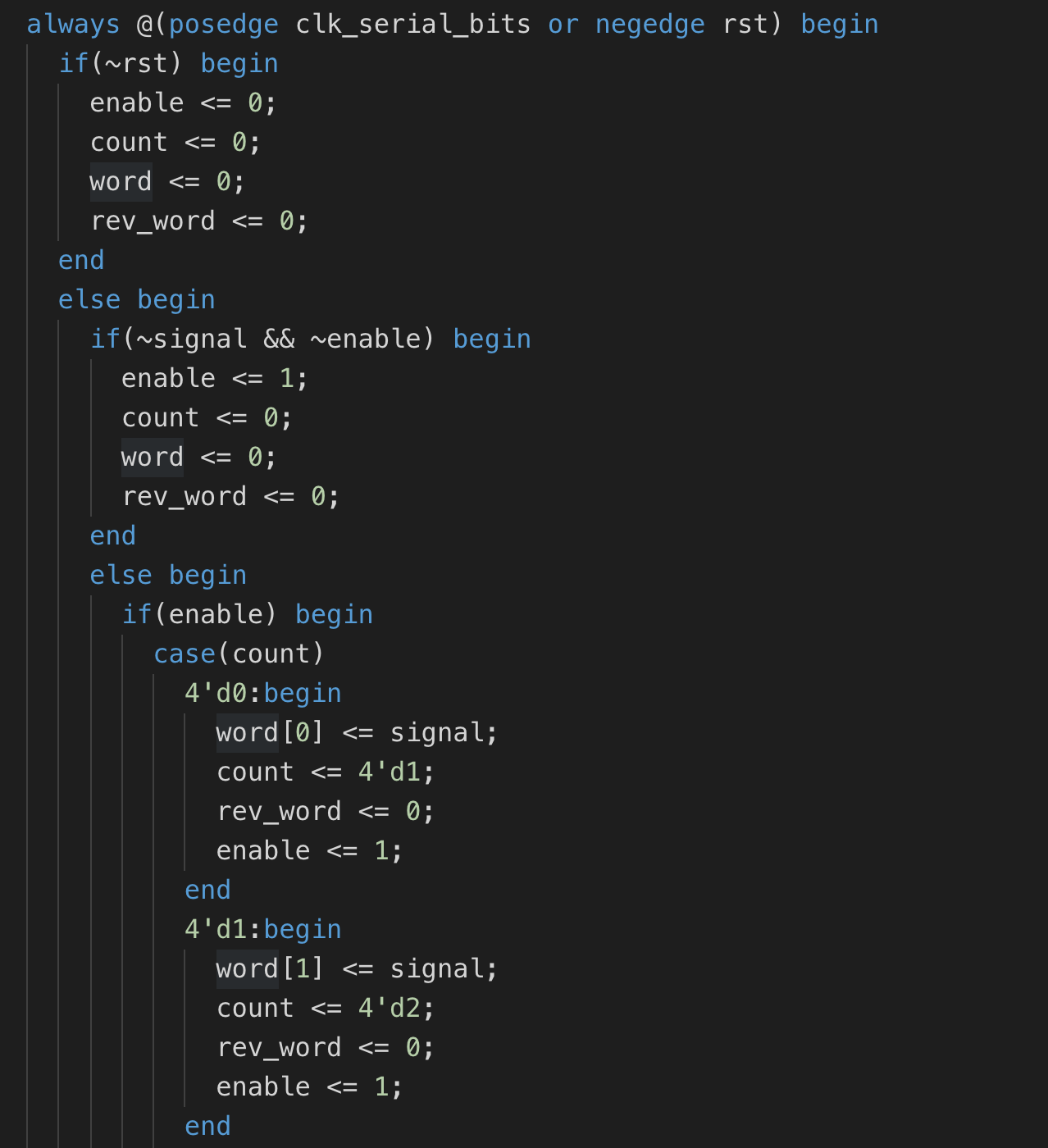
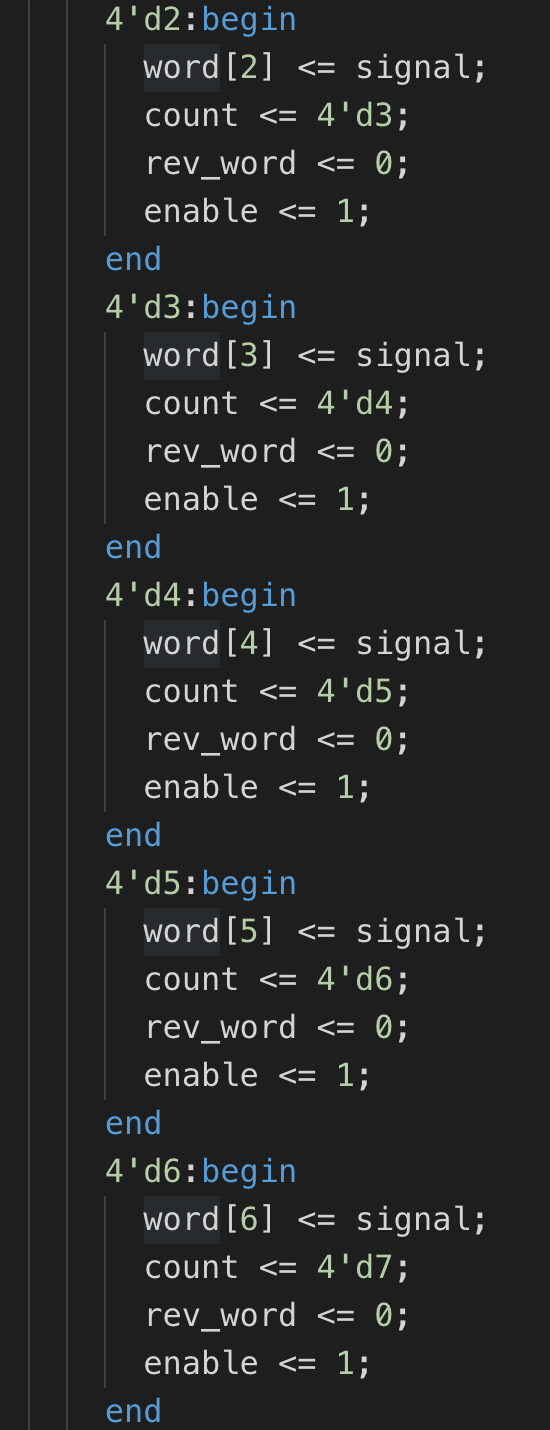
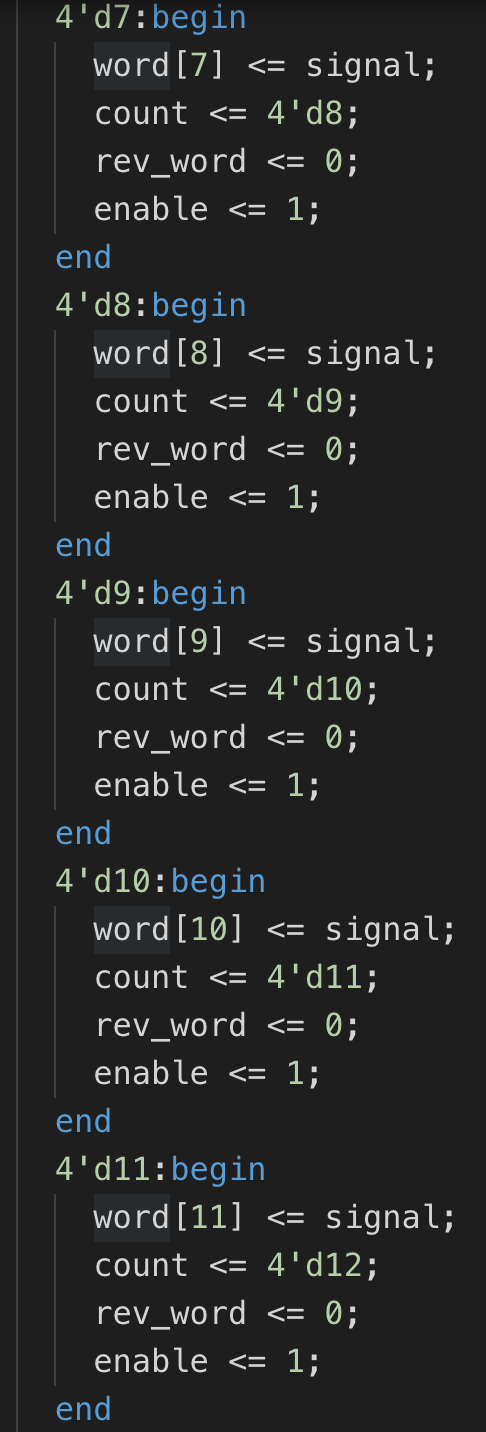
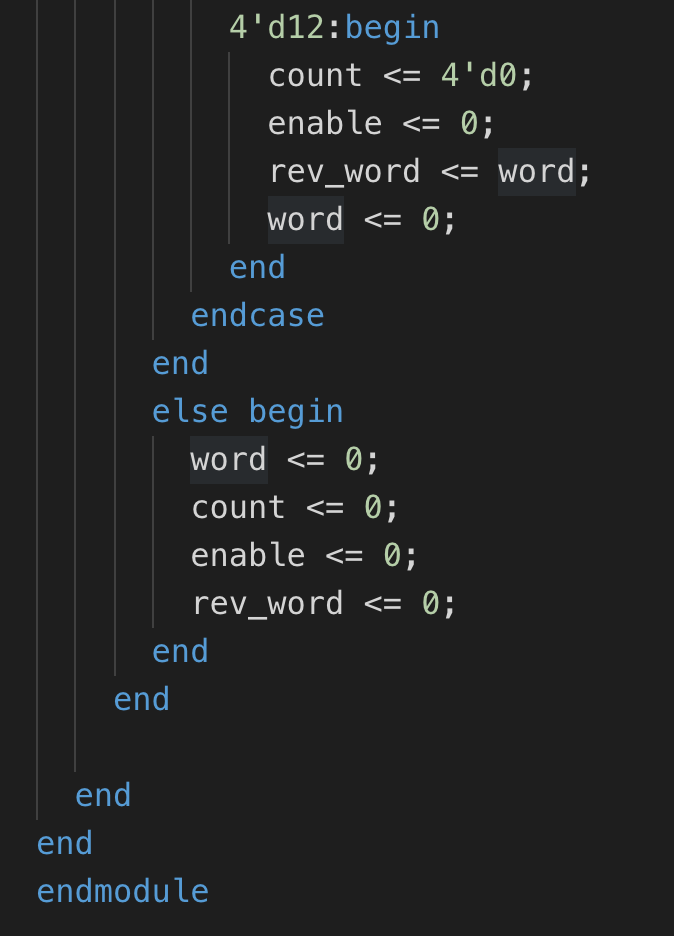
1. 发送





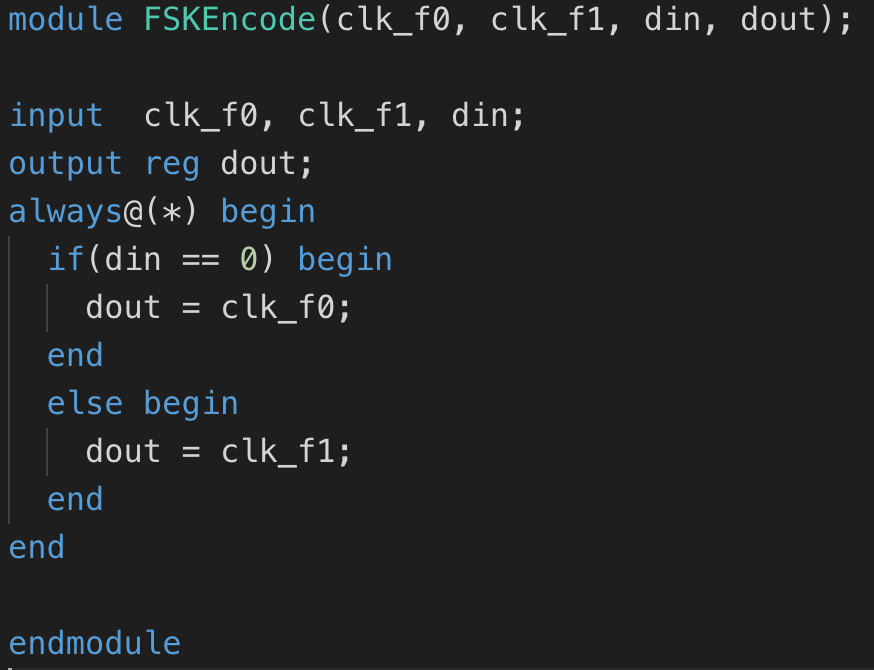
1. 接收



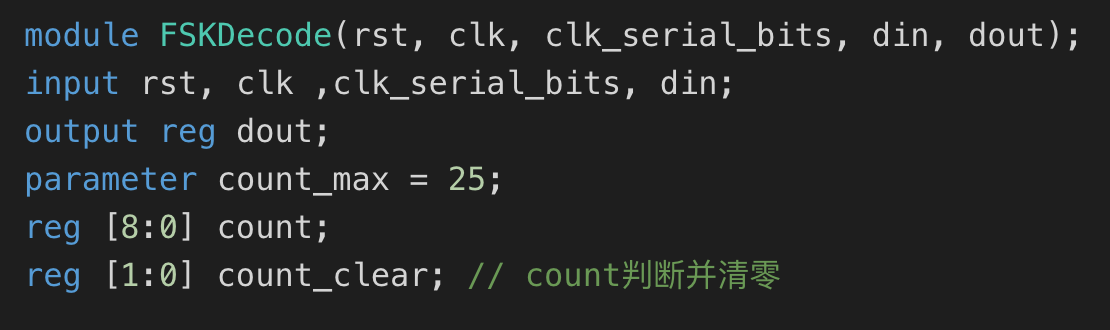
   

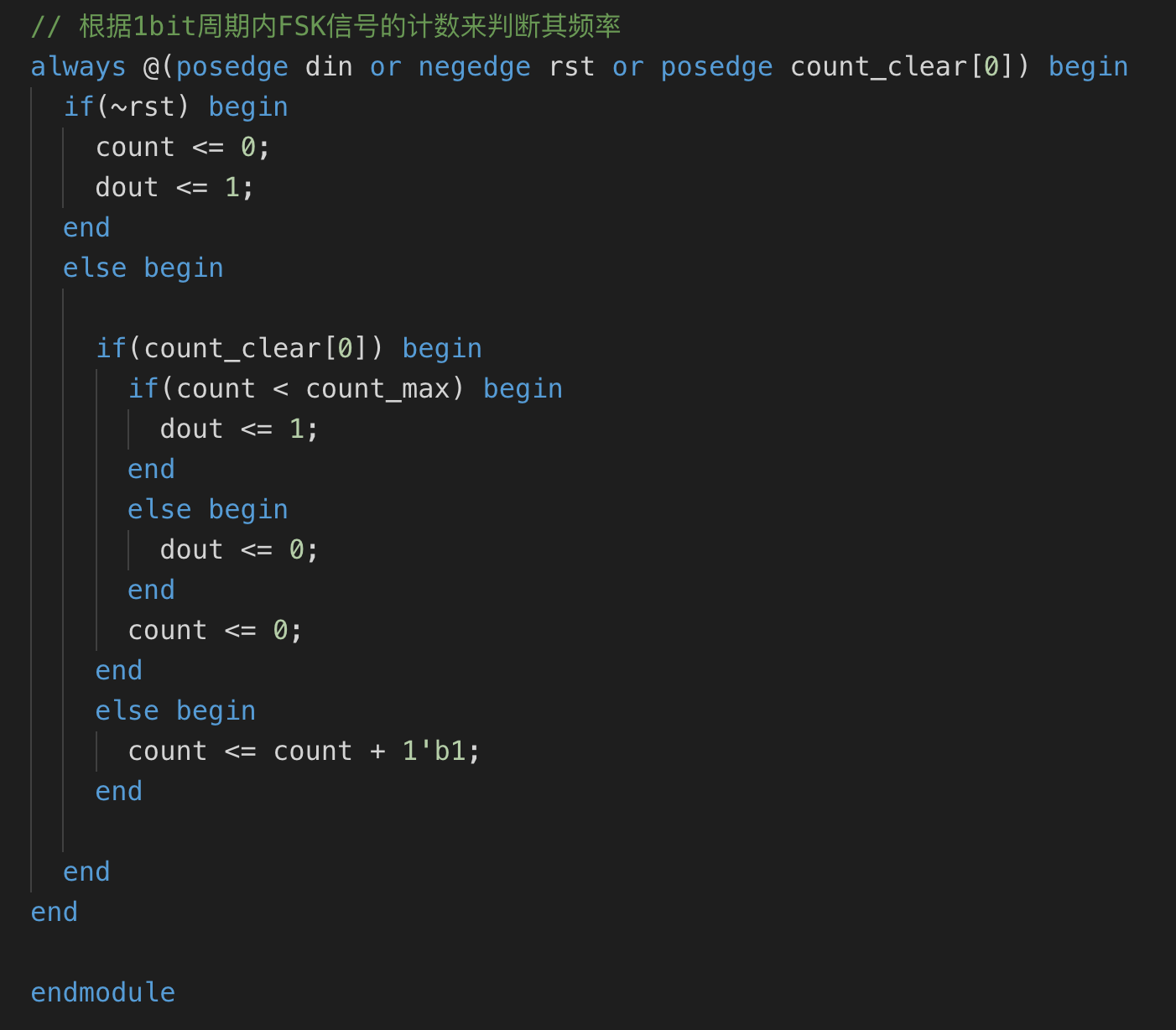
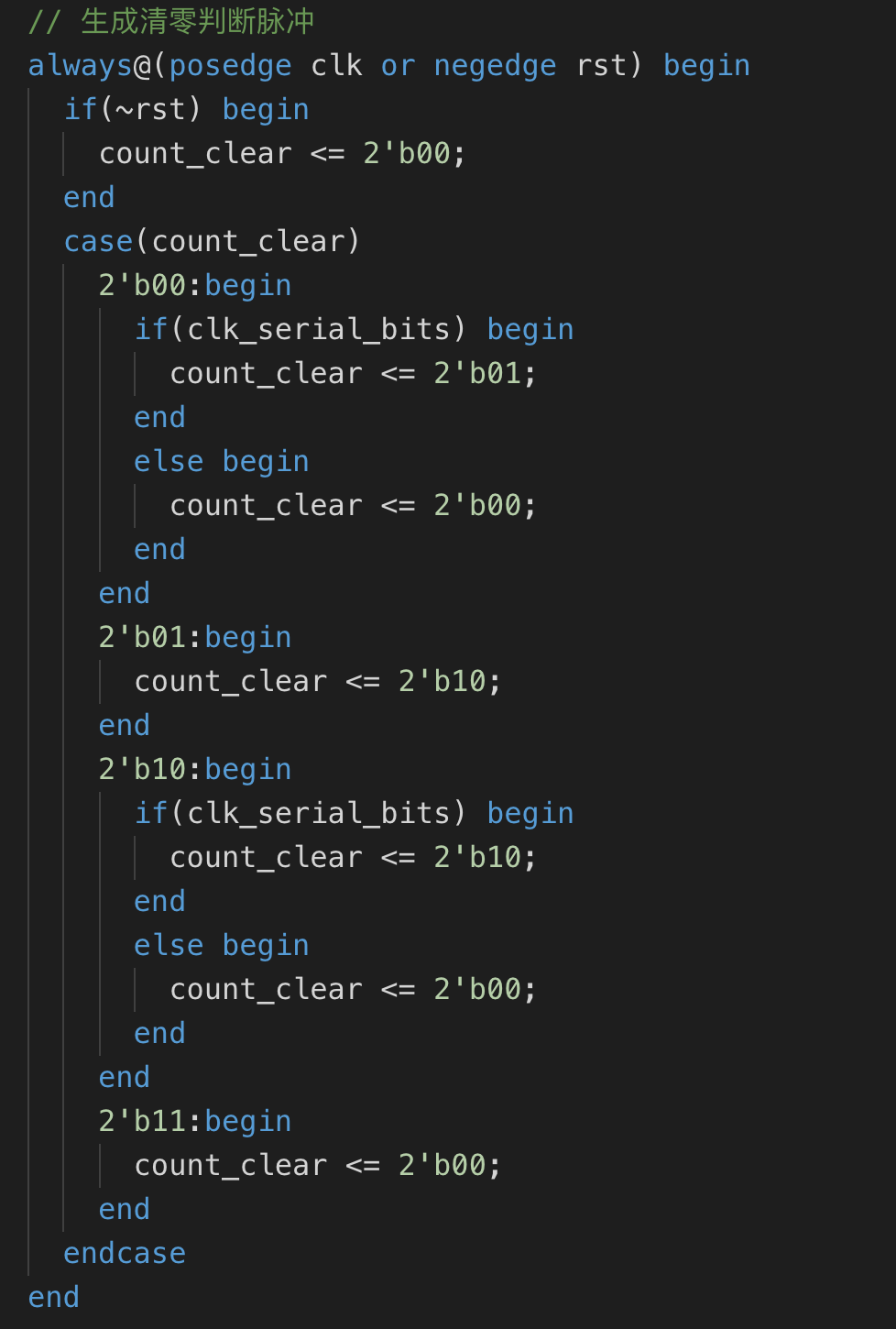
【FSK编解码】

1. FSK编码



1. FSK解码





1. 实验结果及分析

为了方便展示，将上排灯设为输入，下排灯设为输出，最右侧为低位，输入到输出之间经过了我们所设计的一套信道传输系统，以下为烧入板子后的显示结果及分析。由于FSK调制解调存在1bit延时，因此输出总是滞后于输入。

* 1. 输入：8’b00000010 输出：8’b00000001



* 1. 输入：8’b00000100 输出：8’b00000010



* 1. 输入：8’b00001000 输出：8’b00000100



* 1. 输入：8’b00010000 输出：8’b00001000



* 1. 输入：8’b00100000 输出：8’b00010000



* 1. 输入：8’b01000000 输出：8’b00100001



* 1. 输入：8’b10000000 输出：8’b01000010



* 1. 输入：8’b00000001 输出：8’b10000000



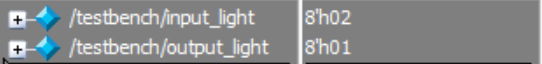
1. 信道噪声仿真分析

将Hamming码编码输出中的某一位置反，模拟信道噪声带来的1bit误差

wire [11:0] hammingEncodeWord\_Error;

assign hammingEncodeWord\_Error = {hammingEncodeWord[11:8], ~hammingEncodeWord[7], hammingEncodeWord[6:0]};

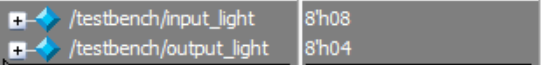
* 1. 输入：8’b00000010 输出：8’b00000001



* 1. 输入：8’b00000100 输出：8’b00000010



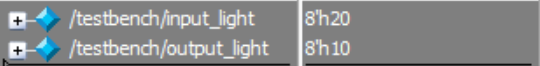
* 1. 输入：8’b00001000 输出：8’b00000100



* 1. 输入：8’b00010000 输出：8’b00001000



* 1. 输入：8’b00100000 输出：8’b00010000



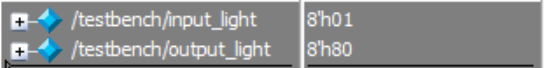
* 1. 输入：8’b01000000 输出：8’b00100001



* 1. 输入：8’b10000000 输出：8’b01000010



* 1. 输入：8’b00000001 输出：8’b10000000



由以上结果可以看出，Hamming码具有1bit纠错能力。

1. 小结与心得
   1. 这一次的实验加深了我对于verilog语言的理解，在编写代码的时候通过查阅资料理解了很多其他的用法，以及verilog语言在FPGA板子里面的适用情况，这有利于提高我的代码能力。同时在调试的过程中通过改变testbench来产生不同的输入可以达到不同的仿真效果。在最后的上板子调试阶段通过将不同的中间信号作为输出加到LED上可以非常有效地排查代码运行过程中存在的包括时钟频率大小为题、传输过程延时问题等。总而言之这一次实验让我对于FPGA的理解更深了。
2. 改进
   1. 由于部分原因，我们没有十分理解AD变换以及DA变换如何调用FPGA内部芯片来实现，因此预计是利用语音信号经由AD变换得到八位量化信号，但是最后为了方便起见我们略去了AD变换的过程，转而直接设定八位量化信号作为整个系统的输入信号。这样整个系统没有很好地普适性，这就是这次实验需要改进的一些问题。