

Design and Simulation of a Single-Stage Operational Amplifier

Julia Gomes
juliattb.gomes@gmail.com

I. INTRODUCTION

O amplificador operacional pode ser usado como filtro, comparador, conversor, amplificador ou gerador de sinal. Sua arquitetura interna é composta por carga ativa, par diferencial, fonte de corrente, estágio de amplificação e estágio de saída [Fig. 8].

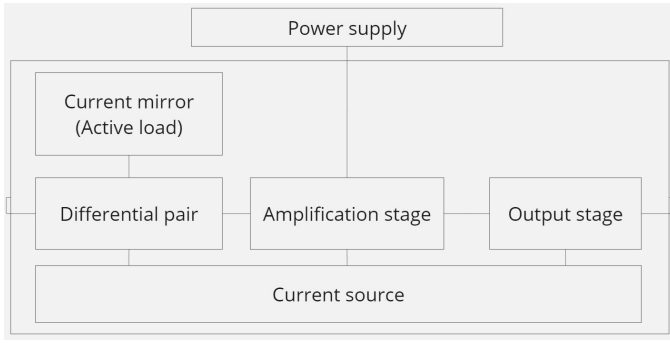


Fig. 1. Internal Architecture of the Operational Amplifier

A equação geral do amplificador operacioanal é dada por

$$V_o = [V_{offset} + V_1 - V_2]A_v + \left[\frac{V_1 + V_2}{2} \right] A_{CM} \quad (1)$$

em que V_o é a tensão de saída, V_{offset} é a tensão de offset, V_1 é a entrada não inversora, V_2 é a entrada inversora, A_v é o ganho diferencial e A_{CM} é o ganho em modo comum.

A tensão de offset é uma tensão que aparece na saída mesmo com a entrada nula. Ela é causada devido as diferenças físicas nos componentes que compõem o circuito.

Idealmente, o amplificador operacional amplifica a diferença entre suas entradas. Entretanto, também há um indesejado ganho de modo comum que acaba amplificando o sinal dc da soma das entradas. Ele ocorre devido a pequenas assimetrias ou imperfeições nos transistores do circuito.

Um alto valor de common-mode rejection ratio (CMRR) minimiza o fenômeno de ganho de modo comum pois garante que o amplificador rejeite sinais comuns às duas entradas. CMRR em dB é dado pela relação entre o ganho diferencial em malha aberta e o ganho em modo comum do amplificador ($20 \log |A_v/A_{CM}|$).

O objetivo deste relatório é documentar o projeto de um single-stage operational amplifier que atenda as especificações detalhadas na Tabela I. A tecnologia utilizada foi a ONC18: 0.18 μ m CMOS Process Technology - 18V / 18V.

TABLE I. OPERATIONAL AMPLIFIER SPECIFICATIONS

vdda	1.8	V	Power Supply
OCMR	0.5	V	Output Common-Mode Range
ICMR	0.5	V	Input Common-Mode Range
Av_db	50	dB	Gain in dB
Vcm	0.9	V	Common-Mode Voltage
GBW	10	MHz	Gain-Bandwidth
SR	10	V/us	Slew Rate
C _L	1	pF	Load

II. DESIGN

O design e as simulações do circuito single-stage operational amplifier [Fig. 2] foram desenvolvidas na ferramenta Cadence Virtuoso.

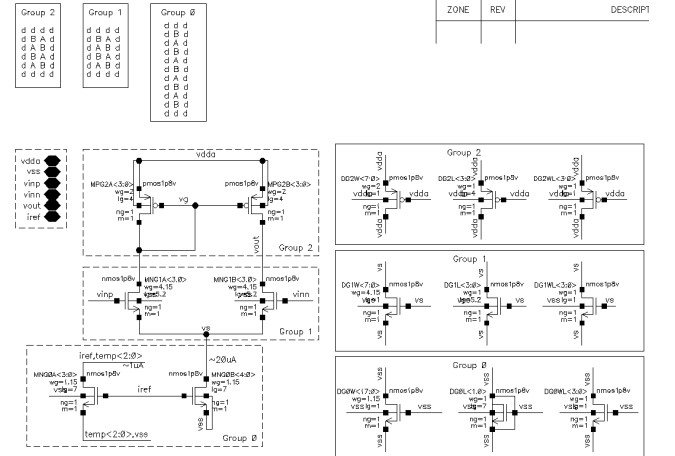


Fig. 2. Schematic and matching of single-stage operational amplifier

O dimensionamento dos transistores [Tab. II] foi definido buscando um alto g_m para o par diferencial e um baixo g_{ds} tanto para o transistor da entrada inversora e um quanto para o transistor da carga ativa, seguindo a relação do ganho ($A_v = g_{mG1A}/(g_{dsG1B} + g_{dsG2B})$).

TABLE II. TRANSISTOR SIZE

Load	W [μ m]	L [μ m]
Pair	16.6	5.2
Mirror source	5.75	7
Mirror diode-connected	1.15	28

Para um baixo g_{ds} , W/L deve diminuir. Para um alto g_m , W/L deve aumentar. É necessário lidar com esse trade-off para alcançar o valor de ganho especificado.

Ao mesmo tempo, o dimensionamento do transistor deve estar alinhado com o nível de inversão que o transistor ocupará para o seu correto funcionamento. O par diferencial deve ocupar a inversão fraca, assim como a carga ativa e o espelho de corrente devem estar na inversão forte.

Strong inversion está relacionado ao NMOS atender que $V_{GS} - V_{TH} \gg 0$, ou seja, V_{GS} deve ser 3 vezes a tensão térmica, o que equivale a aproximadamente $75mV$. Logo, V_{Dsat} deve ter no mínimo $100mV$.

A seguinte aproximação foi realizada para alcançar as inversões neste circuito: strong inversion - $V_{Dsat} > 250mV$, moderate inversion - $150mV < V_{Dsat} < 250mV$, weak inversion - $V_{Dsat} < 150mV$ and triode of weak inversion: $V_{Dsat} < 50mV$. Esses parâmetros foram atendidos seguindo a premissa que V_{Dsat} aumenta com a diminuição de W/L .

A corrente de referência do espelho de corrente foi especificada a partir do produto do Slew Rate e da carga, resultando em $10\mu A$. Entretanto, uma corrente de $20\mu A$ foi necessária para atender as specs de ganho e slew rate exigidas.

Em um espelho é possível espelhar tanto para baixo quanto para cima. Transistores tipo N foram escolhidos para que a corrente do espelho descesse.

O diode-connect do espelho garante que V_{GS} seja igual a V_{DS} , colocando o transistor na região de saturação. A fonte de corrente do espelho tem a premissa de não ter variação de corrente independente da tensão aplicada a ela.

O diode-connected foi organizado em série. Isso possibilitou que o comprimento do transistor de $28\mu m$ se transformasse em 4 transistores em série com $L = 7\mu m$ cada um.

A fonte de corrente foi configurada em paralelo. Isso possibilitou que a largura do transistor ($5.75\mu m$) fosse dividida em 5 transistores com $W = 1.15\mu m$ cada um.

Os gates da fonte de corrente e do diode-connect são conectados para que a fonte espelhe a corrente inserida no dreno do transistor diode em uma relação $I_B = I_A \frac{W_B/L_B}{W_A/L_A} = I_A \frac{5W/L}{W/4L} = 20I_A$. Portanto, a fonte estará espelhando $20\mu A$ da corrente de referência $1\mu A$.

O polo dominante deste sistema fica na saída. Ele é dado por $p_1 = \frac{1}{RC} = 1/[(rds_{G1B}/rds_{G2B})C_L]$ e fica mais dominante com o aumento da resistência.

Gain-bandwidth (GBW) é definido pelo polo no primeiro estágio e o ganho, ou seja, $GBW = A_v P_1 = gm_{G1A}/C_{parasitic}$. Essa capacitância parasita pode ser aproximada pela carga de saída.

O input common-mode range (ICMR) determina os limites de operação da tensão de entrada comum. Em um circuito com um par diferencial constituído de transistores tipo NMOS, o ICMR tende a estar mais próximo de VDD na entrada positiva e mais próximo de 0V na entrada negativa.

III. SIMULATION AND RESULTS

Seis testbenches foram utilizados para as simulações [In progress]. O primeiro analisou slew rate, GBW, ganho em malha aberta, ICMR e Power. O segundo simulou settling time. O terceiro analisou Power Supply Rejection Ratio (PSRR) e

noise, o quarto simulou a capacidade de rejeição do opamp e o sexto simulou output range.

A. Test case 1

O primeiro testbench [Fig. 3] é constituído do opamp, uma carga capacitiva de $1pF$, corrente de referência de $20\mu A$ e power supply de $1.8V$. A entrada não inversora está conectada a um pulso com valor zero igual a -0.25 e valor um de $0.25V$, com período de $0.1\mu s$ e rise e fall time de $1ns$, que está associada em série com uma fonte dc caracterizada como tensão de commom-mode, de $0.9V$.

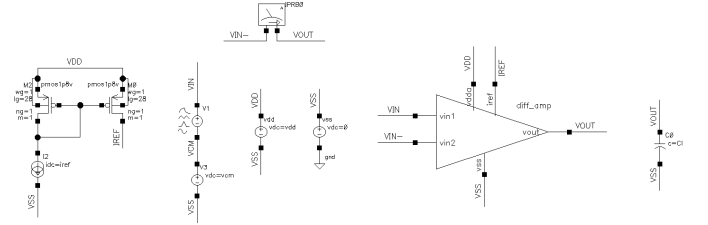


Fig. 3. Testbench of test case 1

O dispositivo IPRB0 está conectado entre a entrada inversora e a saída do amplificador. Esse dispositivo serve para avaliar o ganho e a fase do loop

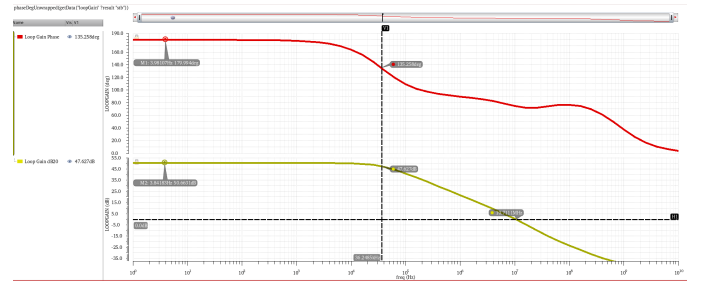


Fig. 4. Open-loop Gain and Phase

A resposta em frequência do amplificador é dada na Figura 4. O ganho alcançado foi $50.66dB$, a frequência de corte, que é visualizada analisando a frequência em que o ganho cai em $3dB$, é aproximadamente $36.25kHz$, e o ganho em banda é $10.71MHz$, que pode ser aproximado pela frequência quando a amplitude está em $0dB$.

Para simulação de slew rate e power é utilizada análise transiente. O power foi obtido a partir do produto entre power supply e corrente do circuito e slew rate foi calculado a partir da ferramenta Calculator, do Cadence Virtuoso.

O slew rate rise que analisa a variação de volts que a saída alcança com relação ao tempo de subida resultou em $12.07V/\mu s$ e o slew rate fall que segue o mesmo raciocínio, mas com relação ao tempo de descida, resultou em $-8.636V/\mu s$.

ICMR foi analisado a partir de simulação dc, variando vcm de 0 a vdd. A expressão utilizada foi a razão da derivada da saída do amplificador com o ponto máximo dessa derivada em falling menos a razão da derivada da saída do amplificador com o ponto máximo dessa derivada em rising. A região de cada razão utilizada para a subtração foi onde a forma de onda

estava em alto, utilizando a função cross. O resultado obtido foi $ICMR = 1.152V$.

Corner	vdd	temperature	mos_and_para.sc	ICMR	AvdB	GBW	SR_rise	SR_fall	Power
PVT_0	1.62	-40	fast	939.8m	48.49	12.89M	14.73M	4.91mW	25.11u
PVT_1	1.62	125	fast	989m	49.31	8.67M	9.432M	7.662mW	25.48u
PVT_2	1.98	-40	fast	1.287	50.11	19M	15.4M	9.007mW	30.89u
PVT_3	1.98	125	fast	1.311	47.47	10.71M	12.18M	7.917mW	32.36u
PVT_4	1.62	-40	fn_sp	916.8m	48	12.72M	11.73M	4.794mW	25.07u
PVT_5	1.62	125	fn_sp	979.4m	46.73	8.722M	6.759M	7.467mW	25.24u
PVT_6	1.98	-40	fn_sp	1.27	49.23	9.83M	15.23M	8.802mW	30.88u
PVT_7	1.98	125	fn_sp	1.35	47.52	9.021M	12.07M	7.823mW	32.58u
PVT_8	1.62	-40	slow	894.8m	50.78	12.23M	12.37M	7.971mW	25.03u
PVT_9	1.62	125	slow	994.2m	51.56	8.158M	7.433M	6.732mW	23.35u
PVT_10	1.98	-40	slow	1.245	52.81	12.41M	14.43M	7.916mW	28.34u
PVT_11	1.98	125	slow	1.322	53.61	8.51M	11.52M	7.053mW	30.94u
PVT_12	1.62	-40	sn_fp	915.6m	53.81	12.44M	14.77M	7.971mW	23.02u
PVT_13	1.62	125	sn_fp	951.6m	51.61	8.078M	9.891M	6.868mW	23.61u
PVT_14	1.98	-40	sn_fp	1.259	57.73	12.59M	14.65M	8.053mW	28.47u
PVT_15	1.98	125	sn_fp	1.24	53.53	8.069M	11.47M	7.115mW	30.92u

Fig. 5. PVT simulation results to test case 1

Test	Output	Min	Max	Mean	Median	Std Dev	Spec	Pass/Fail
sim_differentialAmp	ICMR	75.99m	1.156	1.132	1.151	130.1m	> 0.5	fail
sim_differentialAmp	AvdB	50.64	50.69	50.66	50.66	9.551m	> 50	pass
sim_differentialAmp	GBW	10.42M	10.6M	10.52M	10.53M	30.35K	> 10M	pass
sim_differentialAmp	SR_rise	13.8M	14.05M	13.94M	13.94M	44.5K	> 5M	pass
sim_differentialAmp	SR_fall	-8.025M	-7.909M	-7.974M	-7.975M	21.53K	< -5M	pass
sim_differentialAmp	Power	27.61u	28.18u	27.94u	27.94u	102.1n	< 180u	pass

Fig. 6. Monte Carlo simulation results to test case 1

B. Test case 2

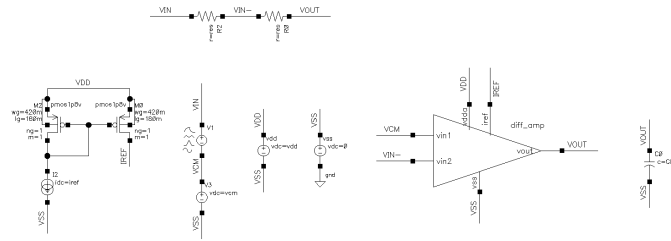


Fig. 7. Testbench of test case 2

No segundo testbench [Fig. 7] há um feedback negativo com dois resistores interligando a saída e a entrada inversora. A entrada não inversora é um degrau associado em série com a tensão de modo-comum, assim como no test case 1.

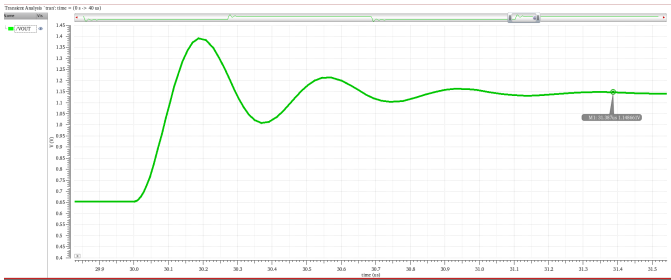


Fig. 8. Resposta no tempo do sistema

O settling time é associado ao tempo que a resposta da função de transferência demora para estabilizar. O opamp apresentou um settling time de $1.382\mu s$ e foi simulado na ferramenta Calculator [Fig. 9].

C. Test case 3

O terceiro testbench [Fig. 10] apresenta a entrada não inversora do opamp com um sinal dc de $0.25V$ e a entrada inversora similar ao testcase 1. A carga de saída é nula. A

Corner	vdd	temperature	mos_and_para.sc	setting time
PVT_0	1.62	-40	fast	1.204u
PVT_1	1.62	125	fast	1.105u
PVT_2	1.98	-40	fast	1.293u
PVT_3	1.98	125	fast	1.275u
PVT_4	1.62	-40	fn_sp	1.259u
PVT_5	1.62	125	fn_sp	1.139u
PVT_6	1.98	-40	fn_sp	1.363u
PVT_7	1.98	125	fn_sp	1.32u
PVT_8	1.62	-40	slow	1.338u
PVT_9	1.62	125	slow	1.207u
PVT_10	1.98	-40	slow	1.469u
PVT_11	1.98	125	slow	1.396u
PVT_12	1.62	-40	sn_fp	1.311u
PVT_13	1.62	125	sn_fp	1.188u
PVT_14	1.98	-40	sn_fp	1.442u
PVT_15	1.98	125	sn_fp	1.373u

Fig. 9. Settling time PVT simulation results

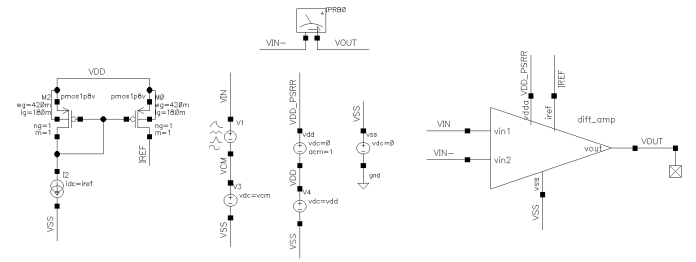


Fig. 10. Test case 3

alimentação está associada em série a uma fonte dc de $0V$ e AC magnitude de $1V$.

A simulação de noise [Fig. 12] foi feita com noise analyses configurada de $1Hz$ a $10MHz$, Positive Output Node na net VOUT, Negative Output Node na net ground e Input Voltage Source na fonte da entrada não inversora. A forma de onda do ruído foi gerada a partir do quadrado da saída do opamp em dB, e seu valor resultante foi obtido da raiz quadrada do valor absoluto da integral de sua forma de onda, resultando em $81.16\mu dB$.

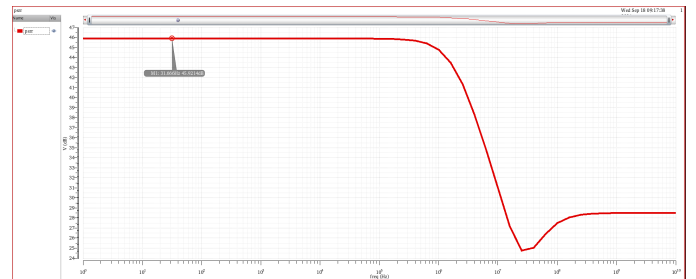


Fig. 11. PSRR

A simulação PSRR [Fig. 11] utilizou análise ac variando de $1GHz$ a $10GHz$. PSRR foi encontrado a partir de - dB da função $vfreq()$ do sinal de saída, retornando um valor de tensão na frequência de $45.92dB$.

Corner	vdd	temperature	mos_and_para.scs	PSRR	Noise_rms
Filter	Filter	Filter	Filter	Filter	Filter
PVT_0	1.62	-40	fast	40.4	74.18u
PVT_1	1.62	125	fast	15.91	350.5u
PVT_2	1.98	-40	fast	47.61	67.57u
PVT_3	1.98	125	fast	44.75	90.68u
PVT_4	1.62	-40	fn_sp	39.08	74.08u
PVT_5	1.62	125	fn_sp	6.346	908.9u
PVT_6	1.98	-40	fn_sp	48.11	65.99u
PVT_7	1.98	125	fn_sp	45.5	92.73u
PVT_8	1.62	-40	slow	43.15	71.5u
PVT_9	1.62	125	slow	10.87	548.8u
PVT_10	1.98	-40	slow	55.14	66.82u
PVT_11	1.98	125	slow	50.17	94.25u
PVT_12	1.62	-40	sn_fp	45.06	69.72u
PVT_13	1.62	125	sn_fp	34.1	104.3u
PVT_14	1.98	-40	sn_fp	55.8	66.56u
PVT_15	1.98	125	sn_fp	50.87	93.15u

Fig. 12. PVT simulation results of test case 3

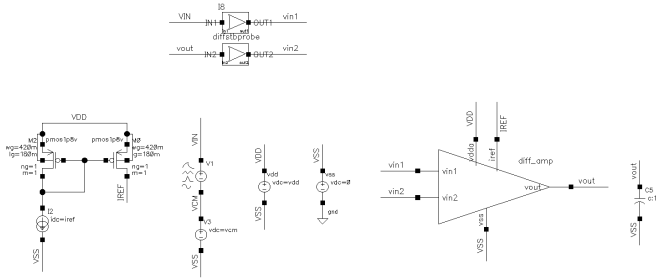


Fig. 13. Test case 4

D. Test case 4

O quarto testbench [Fig. 13] apresenta o componente diffstbprobe entre a entrada inversora e a saída do opamp e entre a entrada não inversora e a associação em série de componente dc de 0.25V com vcm. Esa configuração foi utilizada para simulação de rejeição utilizando a análise stb de 1Hz a 10GHz, com Probe Instance/terminal no componente diffstbprobe e Local Ground Name na net ground.

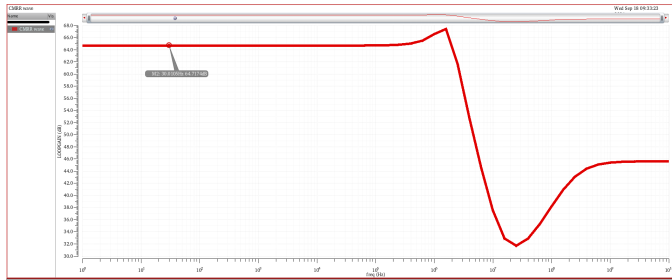


Fig. 14. Opamp Rejection

A rejeição [Fig. 14] foi obtida de menos o dB da magnitude do ganho em malha aberta em baixa frequência, resultando em 64.72dB [Fig. 15].

E. Test case 6

O testbench do test case 6 é o mesmo do test case 2, com excessão da entrada inversora que no lugar de um degrau é um sinal dc de 0.25V em série com vcm.

Corner	vdd	temperature	mos_and_para.scs	Rejection
Filter	Filter	Filter	Filter	Filter
PVT_0	1.62	-40	fast	57.96
PVT_1	1.62	125	fast	24.04
PVT_2	1.98	-40	fast	75.02
PVT_3	1.98	125	fast	67.95
PVT_4	1.62	-40	fn_sp	52.33
PVT_5	1.62	125	fn_sp	11.91
PVT_6	1.98	-40	fn_sp	72.67
PVT_7	1.98	125	fn_sp	69.02
PVT_8	1.62	-40	slow	58.02
PVT_9	1.62	125	slow	17.56
PVT_10	1.98	-40	slow	78.2
PVT_11	1.98	125	slow	73.28
PVT_12	1.62	-40	sn_fp	63.85
PVT_13	1.62	125	sn_fp	57.07
PVT_14	1.98	-40	sn_fp	85.81
PVT_15	1.98	125	sn_fp	79.47

Fig. 15. PVT simulation results of test case 4

O output range resultou em 749.8mV e foi obtido seguindo a mesma expressão de ICMR, na simulação dc, variando a tensão da fonte dc da entrada inversora de $-vdd/2$ a $vdd/2$.

IV. CONCLUSION

O ganho do opamp é impactado principalmente pelo processo fast, ICMR por baixo power supply e GBW por altas temperaturas [Fig. 5 and 6].

TABLE III. OPERATIONAL AMPLIFIER PARAMETERS RESULTS CONSIDERING T=27°C AND PROCESS TYPIC TYPIC

Aol	50.66	dB	Open-loop gain
GBW	10.71	MHz	Gain-bandwidth
Selew rate rise	12.07	V/ μ s	
Selew rate fall	-8.636	V/ μ s	
ICMR	1.152	V	Input common-mode range
Rejection	64.72	dB	
OR	749.8	mV	Output Range
Settling time	1.382	μ s	
Noise _{rms}	81.16	μ dB	
PSRR	45.92	dB	Power Supply Rejection Ratio