

# Design and Simulation of a Single-Stage Operational Amplifier

Julia Gomes  
juliab.gomes@gmail.com

## I. INTRODUCTION

O amplificador operacional pode ser usado como filtro, comparador, conversor, amplificador ou gerador de sinal. Sua arquitetura interna é composta por carga ativa, par diferencial, fonte de corrente, estágio de amplificação e estágio de saída [Fig. 9].

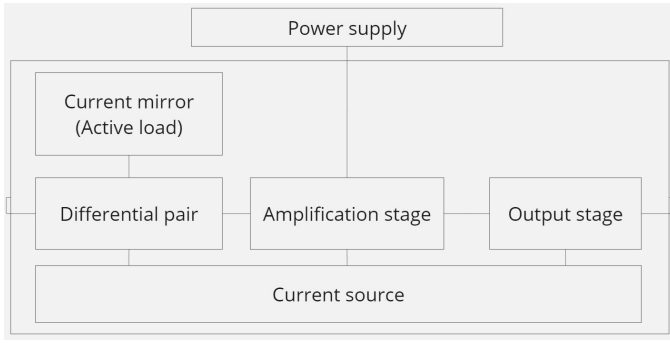


Fig. 1. Internal Architecture of the Operational Amplifier

A equação geral do amplificador operacioanal é dada por

$$V_o = [V_{offset} + V_1 - V_2]A_v + \left[ \frac{V_1 + V_2}{2} \right] A_{CM} \quad (1)$$

em que  $V_o$  é a tensão de saída,  $V_{offset}$  é a tensão de offset,  $V_1$  é a entrada não inversora,  $V_2$  é a entrada inversora,  $A_v$  é o ganho diferencial e  $A_{CM}$  é o ganho em modo comum.

A tensão de offset é uma tensão que aparece na saída mesmo com a entrada nula. Ela é causada devido as diferenças físicas nos componentes que compõem o circuito.

Idealmente, o amplificador operacional amplifica a diferença entre suas entradas. Entretanto, também há um indesejado ganho de modo comum que acaba amplificando o sinal dc da soma das entradas. Ele ocorre devido a pequenas assimetrias ou imperfeições nos transistores do circuito.

Um alto valor de common-mode rejection ratio (CMRR) minimiza o fenômeno de ganho de modo comum pois garante que o amplificador rejeite sinais comuns às duas entradas. CMRR em dB é dado pela relação entre o ganho diferencial em malha aberta e o ganho em modo comum do amplificador ( $20\log |A_v/A_{CM}|$ ).

O objetivo deste relatório é documentar o projeto de um single-stage operational amplifier que atenda as especificações detalhadas na Tabela I. A tecnologia utilizada foi a ONC18: 0.18 $\mu$ m CMOS Process Technology - 18V / 18V.

TABLE I. OPERATIONAL AMPLIFIER SPECIFICATIONS

vdda	1.8	V	Power Supply
OR	0.5	V	Output Range
ICMR	0.5	V	Input Common-Mode Range
Av_db	50	dB	Gain in dB
Vcm	1	V	Common-Mode Voltage
GBW	10	MHz	Gain-Bandwidth
SR	10	V/us	Slew Rate
C <sub>L</sub>	1	pF	Load

## II. DESIGN

O design e as simulações do circuito single-stage operational amplifier [Fig. 2] foram desenvolvidas na ferramenta Cadence Virtuoso.

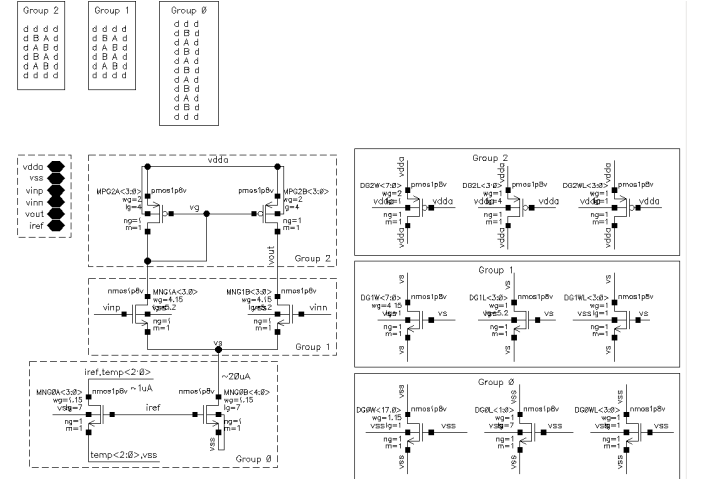


Fig. 2. Schematic and matching of single-stage operational amplifier

O dimensionamento dos transistores [Tab. II] foi definido buscando alta transcondutância ( $g_m$ ) para o par diferencial e baixa impedância de saída, seguindo a relação do ganho ( $A_v = g_{mG1A}/(g_{dsG1B} + g_{dsG2B})$ ).

TABLE II. TRANSISTOR SIZE

Load	W [ $\mu$ m]	L [ $\mu$ m]
Pair	16.6	5.2
Mirror source	5.75	7
Mirror diode-connected	1.15	28

Para um baixo  $g_{ds}$ ,  $W/L$  deve diminuir. Para um alto  $g_m$ ,  $W/L$  deve aumentar. É necessário lidar com esse trade-off para alcançar o valor de ganho especificado.

Ao mesmo tempo, o dimensionamento do transistor deve estar alinhado com o nível de inversão que o transistor ocupará

para o seu correto funcionamento. O par diferencial deve ocupar a inversão fraca, assim como a carga ativa e o espelho de corrente devem estar na inversão forte.

Strong inversion está relacionado ao NMOS atender que  $V_{GS} - V_{TH} \gg 0$ , ou seja,  $V_{GS}$  deve ser 3 vezes a tensão térmica, o que equivale a aproximadamente  $75mV$ . Logo,  $V_{Dsat}$  deve ter no mínimo  $100mV$ .

A seguinte aproximação foi realizada para alcançar as inversões neste circuito: strong inversion -  $V_{Dsat} > 250mV$ , moderate inversion -  $150mV < V_{Dsat} < 250mV$ , weak inversion -  $V_{Dsat} < 150mV$  and triode of weak inversion:  $V_{Dsat} < 50mV$ . Esses parâmetros foram atendidos seguindo a premissa que  $V_{Dsat}$  aumenta com a diminuição de  $W/L$ .

A referência do espelho de corrente foi especificada a partir do produto do Slew Rate e da carga, resultando em  $10\mu A$ . Entretanto, uma corrente de  $20\mu A$  foi necessária para atender as specs de ganho e slew rate exigidas.

Em um espelho é possível espelhar tanto para baixo quanto para cima. Transistores tipo N foram escolhidos para que a corrente do espelho descesse.

O diode-connected do espelho garante que  $V_{GS}$  seja igual a  $V_{DS}$ , colocando o transistor na região de saturação. A fonte de corrente do espelho tem a premissa de não ter variação de corrente independente da tensão aplicada a ela.

O diode-connected foi organizado em série. Isso possibilitou que o comprimento do transistor de  $28\mu m$  se transformasse em 4 transistores em série com  $L = 7\mu m$  cada um.

A fonte de corrente foi configurada em paralelo. Isso possibilitou que a largura do transistor ( $5.75\mu m$ ) fosse dividida em 5 transistores com  $W = 1.15\mu m$  cada um.

Os gates da fonte de corrente e do diode-connect são conectados para que a fonte espelhe a corrente inserida no dreno do transistor diode em uma relação  $I_B = I_A \frac{W_B/L_B}{W_A/L_A} = I_A \frac{5W/L}{W/4L} = 20I_A$ . Portanto, a fonte estará espelhando  $20\mu A$  da corrente de referência  $1\mu A$ .

O polo dominante deste sistema fica na saída. Ele é dado por  $p_1 = \frac{1}{RC} = 1/[(rds_{G1B}/rds_{G2B})C_L]$  e fica mais dominante com o aumento da resistência de saída do circuito ( $rds_{G1B}/rds_{G2B}$ ).

Gain-bandwidth (GBW) é definido pelo polo no primeiro estágio e o ganho, ou seja,  $GBW = A_v P_1 = gm_{G1A}/C_{parasitic}$ . Essa capacitância parasita pode ser aproximada pela carga de saída.

O input common-mode range (ICMR) determina os limites de operação da tensão de entrada comum. Em um circuito com um par diferencial constituído de transistores tipo NMOS, o ICMR tende a estar mais próximo de VDD na entrada positiva e mais próximo de 0V na entrada negativa.

### III. SIMULATION AND RESULTS

Seis testbenchs foram utilizados para as simulações. O primeiro analisou slew rate, GBW, ganho em malha aberta, ICMR e Power. O segundo simulou settling time. O terceiro analisou Power Supply Rejection Ratio (PSRR) e noise, o quarto simulou a capacidade de rejeição do opamp e o sexto simulou output range.

#### A. Test case 1

O primeiro testbench [Fig. 3] é constituído do opamp, uma carga capacitiva de  $1pF$ , corrente de referência de  $1\mu A$  e power supply de  $1.8V$ . A entrada não inversora está conectada a um pulso com valor zero igual a  $-0.35$  e valor um de  $0.35V$ , com período de  $0.1\mu s$  e rise e fall time de  $1ns$ , que está associada em série com uma fonte dc caracterizada como tensão de commom-mode, de  $1V$ .

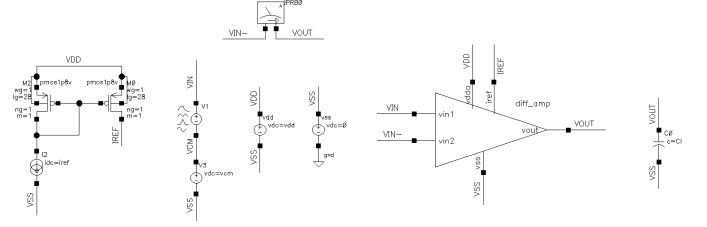


Fig. 3. Testbench of test case 1

O dispositivo IPRB0 está conectada entre a entrada inversora e a saída do amplificador. Esse dispositivo serve para avaliar o ganho e a fase do loop

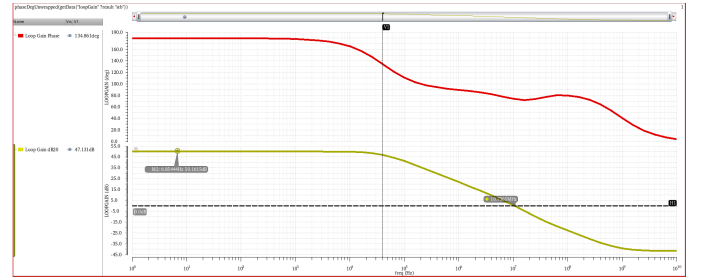


Fig. 4. Open-loop Gain and Phase

A resposta em frequência do amplificador é dada na Figura 4. O ganho alcançado foi  $50.16dB$ , a frequência de corte, que é visualizada analisando a frequência em que o ganho cai em  $3dB$ , é aproximadamente  $39.36kHz$ , e o ganho em banda é  $10.74MHz$ , que pode ser aproximado pela frequência quando a amplitude está em  $0dB$ .

Para simulação de slew rate e power é utilizada análise transiente. O power foi obtido a partir do produto entre power supply e corrente do circuito e slew rate foi calculado a partir da ferramenta Calculator, do Cadence Virtuoso.

O slew rate rise que analisa a variação de volts que a saída alcança com relação ao tempo de subida resultou em  $14.12V/\mu s$  e o slew rise fall que segue o mesmo raciocínio, mas com relação ao tempo de descida, resultou em  $-9.635V/\mu s$ .

ICMR foi analisado a partir de simulação dc, variando vcm de 0 a vdd. A expressão utilizada foi a razão da derivada da saída do amplificador com o ponto máximo dessa derivada em falling menos a razão da derivada da saída do amplificador com o ponto máximo dessa derivada em rising. A região de cada razão utilizada para a subtração foi onde a forma de onda estava em alto, utilizando a função cross. O resultado obtido foi  $ICMR = 1.152V$ .

Os valores de power e das outras figuras de mérito para diferentes condições de corner estão representados na Figura 5. Além disso, uma simulação de Monte Carlo [Figures 6 and 7] foi realizada para analisar a probabilidade de quantos chips funcionariam na fabricação final.

Corner	vdd	temperature	mos_and_para.scs	Pass/Fail	ICMR	AvdB	GBW	SR_rise	SR_fall	Power
PVT_0	1.62	-40	fast	near	999.8m	47.66	12.99M	11.56M	-10.14M	25.35u
PVT_1	1.62	125	fast	fail	989m	44.83	8.974M	7.859M	-8.645M	25.63u
PVT_2	1.98	-40	fast	near	1.297	48.99	13.12M	18.2M	-10.34M	31.18u
PVT_3	1.98	125	fast	near	1.311	47.12	9.303M	15.39M	-9.576M	32.84u
PVT_4	1.62	-40	fn_sp	near	916.6m	48.14	12.79M	8.422M	-9.455M	25.26u
PVT_5	1.62	125	fn_sp	fail	979.4m	45.16	8.807M	5.965M	-7.782M	25.36u
PVT_6	1.98	-40	fn_sp	near	1.27	49.52	12.96M	17.97M	-10.25M	31.17u
PVT_7	1.98	125	fn_sp	near	1.35	47.57	9.236M	13.9M	-8.492M	32.87u
PVT_8	1.62	-40	slow	pass	894.8m	54.31	12.31M	9.012M	-8.975M	23.31u
PVT_9	1.62	125	slow	fail	994.2m	49.07	8.405M	6.296M	-7.369M	23.57u
PVT_10	1.98	-40	slow	pass	1.245	57.6	12.54M	17.53M	-9.51M	28.91u
PVT_11	1.98	125	slow	fail	1.322	53.12	8.876M	13.98M	-8.787M	31.29u
PVT_12	1.62	-40	sn_fp	pass	915.6m	54.49	12.55M	12.65M	-8.432M	23.35u
PVT_13	1.62	125	sn_fp	fail	951.4m	49.31	8.566M	8.279M	-8.076M	23.84u
PVT_14	1.98	-40	sn_fp	pass	1.259	57.55	12.73M	17.81M	-9.602M	28.84u
PVT_15	1.98	125	sn_fp	fail	1.28	53.07	8.964M	14.93M	-8.965M	31.27u

Fig. 5. PVT simulation results to test case 1

Test	Output	Min	Max	Mean	Median	Std Dev	Spec	Pass/Fail
sim_differentialAmp	ICMR	82.77m	1.156	1.142	1.151	76.16m	> 0.5	fail
sim_differentialAmp	AvdB	50.13	50.19	50.16	50.16	12.83m	> 50	pass
sim_differentialAmp	GBW	10.65M	10.82M	10.74M	10.73M	34.63K	> 10M	pass
sim_differentialAmp	SR_rise	14.06M	14.19M	14.12M	14.12M	27.18K	> 5M	pass
sim_differentialAmp	SR_fall	-9.703M	-9.543M	-9.635M	-9.634M	30.58K	< -5M	pass
sim_differentialAmp	Power	27.9u	28.45u	28.2u	28.2u	105.9n	< 180u	pass

Fig. 6. Monte Carlo simulation results to test case 1

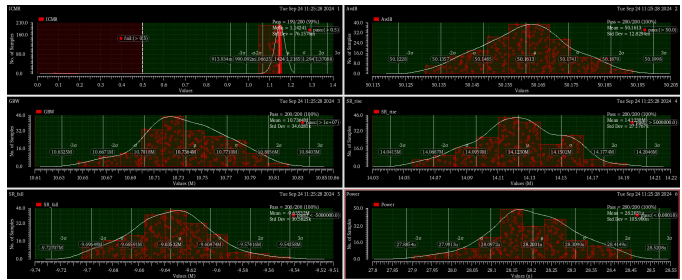


Fig. 7. Graphical results of Monte Carlo simulation for test case 1

## B. Test case 2

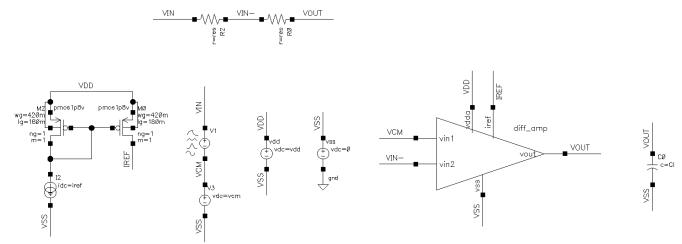


Fig. 8. Testbench of test case 2

No segundo testbench [Fig. 8] há um feedback negativo com dois resistores interligando a saída e a entrada inversora. A entrada não inversora é um degrau associado em série com a tensão de modo-comum, assim como no test case 1.

O settling time é associado ao tempo que a resposta da função de transferência demora para estabilizar. O opamp apresentou um settling time de  $1.157\mu s$  e foi simulado na ferramenta Calculator [Fig. 10].

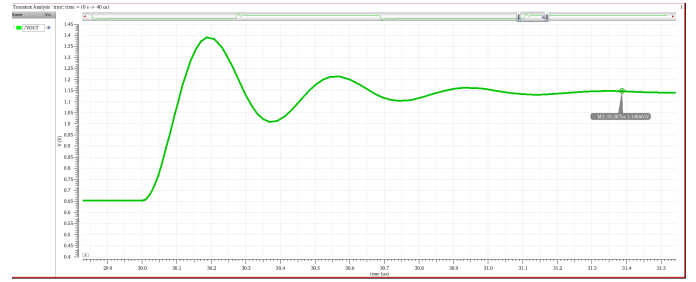


Fig. 9. Resposta no tempo do sistema

Corner	vdd	temperature	mos_and_para.scs	settling time
PVT_0	1.62	-40	fast	888.3n
PVT_1	1.62	125	fast	693.7n
PVT_2	1.98	-40	fast	1.114u
PVT_3	1.98	125	fast	1.212u
PVT_4	1.62	-40	fn_sp	945.3n
PVT_5	1.62	125	fn_sp	721.5n
PVT_6	1.98	-40	fn_sp	1.214u
PVT_7	1.98	125	fn_sp	1.257u
PVT_8	1.62	-40	slow	982.1n
PVT_9	1.62	125	slow	760.8n
PVT_10	1.98	-40	slow	1.399u
PVT_11	1.98	125	slow	1.329u
PVT_12	1.62	-40	sn_fp	956.4n
PVT_13	1.62	125	sn_fp	746.1n
PVT_14	1.98	-40	sn_fp	1.365u
PVT_15	1.98	125	sn_fp	1.309u

Fig. 10. Settling time PVT simulation results

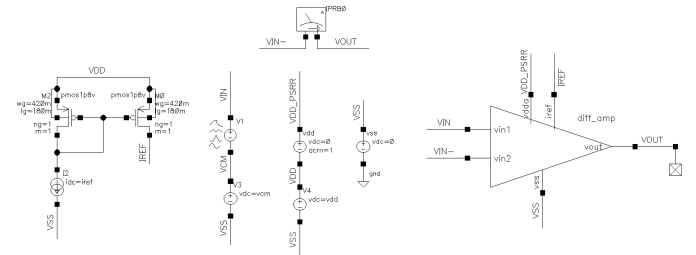


Fig. 11. Test case 3

## C. Test case 3

O terceiro testbench [Fig. 11] apresenta a entrada não inversora do opamp com um sinal dc de  $0.35V$  e a entrada inversora similar ao testcase 1. A carga de saída é nula. A alimentação está associada em série a uma fonte dc de  $0V$  e AC magnitude de  $1V$ .

A simulação de noise [Fig. 13] foi feita com noise analyses configurada de  $1Hz$  a  $10MHz$ , Positive Output Node na net VOUT, Negative Output Node na net ground e Input Voltage Source na fonte da entrada não inversora. A forma de onda do ruído foi gerada a partir do quadrado da saída do opamp em dB, e seu valor resultante foi obtido da raiz quadrada do valor absoluto da integral de sua forma de onda, resultando em  $91.09\mu dB$ .

A simulação PSRR [Fig. 12] utilizou análise ac variando de  $1GHz$  a  $10GHz$ . PSRR foi encontrado a partir de - dB da função  $vfreq()$  do sinal de saída, retornando um valor de

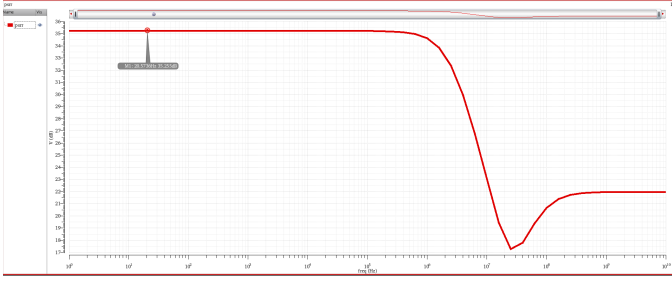


Fig. 12. PSRR

tensão na frequência de 35.255dB .

Corner	vdd	temperature	mos_and_para.scs	PSRR	Noise_rms
Filter	Filter	Filter	Filter	Filter	Filter
PVT_0	1.62	-40	fast	4.431	1.219m
PVT_1	1.62	125	fast	1.701	1.528m
PVT_2	1.98	-40	fast	44.7	68.2u
PVT_3	1.98	125	fast	39.5	96.12u
PVT_4	1.62	-40	fn_sp	1.199	1.484m
PVT_5	1.62	125	fn_sp	629.6m	1.591m
PVT_6	1.98	-40	fn_sp	45.28	66.13u
PVT_7	1.98	125	fn_sp	40.66	94.7u
PVT_8	1.62	-40	slow	2.729	1.236m
PVT_9	1.62	125	slow	1.17	1.477m
PVT_10	1.98	-40	slow	50.76	66.76u
PVT_11	1.98	125	slow	44.15	95.07u
PVT_12	1.62	-40	sn_fp	16.59	256.5u
PVT_13	1.62	125	sn_fp	3.052	1.226m
PVT_14	1.98	-40	sn_fp	51.74	66.35u
PVT_15	1.98	125	sn_fp	45.13	94.52u

Fig. 13. PVT simulation results of test case 3

#### D. Test case 4

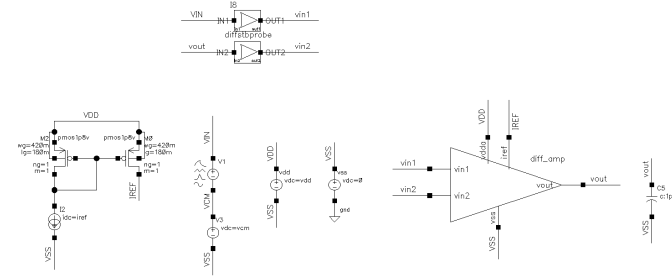


Fig. 14. Test case 4

O quarto testbench [Fig. 14] apresenta o componente diffstbprobe entre a entrada inversora e a saída do opamp e entre a entrada não inversora e a associação em série de componente dc de 0.35V com vcm. Essa configuração foi utilizada para simulação de rejeição utilizando a análise stb de 1Hz a 10GHz, com Probe Instance/terminal no componente diffstbprobe e Local Ground Name na net ground.

A rejeição [Fig. 15] foi obtida de menos o dB da magnitude do ganho em malha aberta em baixa frequência, resultando em 52.97dB [Fig. 16].

#### E. Test case 6

O testbench do test case 6 é o mesmo do test case 2, com excessão da entrada inversora que no lugar de um degrau é um sinal dc de 0.35V em série com vcm.

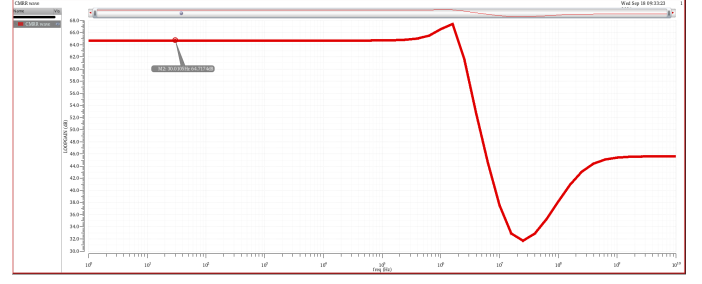


Fig. 15. Opamp Rejection

Corner	vdd	temperature	mos_and_para.scs	Rejection
Filter	Filter	Filter	Filter	Filter
PVT_0	1.62	-40	fast	11.21
PVT_1	1.62	125	fast	7.639
PVT_2	1.98	-40	fast	64.47
PVT_3	1.98	125	fast	59.2
PVT_4	1.62	-40	fn_sp	4.95
PVT_5	1.62	125	fn_sp	4.336
PVT_6	1.98	-40	fn_sp	63.01
PVT_7	1.98	125	fn_sp	57.15
PVT_8	1.62	-40	slow	7.915
PVT_9	1.62	125	slow	5.887
PVT_10	1.98	-40	slow	67.74
PVT_11	1.98	125	slow	61.56
PVT_12	1.62	-40	sn_fp	30.77
PVT_13	1.62	125	sn_fp	10.65
PVT_14	1.98	-40	sn_fp	71.83
PVT_15	1.98	125	sn_fp	66.34

Fig. 16. PVT simulation results of test case 4

O output range resultou em 919mV e foi obtido seguindo a mesma expressão de ICMR, na simulação dc, variando a tensão da fonte dc da entrada inversora de  $-vdd/2$  a  $vdd/2$  [Fig. 17].

Corner	vdd	temperature	mos_and_para.scs	...1 "rising" nil nil nil)
Filter	Filter	Filter	Filter	Filter
PVT_0	1.62	-40	fast	346.3m
PVT_1	1.62	125	fast	391.6m
PVT_2	1.98	-40	fast	1.062
PVT_3	1.98	125	fast	213.5m
PVT_4	1.62	-40	fn_sp	855.7m
PVT_5	1.62	125	fn_sp	618.5m
PVT_6	1.98	-40	fn_sp	1.083
PVT_7	1.98	125	fn_sp	730m
PVT_8	1.62	-40	slow	898.2m
PVT_9	1.62	125	slow	650.7m
PVT_10	1.98	-40	slow	875.3m
PVT_11	1.98	125	slow	962.7m
PVT_12	1.62	-40	sn_fp	860.3m
PVT_13	1.62	125	sn_fp	607.7m
PVT_14	1.98	-40	sn_fp	1.18
PVT_15	1.98	125	sn_fp	564.2m

Fig. 17. PVT simulation results of test case 6

## IV. CONCLUSION

O ganho do opamp é impactado principalmente pelo processo fast, ICMR por baixo power supply e GBW por altas temperaturas.

TABLE III. OPERATIONAL AMPLIFIER PARAMETERS RESULTS  
CONSIDERING T=27°C AND PROCESS TYPIC TYPIC

Aol	50.16	dB	Open-loop gain
GBW	10.74	MHz	Gain-bandwidth
Selew rate rise	14.12	$V/\mu s$	
Selew rate fall	-9.635	$V/\mu s$	
ICMR	1.152	V	Input common-mode range
Settling time	1.157	$\mu s$	
$Noise_{rms}$	91.09	$\mu dB$	
PSRR	35.255	dB	Power Supply Rejection Ratio
CMRR	52.97	dB	Common mode rejection ratio
OR	919	mV	Output Range