

# Design and Simulation of a Stage-Single Operational Amplifier

Julia Gomes  
juliabgomes@gmail.com

## I. INTRODUCTION

O amplificador operacional pode ser usado como filtro, comparador, conversor, amplificador, gerador de sinais. A arquitetura interna do amplificador operacional geralmente é composta por uma carga ativa, par diferencial, fonte de corrente, estágio de amplificação e estágio de saída [Fig. 6].

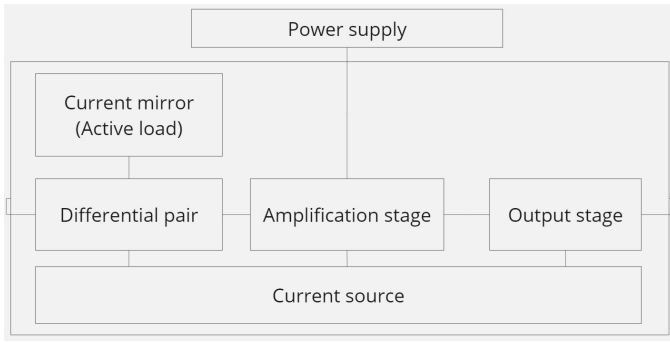


Fig. 1. Internal Architecture of the Operational Amplifier

A equação geral do amplificador operacional é dada por 1.

$$V_o = [V_{offset} + V_1 - V_2]A_v + \left[ \frac{V_1 + V_2}{2} A_{CM} \right] \quad (1)$$

em que  $V_o$  é a tensão de saída,  $V_{offset}$  é a tensão de offset,  $V_1$  é a entrada não inversora,  $V_2$  é a entrada inversora,  $A_v$  é o ganho diferencial e  $A_{CM}$  é o ganho em modo comum.

Idealmente, o amplificador operacional amplifica a diferença entre suas entradas. Entretanto, também há um indesejado ganho de modo comum que acaba amplificando o sinal dc da soma das entradas. Ele ocorre devido a pequenas assimetrias ou imperfeições nos transistores do circuito.

Um alto valor de razão de rejeição em modo comum (CMRR) minimiza o fenômeno de ganho de modo comum pois garante que o amplificador rejeite sinais comuns às duas entradas. CMRR em dB é dado pela relação entre o ganho diferencial em malha aberta e o ganho em modo comum do amplificador ( $20 \log |A_v/A_{CM}|$ ).

A tensão de offset é uma tensão que aparece na saída mesmo com a entrada nula. Ela é causada devido as diferenças físicas nos componentes que compõem o circuito.

O objetivo deste relatório é documentar o projeto de um amplificador operacional de estágio único que atenda as

especificações detalhadas na Tabela I. A tecnologia que será utilizada é a ONC18:  $0.18\mu m$  CMOS Process Technology -  $18V / 18V$ .

TABLE I. OPERATIONAL AMPLIFIER SPECIFICATIONS

vdda	1.8	V	Power Supply
OCMR	0.5	V	Output Common-Mode Range
ICMR	0.5	V	Input Common-Mode Range
Av_db	50	dB	Gain in dB
Vcm	0.9	V	Common-Mode Voltage
GBW	10	MHz	Gain-Bandwidth
SR	10	V/us	Slew Rate
CL	1	pF	Load

## II. DESIGN

O design e as simulações do circuito amplificador operacional de estágio único [Fig. 2] foram desenvolvidas na ferramenta Cadence Virtuoso.

### A. Espelho de corrente

Inicialmente, a corrente de referência do espelho de corrente foi especificada a partir do produto do Slew Rate e da carga, resultando em  $10\mu A$ . Entretanto, uma corrente de  $20\mu A$  foi necessária para atender as specs de ganho e slew rate exigidas.

Em um espelho é possível espelhar tanto para baixo quanto para cima. Transistores tipo N foram escolhidos para que a corrente do espelho descesse.

O diode-connect do espelho garante que  $V_{GS}$  seja igual a  $V_{DS}$ , colocando o transistor na região de saturação. A fonte de corrente do espelho tem a premissa de não ter variação de corrente independente da tensão aplicada a ela.

O diode-connected foi organizado em série. Isso possibilitou que o comprimento do transistor de  $28\mu m$  se transformasse em 4 transistores em série com  $L = 7\mu m$  cada um.

A fonte de corrente foi configurada em paralelo. Isso possibilitou que a largura do transistor ( $5.75\mu m$ ) fosse dividida em 5 transistores com  $W = 1.15\mu m$  cada um.

Os gates da fonte de corrente e do diode-connect são conectados para que a fonte espelhe a corrente inserida no dreno do transistor diode em uma relação  $I_B = I_A \frac{W_B/L_B}{W_A/L_A} = I_A \frac{W/4L}{5W/L} = \frac{I_A}{20}$ . Portanto, a fonte estará espelhando  $1\mu A$  da corrente de referência  $20\mu A$ .

O nível de inversão forte está relacionado ao NMOS obedecer a  $V_{GB} > V_{TH}$  e  $V_{GS} - V_{TH} \gg 0$ . A carga ativa e

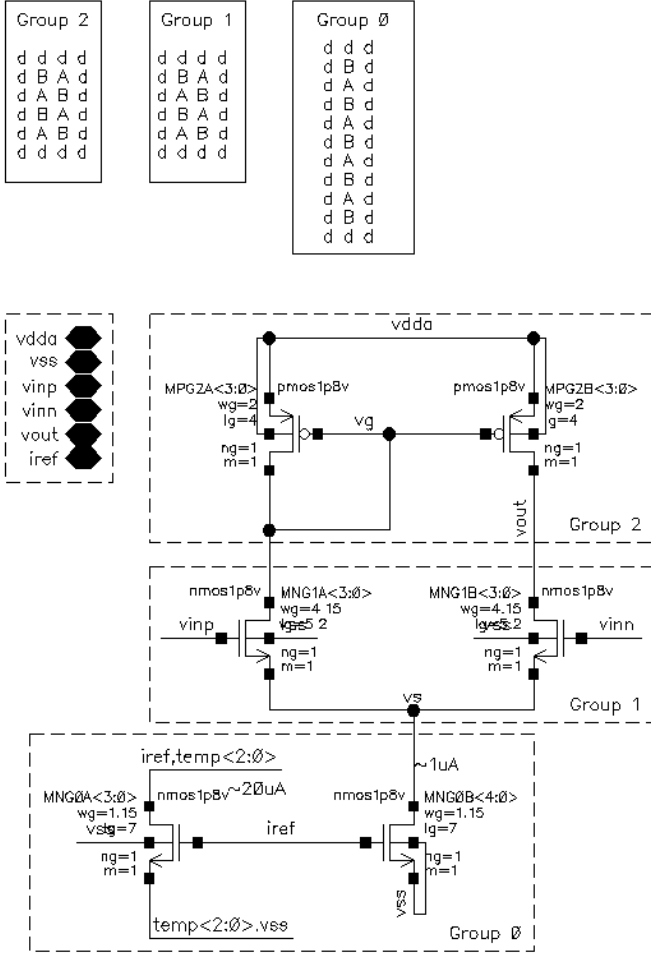


Fig. 2. Stage-Single Operational Amplifier Schematic

o espelho de corrente do opamp devem estar na inversão forte assim como o par diferencial na inversão fraca.

A seguinte aproximação foi realizada para alcançar as inversões: strong inversion -  $V_{Dsat} > 250mV$ , moderate inversion -  $150mV < V_{Dsat} < 250mV$ , weak inversion -  $V_{Dsat} < 150mV$  and triode of weak inversion:  $V_{Dsat} < 50mV$ .

### B. Par diferencial e carga ativa

O dimensionamento dos transistores [Tab. II] foi definido buscando um alto  $g_m$  para o par diferencial e um baixo  $g_{ds}$  tanto para o transistor da entrada inversora do par quanto para o transistor da carga ativa, seguindo a relação do ganho ( $A_v = g_{mG1A}/(g_{dsG1B} + g_{dsG2B})$ ).

TABLE II. TRANSISTOR SIZE

	W [um]	L [um]
Load	8	4
Pair	16.6	5.2
Mirror	5.75	7

Para deixar  $g_{ds}$  pequeno,  $W/L$  deve ser pequeno ao mesmo tempo que para  $g_m$  aumentar,  $W/L$  deve ser grande. É necessário lidar com esse tradeoff para alcançar o valor de ganho especificado.

O polo dominante deste sistema fica na saída. Ele é dado por  $p_1 = \frac{1}{RC} = 1/[(r_{dsG1B} + r_{dsG2B})C_L]$  e fica mais dominante com o aumento da resistência.

Gain-bandwidth (GBW) é definido pelo polo no primeiro estágio e o ganho, ou seja,  $GBW = A_v P_1 = g_{mG1A}/C_{parasitic}$ . Essa capacitância parasita pode ser aproximada pela carga de saída.

Input Common-Mode Rejection Ratio (ICMRR) define se a entrada será PMOS ou NMOS. ICMRR fica mais próximo do vdd na entrada p e mais próximo do 0 na entrada n. Para esse circuito, o par diferencial é constituído de transistores tipo n.

## III. SIMULATION RESULTS

Quatro testbenchs foram utilizados para as simulações. O primeiro analisou slew rate, GBW, ganho em malha aberta, input common-mode range (ICMR) e Power. O segundo simulou output common-mode range (OCMR) e settling time. O terceiro analisou Power Supply Rejection Ratio (PSRR) e noise e o quarto simulou a capacidade de rejeição do opamp.

### A. Test case 1

O primeiro testbench [Fig. 3] é constituído do opamp, uma carga capacitiva de  $1pF$ , corrente de referência de  $20\mu A$  e power supply de  $1.8V$ . A entrada não inversora está conectada a um pulso com valor zero igual a  $-0.25$  e valor um de  $0.25V$ , com período de  $0.1\mu s$  e rise e fall time de  $1ns$ , que está associada em série com uma fonte dc caracterizada como tensão de commom-mode, de  $0.9V$ .

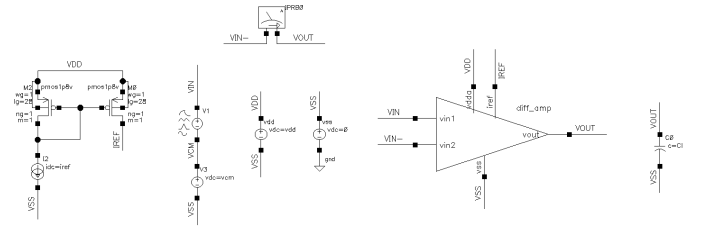


Fig. 3. Test case 1

O dispositivo IPRB0 está conectado entre a entrada inversora e a saída do amplificador. Esse dispositivo serve para avaliar o ganho e a fase do loop

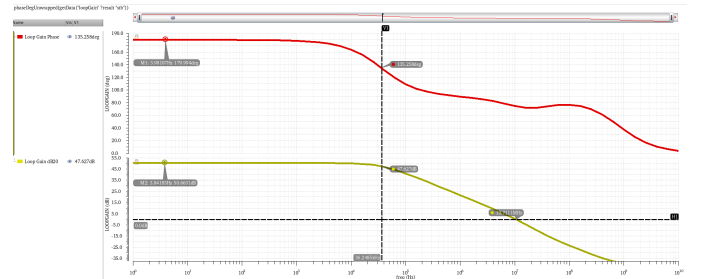


Fig. 4. Open-loop Gain and Phase

A resposta em frequência do amplificador é dada na Figura 4. O ganho alcançado foi  $50.66dB$ , a frequência de corte, que é visualizada analisando a frequência em que o ganho cai em

3dB, é aproximadamente  $36.25kHz$ , e o ganho em banda é  $10.71MHz$ , que pode ser aproximado pela frequência quando a amplitude está em 0dB.

Para simulação de slew rate e power é utilizada análise transiente. O power foi obtido a partir do produto entre power supply e corrente do circuito e slew rate foi calculado a partir da ferramenta Calculator, do Cadence Virtuoso.

O slew rate rise que analisa a variação de volts que a saída alcança com relação ao tempo de subida resultou em  $12.07V/\mu s$  e o slew rise fall que segue o mesmo raciocínio, mas com relação ao tempo de descida, resultou em  $-8.636V/\mu s$ .

ICMR foi analisado a partir de simulação dc, variando vcm de 0 a vdd. A expressão utilizada foi a razão da derivada da saída do amplificador com o ponto máximo dessa derivada em falling menos a razão da derivada da saída do amplificador com o ponto máximo dessa derivada em rising. A região de cada razão utilizada para a subtração foi onde a forma de onda estava em alto, utilizando a função cross. O resultado obtido foi  $ICMR = 1.152$ .

### B. Test case 2

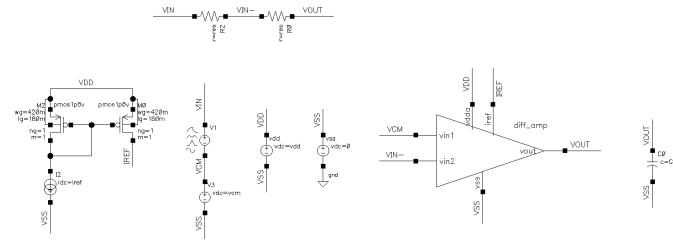


Fig. 5. Test case 2

No segundo testbench [Fig. 5] há um feedback negativo com dois resistores interligando a saída e a entrada inversora. A entrada não inversora está conectada a um fonte dc de  $0.25V$  associada em série com a tensão de modo-comum.

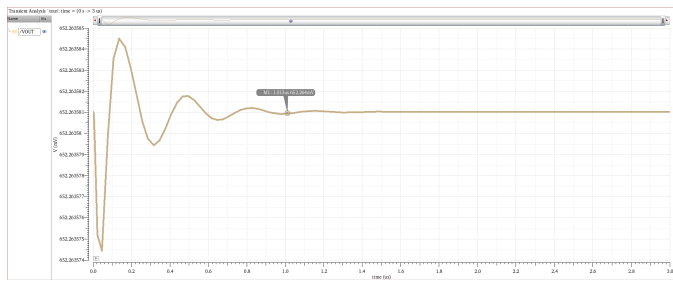


Fig. 6. Resposta no tempo do sistema

O settling time é associado ao tempo que a resposta da função de transferência demora para estabilizar. O opamp apresentou um settling time de  $1.013\mu s$  e foi simulado na ferramenta Calculator.

O OCMR resultou em  $831.9mV$  e foi obtido seguindo a mesma expressão de ICMRR, na simulação dc, variando a tensão da fonte dc da entrada inversora de  $-vdd/2$  a  $vdd/2$ .

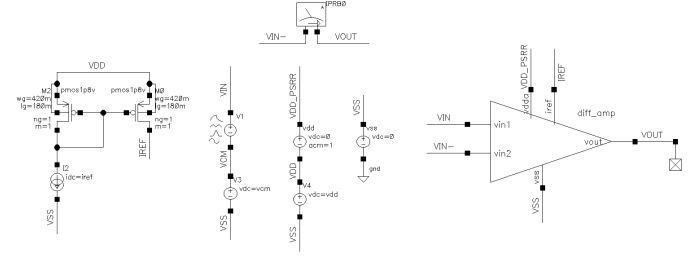


Fig. 7. Test case 3

### C. Test case 3

O terceiro testbench [Fig. 7] apresenta a entrada não inversora do opamp similar ao testcase 2 e a entrada inversora similar ao testcase 1. A carga de saída é nula. A alimentação está associada em série a uma fonte dc de  $0V$  e AC magnitude de  $1V$ .

A simulação de noise foi feita com noise analyses configurada de  $1Hz$  a  $10MHz$ , Positive Output Node na net VOUT, Negative Output Node na net ground e Input Voltage Source na fonte da entrada não inversora. A forma de onda do ruído foi gerada a partir do quadrado da saída do opamp em dB, e seu valor resultante foi obtido da raiz quadrada do valor absoluto da integral de sua forma de onda, resultando em  $89.96\mu dB$ .

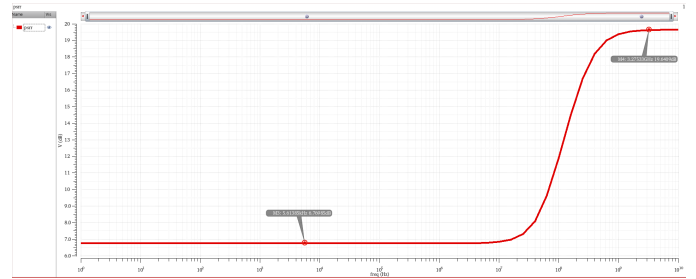


Fig. 8. PSRR

A simulação PSRR [Fig. 8] utilizou análise ac variando de  $1GHz$  a  $10GHz$ . PSRR foi encontrado a partir de - dB da função  $vfreq()$  do sinal de saída, retornando um valor de tensão na frequência em dB.

### D. Test case 4

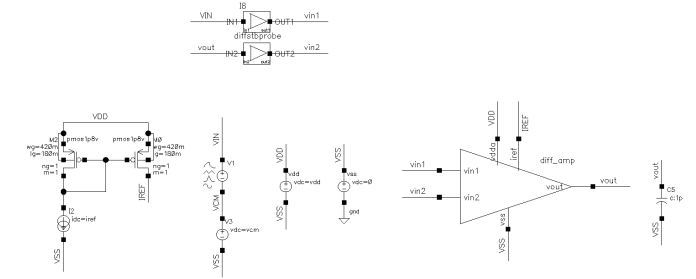


Fig. 9. Test case 4

O quarto testbench [Fig. 9] apresenta o componente diff-stbprobe entre a entrada inversora e a saída do opamp e entre a

entrada não inversora e a associação em série de componente dc de 0.25V com vcm, assim como no testcase 1. Esa configuração foi utilizada para simulação de CMRR utilizando a análise stb de 1Hz a 10GHz, com Probe Instance/terminal no componente diffstbprobe e Local Ground Name na net ground.

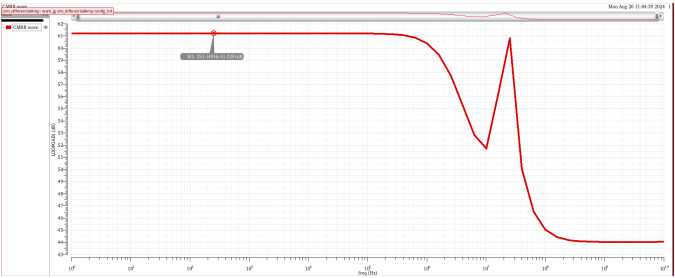


Fig. 10. Opamp CMRR

A rejeição [Fig. 10] foi obtida de menos o dB da magnitude do ganho em malha aberta em baixa frequência, resultando em 5.46dB.

#### IV. CONCLUSION

TABLE III. OPERATIONAL AMPLIFIER PARAMETERS RESULTS CONSIDERING T=27°C AND PROCESS TYPIC TYPIC

Aol	50.66	dB	Open-loop gain
GBW	10.71	MHz	Gain-bandwidth
Selew rate rise	12.07	V/μs	
Selew rate fall	-8.636	V/μs	
ICMR	1.152	V	Input common-mode range
OCMR	831.9	mV	Output Common-Mode Range
Settling time	1.013	μs	
Noise <sub>rms</sub>	89.96	μdB	
PSRR	6.77	dB	Power Supply Rejection Ratio