

MOS Parameters Extraction

Julia Gomes
juliabgomes@gmail.com

I. INTRODUCTION

O Mosfet é um dispositivo eletrônico que é utilizado em circuitos integrados devido suas características físicas e elétricas. Neste relatório será analisado o comportamento do MOS a partir de fundamentação e simulações.

II. BASIC MOS DEVICE PHYSICS

A. Threshold Voltage

Quando uma tensão é inserida no terminal do gate em um transistor tipo N [Fig. 1(a)], buracos em p-substrate são repelidos da área do gate e elétrons são atraídos, formando uma região de depleção [Fig. 1(b)]. Nessa condição ainda não há disponibilidade de portadores de carga [2].

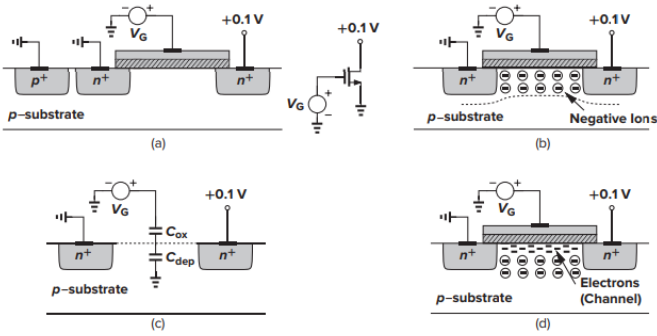


Fig. 1. (a) A MOSFET driven by a gate voltage; (b) formation of depletion region; (c) onset of inversion; (d) formation of inversion layer

Com o aumento de V_G , a largura da região de depleção aumenta assim como o potencial na interface óxido-silício. A estrutura é similar a um divisor de tensão, consistindo de dois capacitores em série: gate-oxide capacitor and the depletion-region capacitor [Fig. 1(c)]. Quando a interface assume um valor suficientemente positivo, ocorre o fluxo de corrente [2].

Então, um canal de portadores de carga é criado sob oxiado do gate entre S e D, e o transistor é tornado on. A interface é considerada invertida e por isso o canal também é chamado de camada de inversão. O valor de V_G para que isso ocorra é chamado de tensão de threshold, V_{TH} . Na realidade, o fenômeno turn-on é uma função gradual da tensão de gate [2].

Se V_G continua a aumentar, a carga na região de depleção permanece relativamente constante enquanto a densidade de carga no canal continua a aumentar, provendo uma grande corrente de S para D [2].

Similarmente ocorre para dispositivos PMOS, mas com as polaridades invertidas 2. A tensão gate-source precisa estar

suficientemente negativa para a ocorrência de uma camada de inversão consistindo de buracos na interface óxido-silicon, provendo um caminho de condução entre S e D [2].

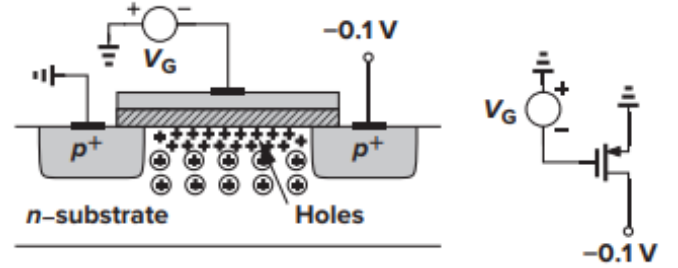


Fig. 2. Formation of inversion layer in a PMFET

B. Derivation of I/V Characteristics

O MOSFET é uma função de 5 variáveis: três tensões (V_{GS} , V_{DS} e V_{SB}) e dois parâmetros de tamanho (L e W). Esse dispositivo pode operar em três regiões de operação. As equações que serão listadas nas próximas seções são oriundas do transistorivo NMOS.

As equações para o dispositivo PMOS são escritas de forma similar, mas com um sinal negativo na frente porque é considerando que os buracos fluem do source para o drain. Além disso, V_{GS} , V_{DS} , V_{TH} e $V_{GS} - V_{TH}$ são negativos para um transistor PMOS que está ligado. Como a mobilidade dos buracos é cerca de metade da mobilidade dos elétrons, os dispositivos PMOS sofrem de menor capacidade de current drive [2].

1) Cut off Region: $V_{GS} < V_{TH}$: $I_D = 0$.

O transistor está turn-off.

2) Triodo or Linear Region: $V_{DS} \leq V_{GS} - V_{TH}$:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (1)$$

A capacidade de corrente do dispositivo aumenta com V_{GS} . O pico da parábola ($\frac{\Delta I_D}{\Delta V_{DS}}$) da Figura 3 ocorre na tensão de overdrive (V_{ov}), $V_{DS} = V_{GS} - V_{TH}$.

Quando $V_{DS} \ll 2(V_{GS} - V_{TH})$:

$$I_D \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2)$$

Quando V_{DS} é muito pequeno, o caminho entre source e drain pode ser representado por um resistor linear igual a

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (3)$$

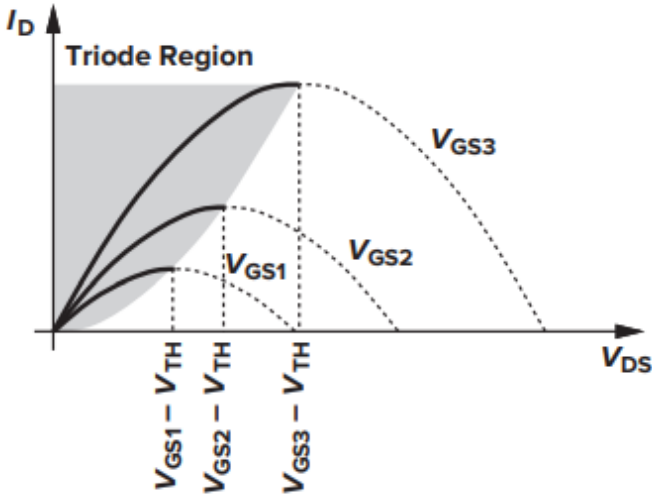


Fig. 3. I_D vs V_{GS} in the triode region

3) *Saturation Region*: $V_{DS} > V_{ov}$:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L'} (V_{GS} - V_{TH})^2 \quad (4)$$

em que L' é o ponto em que Q_d cai para zero (pinch-off).

Quando a tensão de drain é maior que a tensão de overdrive, a corrente tende a se manter constante [Fig. 4]. Se V_{DS} é significativamente maior que $V_{GS} - V_{TH}$, então a camada de inversão para em $x \leq L$ [Fig. 5], e o canal é considerado pinched off [2].

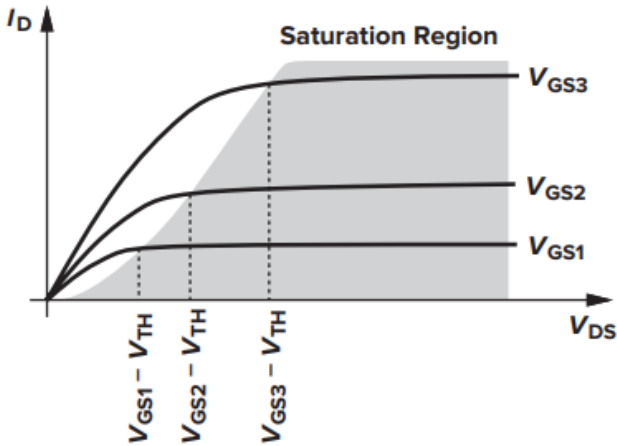


Fig. 4. I_D vs V_{GS} in the saturation region

Com V_{DS} crescendo ainda mais, o ponto em que Q_d é igual a zero move gradualmente para o source. Então, em algum ponto ao longo do canal, a diferença de potencial entre gate e a interface oxide-silicon não é suficiente para suportar a camada de inversão [2].

Mesmo com pinch-off, o dispositivo continua conduzindo corrente. Quando os elétrons se aproximam do ponto pinch-off (onde $Q_d \rightarrow 0$), sua velocidade aumenta ($v = I/Q_d$), e passando por esse ponto eles disparam através da região de

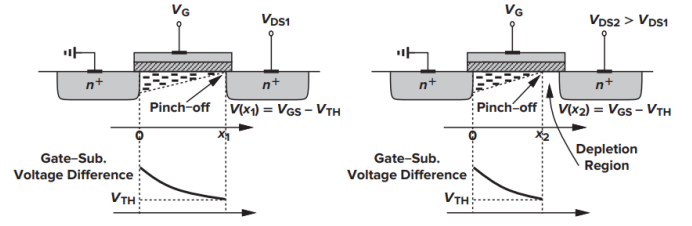


Fig. 5. Pinch-off behavior

depleção perto da junção de dreno e chegam ao terminal de dreno [2].

C. MOS Transconductance

A transcondutância do MOSFET é a capacidade do dispositivo de converter tensão de overdrive de gate-source em corrente de drain. g_m é representado em siemens (S) e na região de saturação pode ser dado pelo inverso de R_{on} na região de triodo profundo [2]. Essa quantidade, para V_{DS} constante, é expressa como

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (5)$$

$$= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (6)$$

$$= \sqrt{2 \mu_n C_{ox} \frac{W}{L} I_D} \quad (7)$$

$$= \frac{2 I_D}{V_{GS} - V_{TH}} \quad (8)$$

A relação $g_m/I_D = 2/(V_{GS} - V_{TH})$ é uma métrica de eficiência que mostra quanta transcondutância é obtida por unidade de corrente, importante para o design de circuitos analógicos eficientes. Essa eficiência diminui com o aumento de V_{GS} , refletindo a natureza não linear e os limites físicos do MOSFET [1].

D. Second-order effects

1) *Body Effect*: À medida que V_B se torna mais negativo, mais buracos são atraídos para a conexão do substrato, deixando uma carga negativa maior para trás; ou seja, a região de depleção se torna mais ampla. A tensão de limiar é uma função da carga total na região de depleção porque a carga do gate deve espelhar Q_d antes que uma camada de inversão seja formada. Assim, conforme V_B cai e Q_d aumenta, V_{TH} também aumenta. Esse fenômeno é chamado de body effect e γ é o body effect coefficient.

2) *Channel-Length Modulation*: Na análise de pinch-off do canal, notamos que o comprimento atual do canal gradualmente diminui com a queda da diferença de potencial entre gate e drain. L' em 4 é uma função de V_{DS} . Esse efeito é chamado de channel-length modulation, onde λ é o channel-length modulation coefficient, que apresenta valores pequenos para longos canais [2].

E. Subthreshold Conduction

Quando $V_{GS} < V_{TH}$, o transistor não desliga abruptamente, há uma fraca inversão de camada e a corrente de drain apresenta uma dependência exponencial a V_{GS} [Eq. 9].

$$I_D = I_0 \exp \frac{V_{GS}}{\xi V_T} \quad (9)$$

onde I_0 é proporcional a $\frac{W}{L}$, $\xi > 1$ é um fator de não linearidade, e $V_T = \frac{kT}{q}$.

F. MOS Small-Signal Model

Se a perturbação nas condições de polarização é pequena, um small-Signal model [Fig. 6(a)] aproximando o modelo de large-signal ao redor do ponto de operação pode ajudar na simplificação dos cálculos.

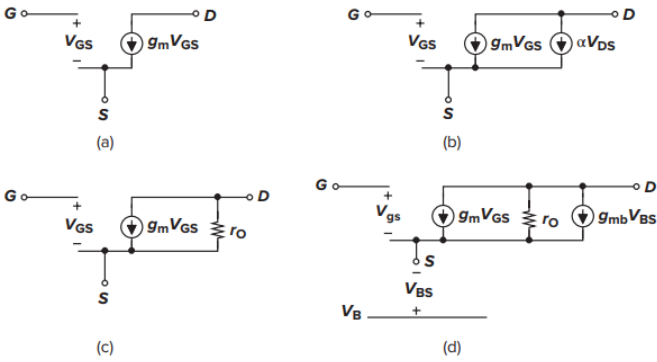


Fig. 6. Pinch-off behavior

Considerando a channel-length modulation, a corrente de drain também varia com tensão drain-source. Esse efeito pode ser modelado por um fonte de corrente de voltage-dependent [Fig. 6(b)], mas uma fonte de corrente cujo valor depende linearmente da voltagem através dela é equivalente a um resistor linear [Fig. 6(c)]. Esse resistor de saída afeta o desempenho de muitos circuitos analógicos e pode ser dado por

$$r_o = \frac{\partial V_{DS}}{\partial I_D} \quad (10)$$

$$= \frac{1}{\partial I_D / \partial V_{DS}} \quad (11)$$

$$= \frac{1}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \lambda} \quad (12)$$

O potencial em bulk influencia a threshold voltage e, portanto, o overdrive gate-source. Com todos os outros terminais mantidos em uma tensão constante, a corrente de dreno é uma função da tensão em bulk. Ou seja, o bulk se comporta como um segundo gate. Modelando essa dependência por uma fonte de corrente conectada entre D e S [Fig. 6(d)], escrevemos o valor como $g_{mb} V_{bs}$, onde $g_{mb} = \partial I_D / \partial V_{BS}$. Na região de saturação, g_{mb} pode ser expressa como

$$g_m = \frac{\partial I_D}{\partial V_{BS}} \quad (13)$$

$$= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \left(-\frac{\partial V_{TH}}{\partial V_{BS}} \right) \quad (14)$$

$$= g_m \left(\frac{\partial V_{TH}}{\partial V_{BS}} \right) \quad (15)$$

$$= g_m \frac{\gamma}{2\sqrt{2\Phi_F + V_{SB}}} \quad (16)$$

$$= \eta g_m \quad (17)$$

onde $\eta = g_{mb} / g_m$ e é tipicamente em torno de 0.25.

III. SIMULATION RESULTS

A extração dos parâmetros do Mosfet foi realizada a partir de simulações no software Cadence Virtuoso. A tecnologia utilizada foi o gpdk de 45 nm disponibilizada pela Cadence.

Tanto o transistor PMOS quanto o NMOS foram simulados [Fig. 7]. Fontes dc foram inseridas nos terminais de drain e gate para os dois transistores. No dispositivo PMOS, os terminais source e body foram conectados ao vdd e no transistor NMOS, esses terminais foram ligados ao vss.

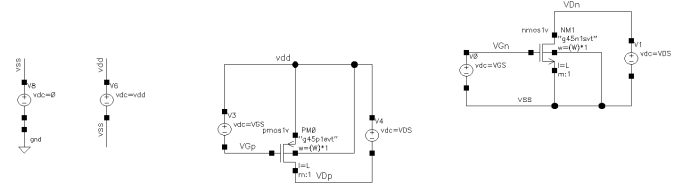


Fig. 7. Testbench

A. Drain current

A tensão gate-source controla a corrente que flui no drain. A Figura 8 mostra esse comportamento para os transistores PMOS e NMOS obtidos a partir de uma simulação dc. Foram considerados dois tamanhos para o transistor: 1 um representando canal longo e 45 nm representando canal curto. O valor de W foi determinado como 10 vezes o valor de L , $V_{DS} = 1.8$ V, $v_{dd} = 0$ V e V_{GS} variando de 0 a 2.5 V. A simulação mostra que com o canal mais curto o efeito de V_{GS} é menor no aumento de I_D .

Quando $V_{GS} < V_{TH}$, o transistor está desligado e a corrente é quase nula. Quando $V_{GS} > V_{TH}$ e V_{DS} é pequeno, o transistor se comporta como um resistor controlado por V_{GS} . Quando $V_{GS} > V_{TH}$ e V_{DS} é grande o suficiente para que o transistor esteja na saturação, I_D é praticamente constante em relação a V_{DS} e varia com relação a V_{GS} .

A Figura 9 mostra a relação entre corrente de dreno e tensão de drain-source para os transistores PMOS e NMOS obtidas a partir de uma simulação dc. O tamanho do transistor foi considerado 1 um, V_{GS} assumiu o valor 1 V e 1.8 V para

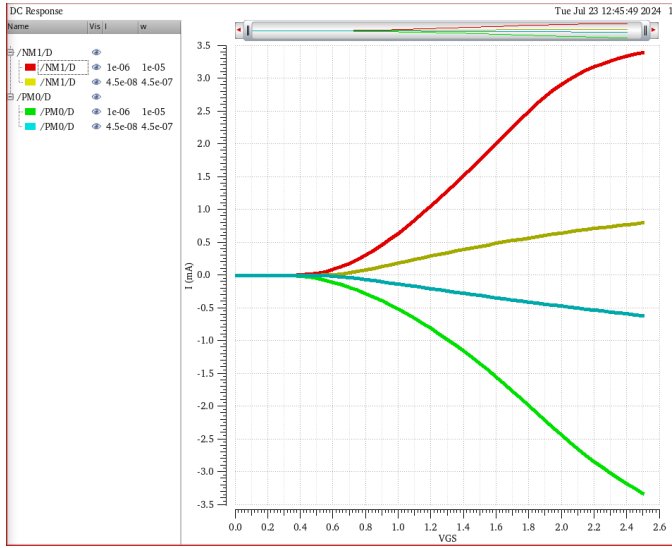


Fig. 8. I_D vs V_{GS} to $L = [45 \text{ nm } 1 \mu\text{m}]$ to PMOS and NMOS

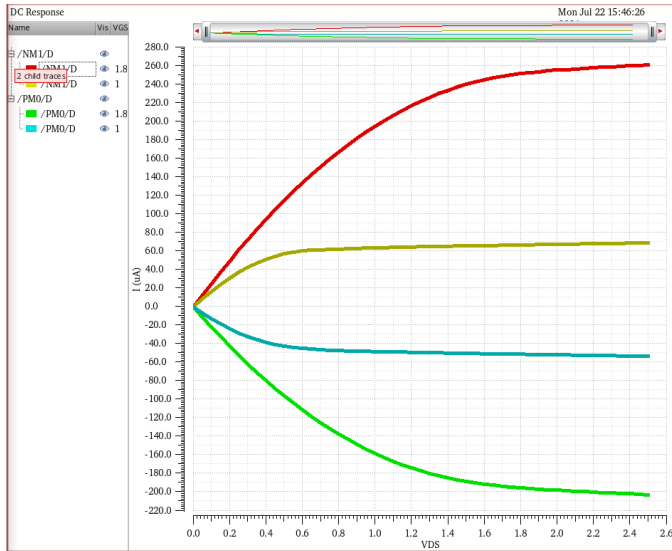


Fig. 9. I_D vs V_{DS} to $V_{GS} = [1 \text{ V } 1.8 \text{ V}]$ to PMOS and NMOS

análise do seu efeito na curva, $v_{dd} = 0$ e V_{DS} variando de 0 a 2.5 V.

Também foi analisado o comportamento da corrente de drain em relação a tensão drain-source para canal curto e canal longo. A Figura 10 mostra o resultado dessa simulação. Os mesmos parâmetros foram utilizados, mas deixando V_{GS} apenas assumindo o valor de 1 V.

Idealmente, a tensão V_{DS} não afeta I_D porque o Mosfet é uma fonte de corrente controlada por tensão para $V_{DS} > V_{Dsat}$. Na prática, aumentando V_{DS} , I_D também aumenta.

Figure 11 mostra que V_{TH} apresenta um menor valor com canal longo. Além disso, tende a diminuir com o aumento de V_{DS} .

A Figura 12 mostra a curva da transcondutância com relação a tensão gate-source. Se o objetivo é obter transcondutância, deve ser entregue corrente para o dispositivo [1].

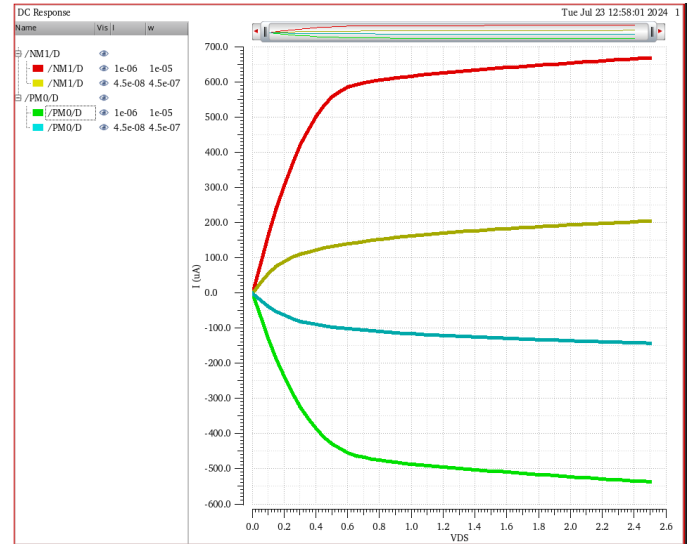


Fig. 10. I_D vs V_{DS} to $L = [45 \text{ nm } 1 \mu\text{m}]$ to PMOS and NMOS

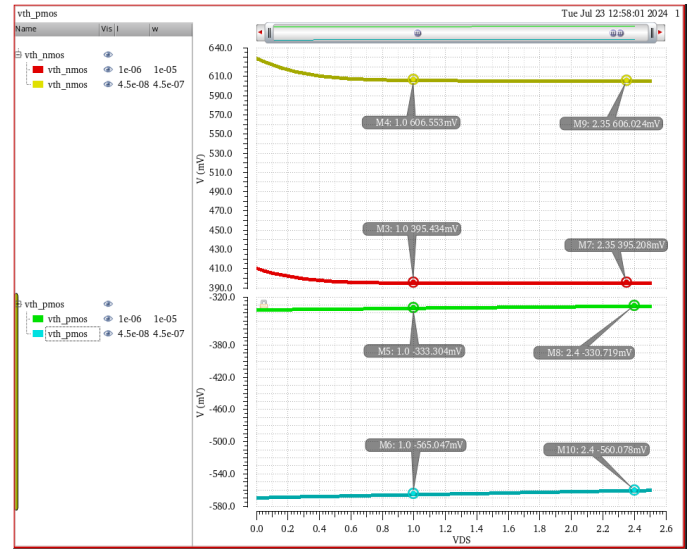


Fig. 11. V_{TH} vs V_{DS} to $L = [45 \text{ nm } 1 \mu\text{m}]$ to PMOS and NMOS

Para valores baixos de V_{GS} , o transistor está na região de subthreshold, onde a corrente de drain cresce exponencialmente com V_{GS} . Neste regime, g_m é relativamente alto. À medida que V_{GS} aumenta além do limiar (V_{th}), o transistor entra na região de operação linear e depois na região de saturação. Em níveis muito altos de V_{GS} , a mobilidade dos portadores pode diminuir devido ao efeito de velocidade de saturação, resultando em uma diminuição de g_m .

Para canal curto, V_{DS} apresenta uma forte influência em g_m , até atingir um ponto de saturação em que canal curto e canal longo apresentam praticamente o mesmo comportamento [Fig. 13].

A condutância de saída (g_{ds}) é a derivada da corrente de drain em relação a tensão de drain, $g_{ds} = \frac{\partial I_D}{\partial V_{DS}}$, mantendo V_{GS} constante, e está relacionada a resistência de saída do transistor [Fig. 14]. A razão $\frac{g_m}{g_{ds}}$ é conhecida como ganho intrínseco do transistor e é um indicador importante do de-

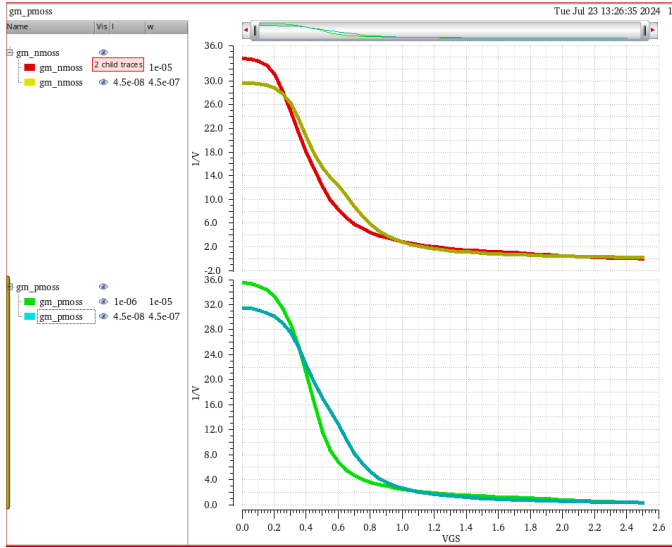


Fig. 12. g_m/I_D vs V_{GS} to $L = [45 \text{ nm } 1 \text{ um}]$ to PMOS and NMOS

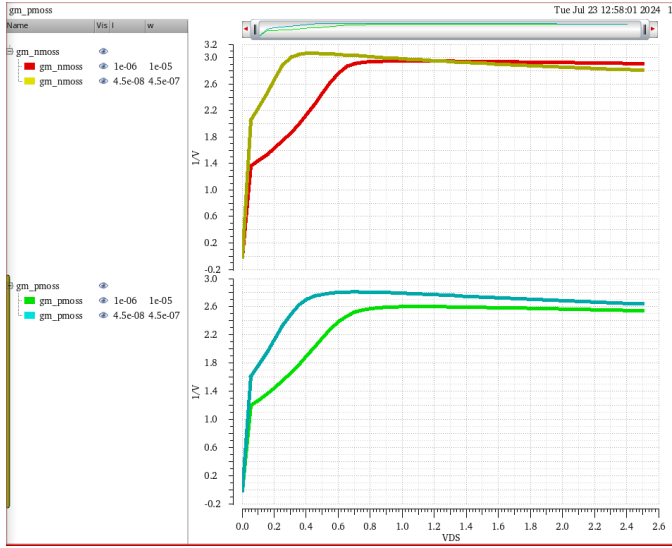


Fig. 13. g_m/I_D vs V_{DS} to $L = [45 \text{ nm } 1 \text{ um}]$ to PMOS and NMOS

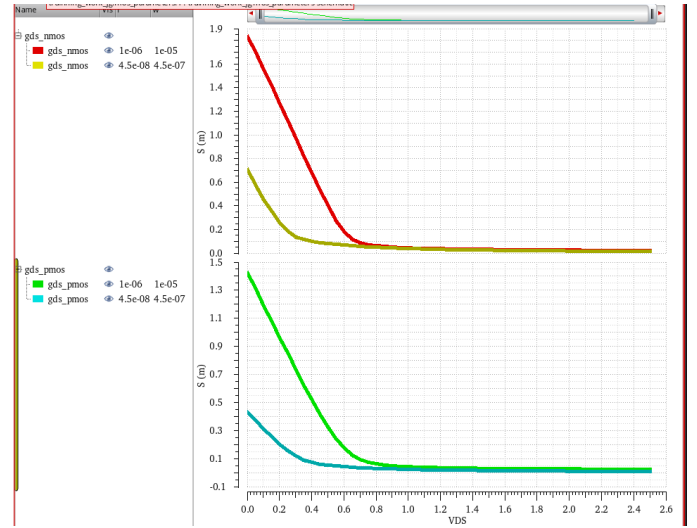


Fig. 14. g_{ds} vs V_{DS} to $L = [45 \text{ nm } 1 \text{ um}]$ to PMOS and NMOS

sempenho do dispositivo, principalmente amplificadores.

IV. FUTURE WORK

Design and simulations of one-stage amplifiers.

V. CONCLUSION

Menor L permite menor área, menor capacitância e maior velocidade ($f_T = \frac{g_m}{2\pi C_{gg}}$). Entretanto, com L maiores é possível obter maior ganho, menor variação de casamento e baixo ruído de flicker.

REFERENCES

- [1] MICROELECTRONICS, M. The gm/id design methodology demystified (english). <https://www.youtube.com/watch?v=dzz4z3ijVts>, 2021. Accessed: July 19, 2024.
- [2] RAZAVI, B. *Design of analog CMOS integrated circuits*. Tsinghua University Press Co., Ltd., 2005.