

Tema 2. Microprocesadores, microcontroladores y procesadores de señal digital

Asignatura: Sistemas Empotrados
Hortensia Mecha López

Dpto. Arquitectura de Computadores y Automática
Universidad Complutense de Madrid

Temario

1. Sistemas empotrados: ámbitos de aplicación y flujo de diseño (2 horas)

2. Microprocesadores, microcontroladores y procesadores de señal digital (4+1 horas)

3. Subsistema de memoria en sistemas empotrados. (4+2 horas)

4. Buses industriales. (2+2 horas)

5. Periféricos: sensores y actuadores. (3+1 horas)

6. Integración, coste y prestaciones. (7 horas)

7. Casos prácticos. (8 +18 horas – 4 en aula y 14 en lab-)

Indice

Microprocesadores, microcontroladores y procesadores de señal digital (4+1 horas)

- 2.1 Modelos de Arquitectura ISA
- 2.2 Modelos ISA específicos para aplicaciones
- 2.3 Diseño de un procesador
- 2.4 Rendimiento del procesador

Presentaciones de los alumnos:

- Familia Intelx86, Pentium, Pentium Pro, Pentium II
- Familia MC 680x0
- RISC
- ¿Cómo elegir un microcontrolador?
- Herramientas de desarrollo
- Sistemas operativos/sw libre

(4 horas teóricas + 1 de presentaciones)

Bibliografía

Teoría:

- Embedded hardware., know it all / Jack Ganssle, Tammy Noergaard, Fred Eady, Lewin Edwards, David J. Katz, Amsterdam, Elsevier/Newnes, cop. 2008, **capítulo 3**
- Embedded Systems Design, Steve Heath, Ed Newnes, 2005, **capítulo 2 (teoría y presentaciones)**

Presentaciones:

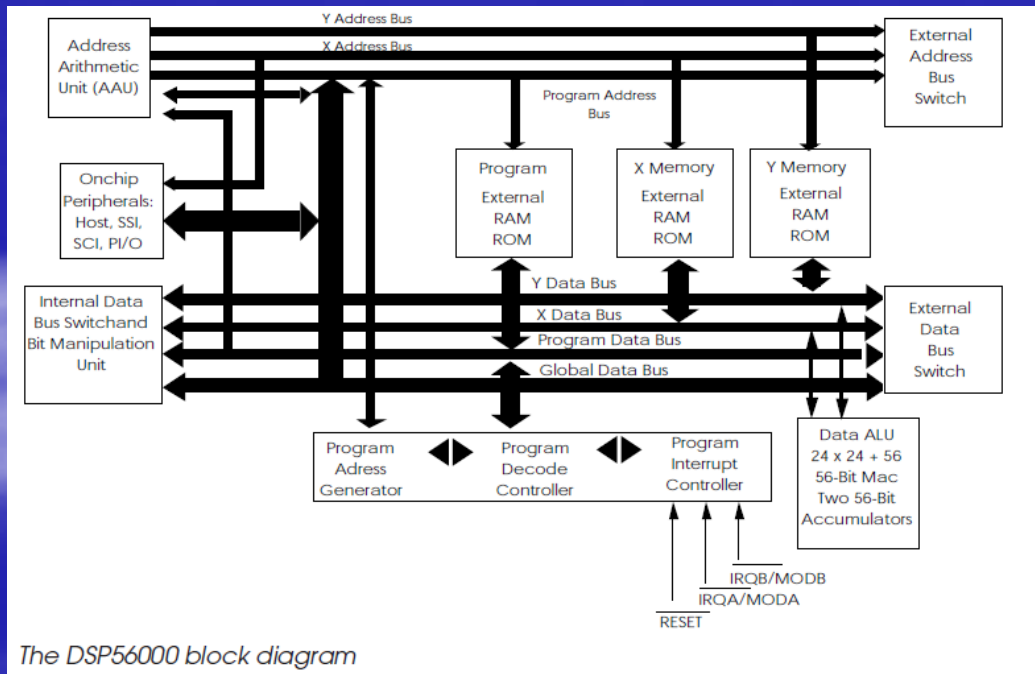
- Embedded hardware., know it all / Jack Ganssle, Tammy Noergaard, Fred Eady, Lewin Edwards, David J. Katz, Amsterdam, Elsevier/Newnes, cop. 2008, **capítulo 7**

Introducción

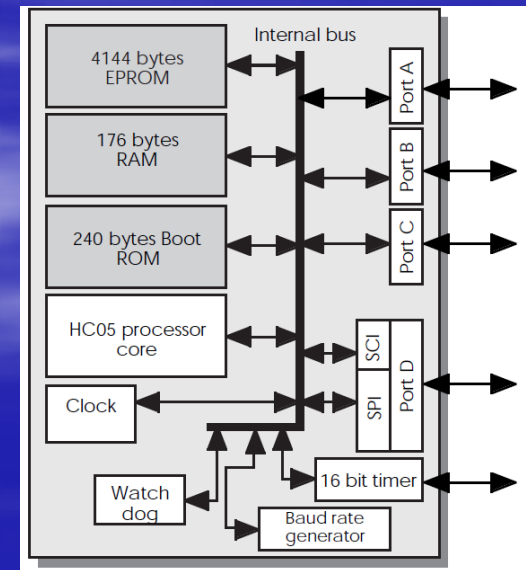
El procesador (**maestro**) es el dispositivo central de control de un Sistema Empotrado. Puede haber además varios procesadores **esclavos**.

La tarjeta empotrada se diseña alrededor del maestro.

La complejidad y arquitectura del maestro determina si se clasifica como **microprocesador** o **microcontrolador** (llevan parte del sistema de memoria y componentes de E/S integrados), o **DSPs** (Procesadores de señal).



Microcontrolador (Motorola MC68HC705C4A)



2.1 Modelos de Arquitectura ISA

ISA (Instruction Set Architecture)

1.- Operaciones

- Matemáticas y lógicas
- Desplazamiento y rotaciones
- Load/store
- Comparaciones, saltos, movimientos

2.- Operandos: 8 bits, 16 bits, 32 bits, enteros, coma flotante

3.- Almacenamiento

- Organización de la memoria
- Conjunto de registros, pueden ser unos pocos o cientos
- Modo de uso de los registros

2.1 Modelos de Arquitectura ISA

Organización de la memoria: el rango virtual o real de direcciones disponible para un procesador es el espacio de direcciones.

Puede ser

Lineal: las localizaciones se representan de forma incremental $0..2^{(N-1)}$, donde N es el número de bits de la dirección

Segmentado: la memoria se divide en porciones llamadas segmentos. La dirección viene determinada por un nº de segmento + offset. El número de segmento se determina mediante un registro o está implícito.

También es importante cómo se guardan los datos en memoria:

Big-endian: el bit/byte más significativo va primero (ej. 68000, Sparc)

Little-endian. el bit/byte menos significativo va primero (ej x86)

ARM, MIPS, Power PC se pueden configurar de ambos modos

2.1 Modelos de Arquitectura ISA

4.- Modos de direccionamiento:

Arquitectura Load/store: sólo se permiten operaciones de procesamiento de datos en registros (ej Power PC)

Arquitectura Registro-memoria: Se pueden realizar operaciones tanto en registros como en memoria.

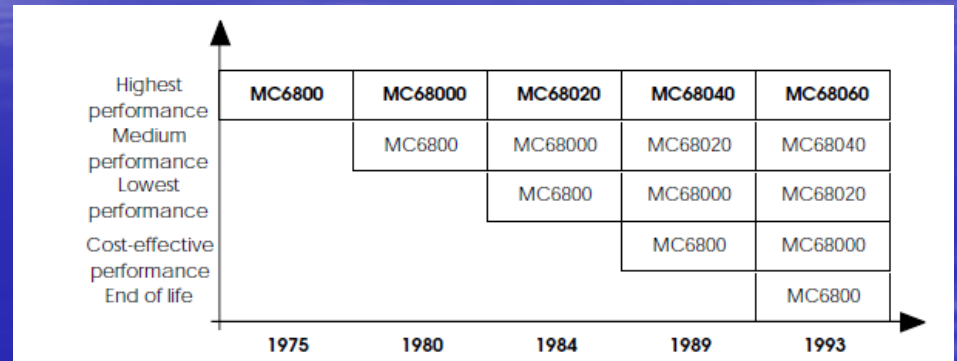
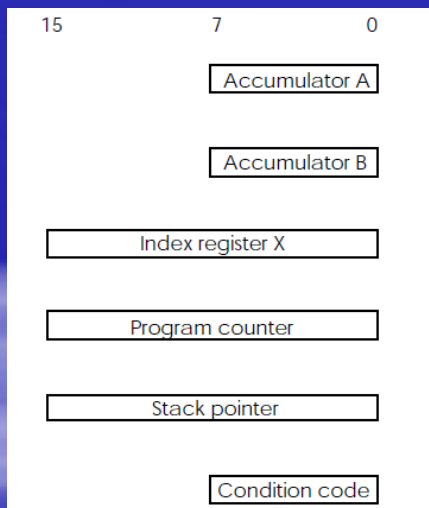
5.- Interrupciones y excepciones

Son mecanismos para parar y modificar el flujo estándar de un programa, y permiten ejecutar otro conjunto de código.

2.1 Modelos de Arquitectura ISA

Evolución y tipos de arquitectura del procesador:

Acumuladores de 8 bits:



Ej. MC6800, Intel 8080, Z80

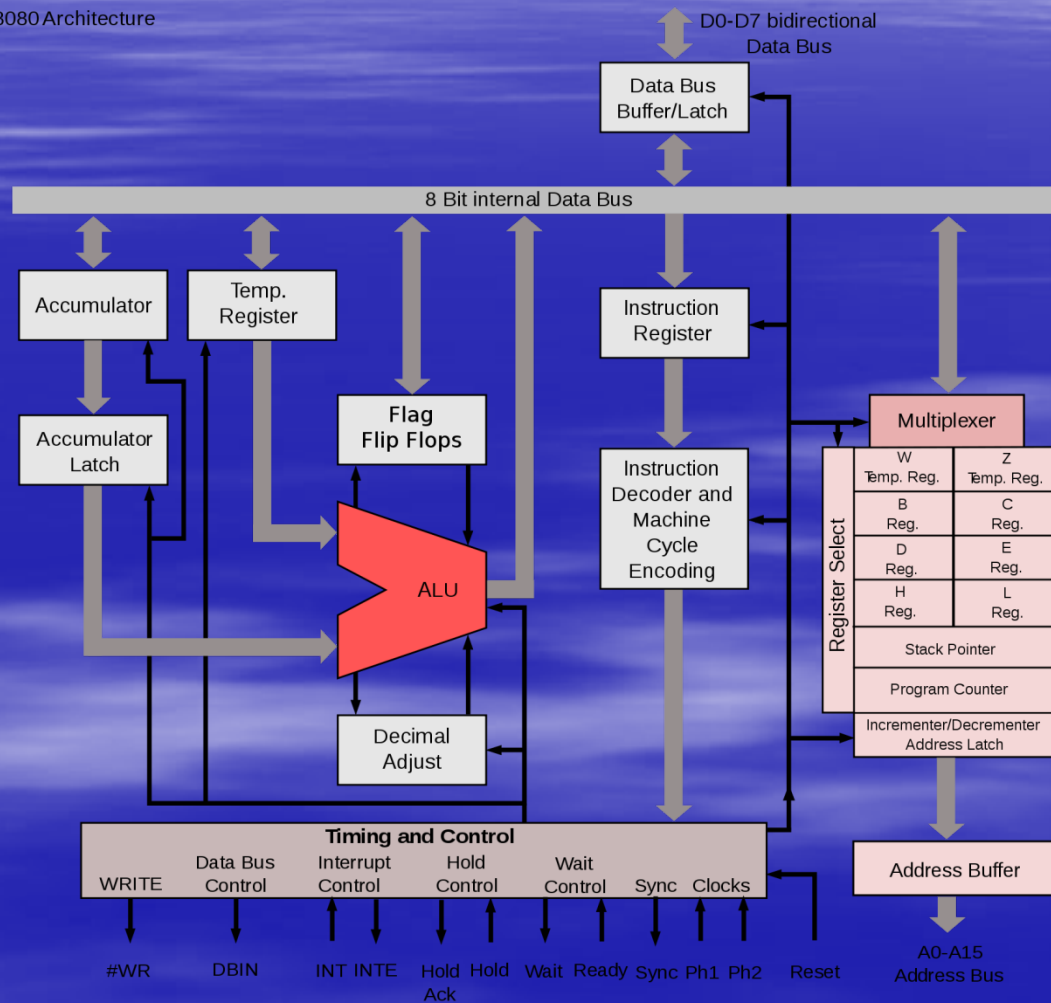
Muy limitados por el ancho de 8 bits y 64K de acceso a memoria.

Algunas de estas arquitecturas se incorporan en microcontroladores y procesadores empotrados

Modelo programación MC6800: hay operaciones directas sobre memoria usando el registro índice X

2.1 Modelos de Arquitectura ISA

Intel 8080 Architecture

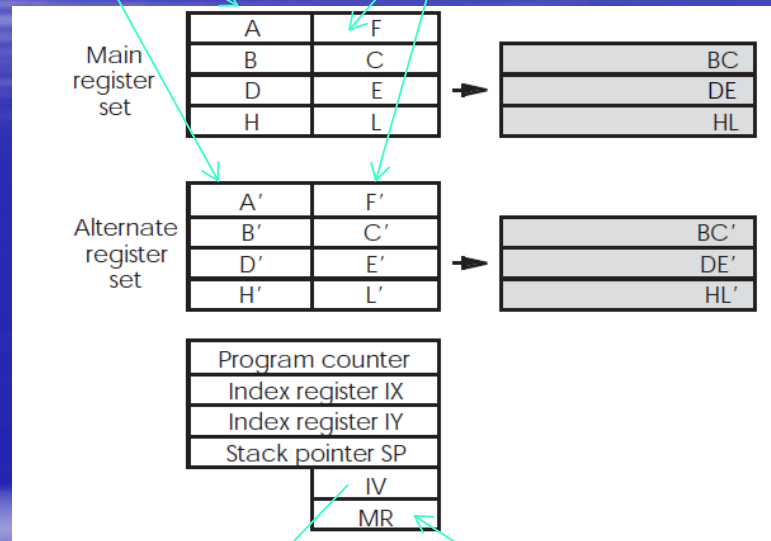


2.1 Modelos de Arquitectura ISA

Acumulador

Flags

Modelo programación Z80



Dispone de un máximo de 256 instrucciones de 8 bits (158 reales incluyendo 78 del 8080)

1MIP a 4MHz

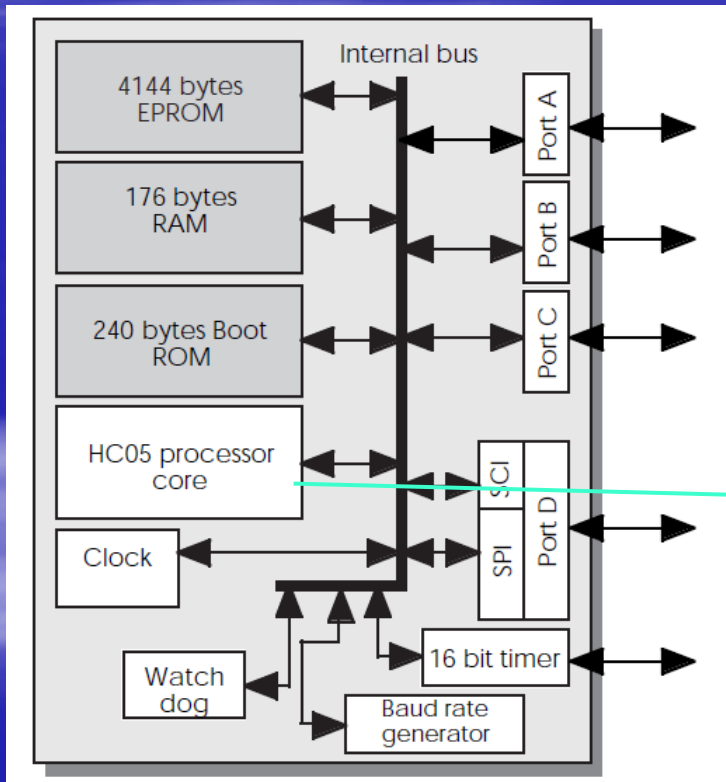
Lleva un circuito para refresco de DRAM

Vector de interrupciones

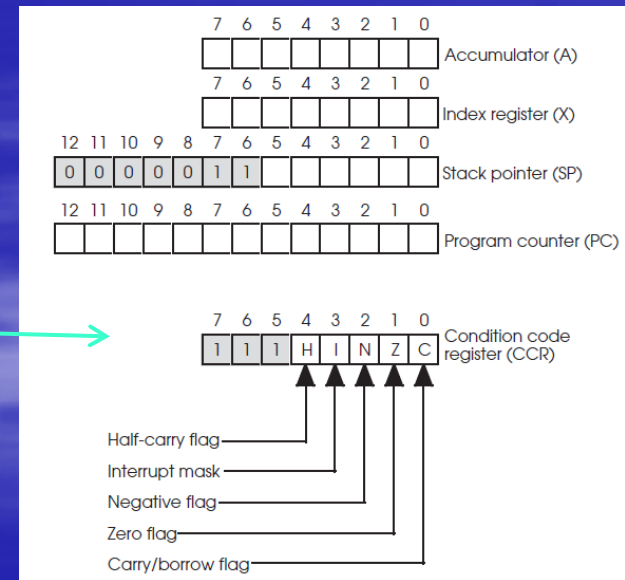
registro refresco memoria

2.1 Modelos de Arquitectura ISA

Microcontroladores MC68HC05, MC68HC11, 8048, 8051, Z800



Motorola MC68HC705C4A



Sólo un acumulador
X, SP y PC más pequeños

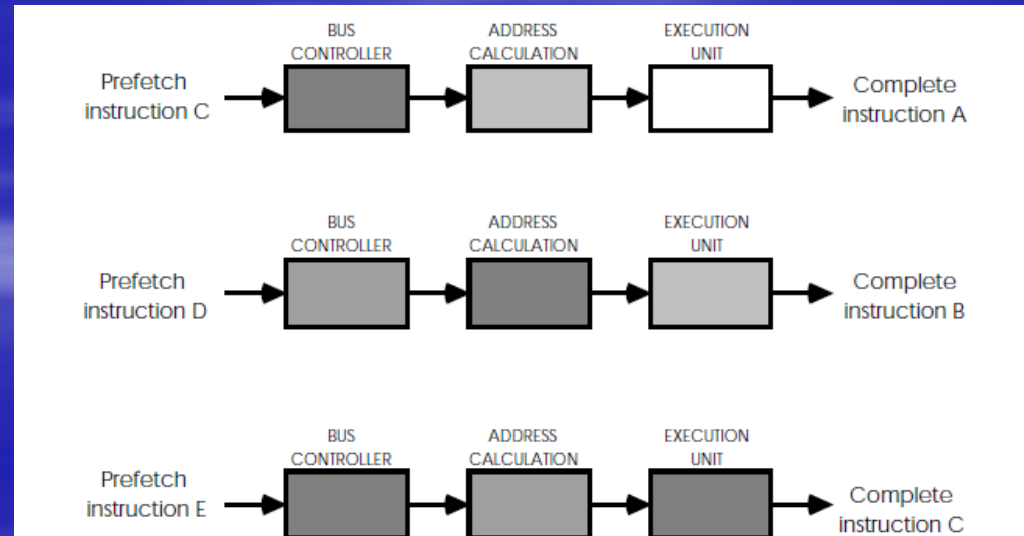
2.1 Modelos de Arquitectura ISA

El incremento del tamaño de los programas, así como la necesidad de incrementar la precisión de las operaciones aritméticas hace necesario incrementar el tamaño de datos y direcciones.

Aparecen los procesadores de 16/32/64 bits.

Las instrucciones llevan, además del código de operación, los operandos. Se amplían a 16 bits, con códigos de extensión, y cada instrucción se divide a su vez en varias **microinstrucciones** y estas en **nanoinstrucciones**.

Se introduce la segmentación.



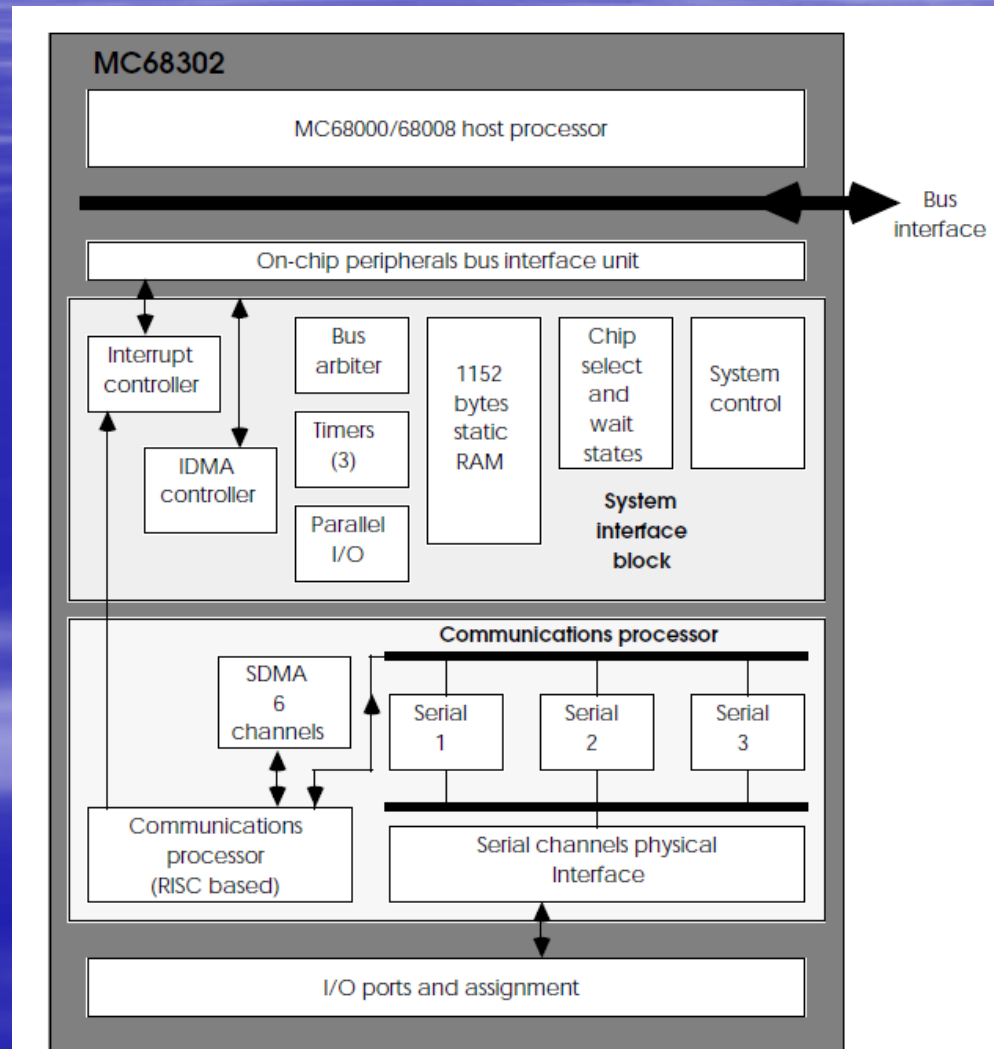
2.1 Modelos de Arquitectura ISA

CISC (Complex Instruction Set Computing): Intel 80x86 (compatible con 8080), Pentium, Motorola MC68000 (arquitectura diferente al 6800), MC680x0
Procesadores integrados basados en CISC: 80186, 80188 y 80386 EX (Intel) (*Versiones basadas en las ideas del microcontrolador con los populares microprocesadores 8086 y 8088*; su principal ventaja es que permiten aprovechar las herramientas de desarrollo para PC) y 683xx (Motorola). Son como microcontroladores de altísimas prestaciones.

80186 => 8086 + canales de DMA

683xx => 68000 o 68020 (interfaz de memoria asíncrona) + lógica de interfaces estándares + generadores de estados wait + timers...

2.1 Modelos de Arquitectura ISA



2.1 Modelos de Arquitectura ISA

RISC (Reduced Instruction Set Computing): Berkeley, PowerPC, MIPS, SPARC, Stanford, MPC603 (ARM)

Microcontroladores basados en RISC: PIC (MicroChip).

DSPs: Motorola DSP56000.

2.1 Modelos de Arquitectura ISA

Modelos ISA de paralelismo a nivel de Instrucción (evolución de los RISC)

SIMD Single Instruction Multiple Data: impresoras, escáneres

Superescalares: múltiples instrucciones en un ciclo a través de la utilización de varias componentes funcionales

VLIW (Very Long Instruction Word)

Indice

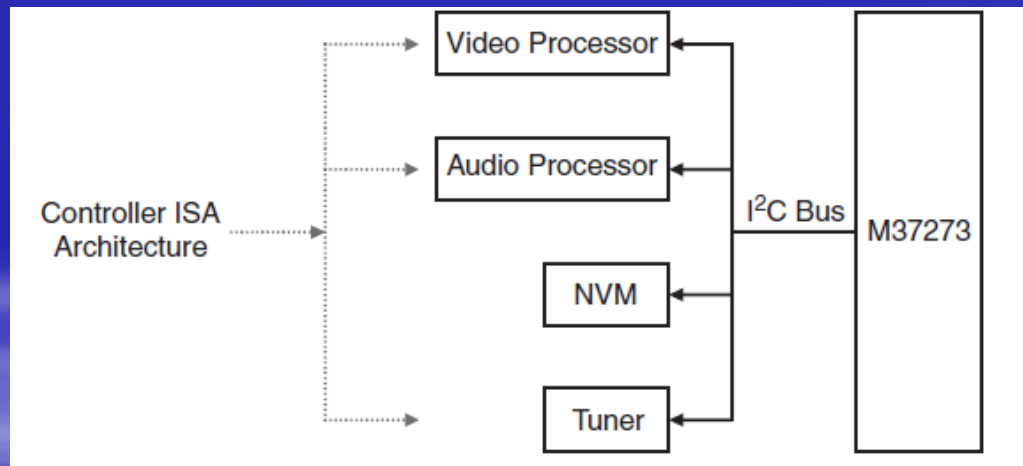
Microprocesadores, microcontroladores y procesadores de señal digital (4+1 horas)

- 2.1 Modelos de Arquitectura ISA
- 2.2 Modelos ISA específicos para aplicaciones
- 2.3 Diseño de un procesador
- 2.4 Rendimiento del procesador

2.2 Modelos ISA específicos para aplicaciones

Modelos de propósito específico

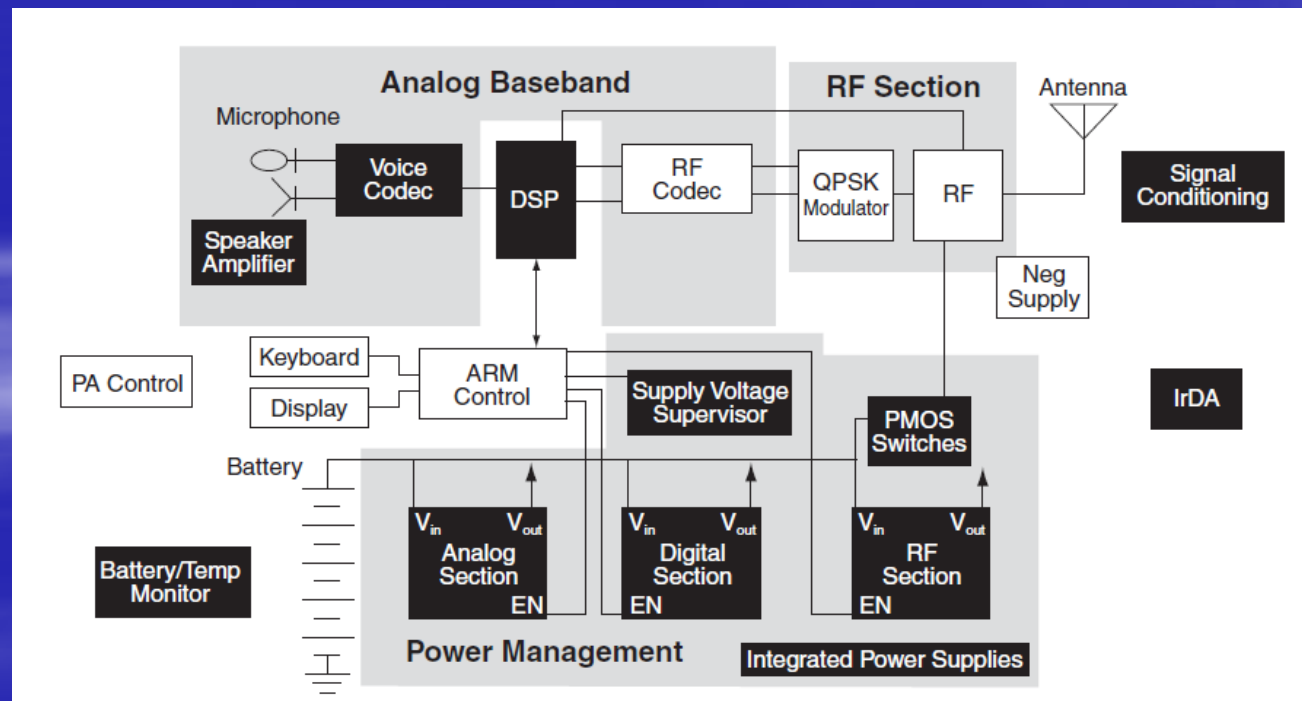
A.- **Modelo controlador**: se implementa en procesadores que no requieren realizar manipulaciones de datos complejas, como procesadores de audio y video.



Tarjeta de televisión analógica
NVM Network and Voice Management

2.1 Modelos ISA específicos para aplicaciones

B.- **Modelo camino de datos**: es un procesador cuyo propósito es realizar periódicamente computaciones fijas sobre conjuntos de datos diferentes. Ej teléfono digital



2.1 Modelos ISA específicos para aplicaciones

Modelo FSMD (Finite State Machine with Data path: es la combinación de los dos anteriores, cuando no se requieren manipulaciones complejas y hay que realizar repetidamente computaciones fijas en conjuntos distintos de datos (ej. PLDs y FPGAs)

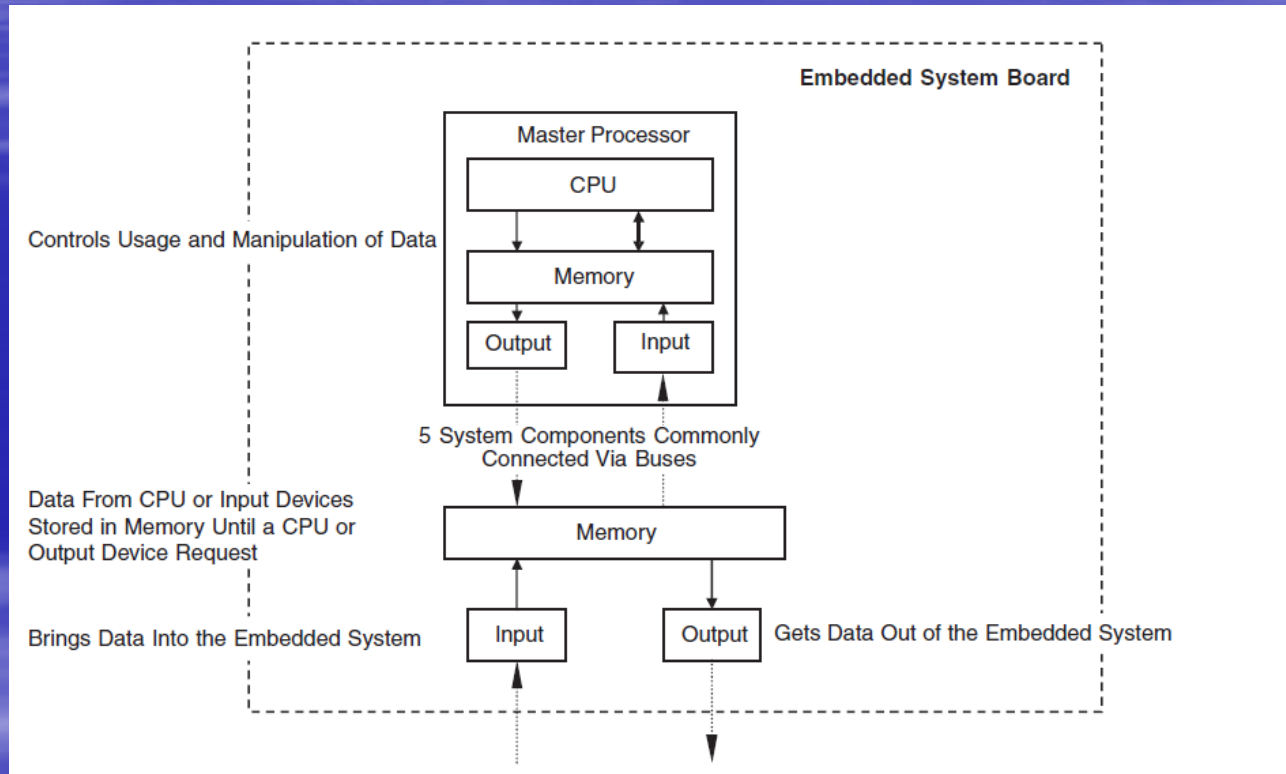
Modelo Máquina virtual de Java (JVM) basado en el estándar de la máquina virtual de Java. Ej. aj-80 y aj-100

Indice

Microprocesadores, microcontroladores y procesadores de señal digital (4+1 horas)

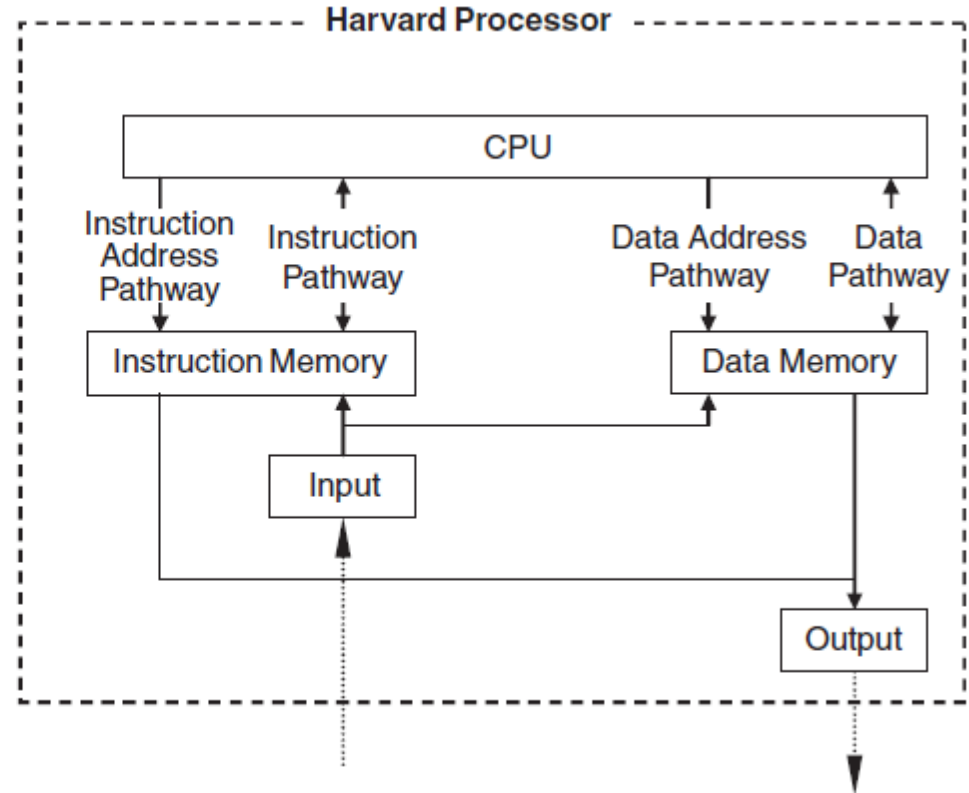
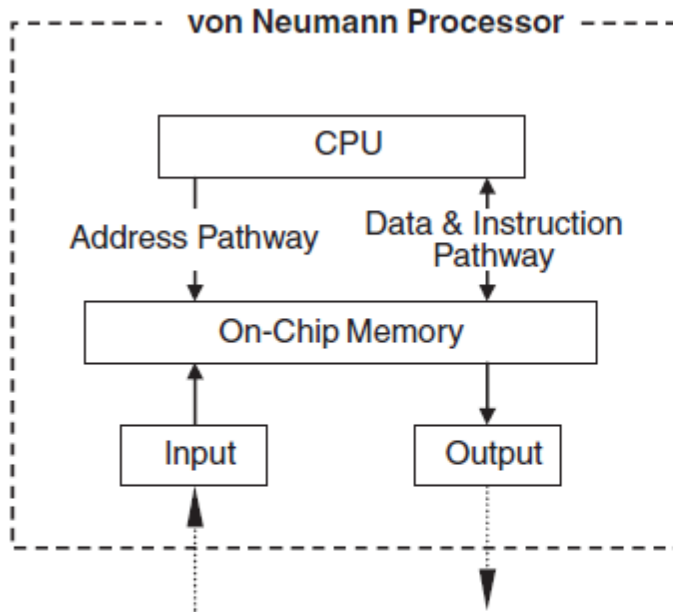
- 2.1 Modelos de Arquitectura ISA
- 2.2 Modelos ISA específicos para aplicaciones
- 2.3 **Diseño de un procesador**
- 2.4 Rendimiento del procesador

2.3 Diseño del procesador



Modelo von Neumann

2.3 Diseño del procesador



2.3 Diseño del procesador

El modelo de arquitectura Harvard permite incrementar la cantidad de datos procesados por unidad de tiempo, por eso suele utilizarse en modelos ISA basados en datapath, como los DSPs, donde se realizan instrucciones fijas sobre diferentes conjuntos de datos.

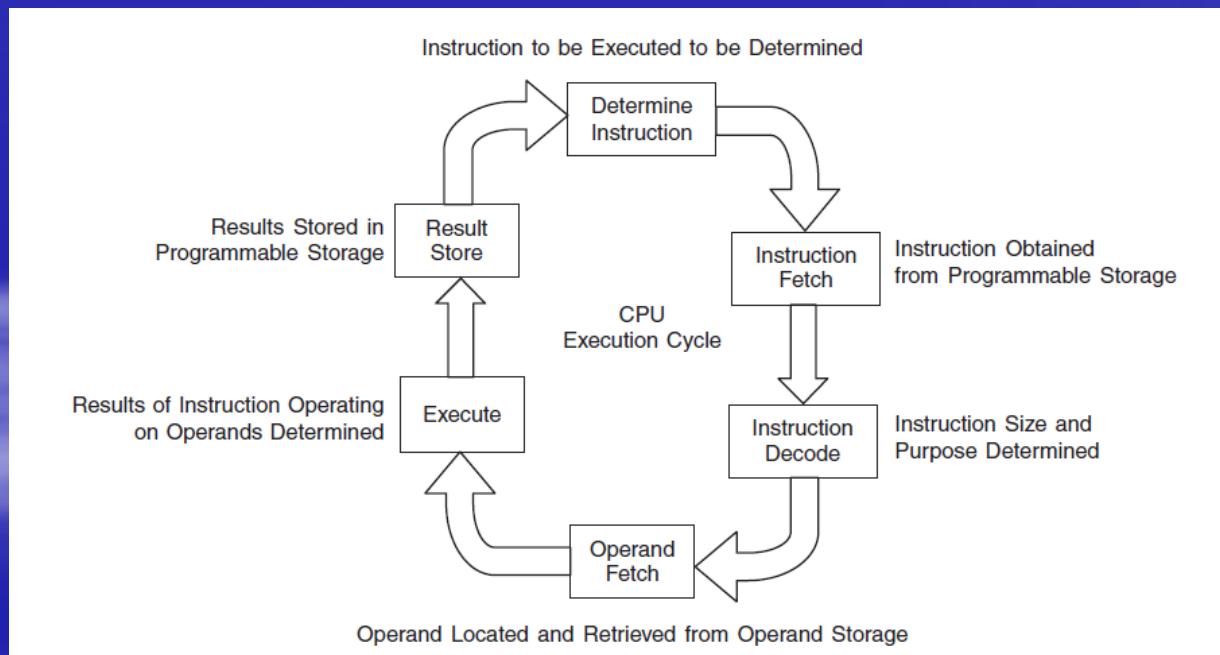
Procesadores con arquitectura tipo Harvard ARM9/ARM10, MPC860 (basado en el PowerPC) , 8031, y DSPs

Procesadores con arquitectura von Neumann ARM7 y x86

2.3 Diseño del procesador

La CPU también está formada por registros, una ALU, la unidad de control (CU) que realiza el ciclo de búsqueda y ejecución y los buses internos.

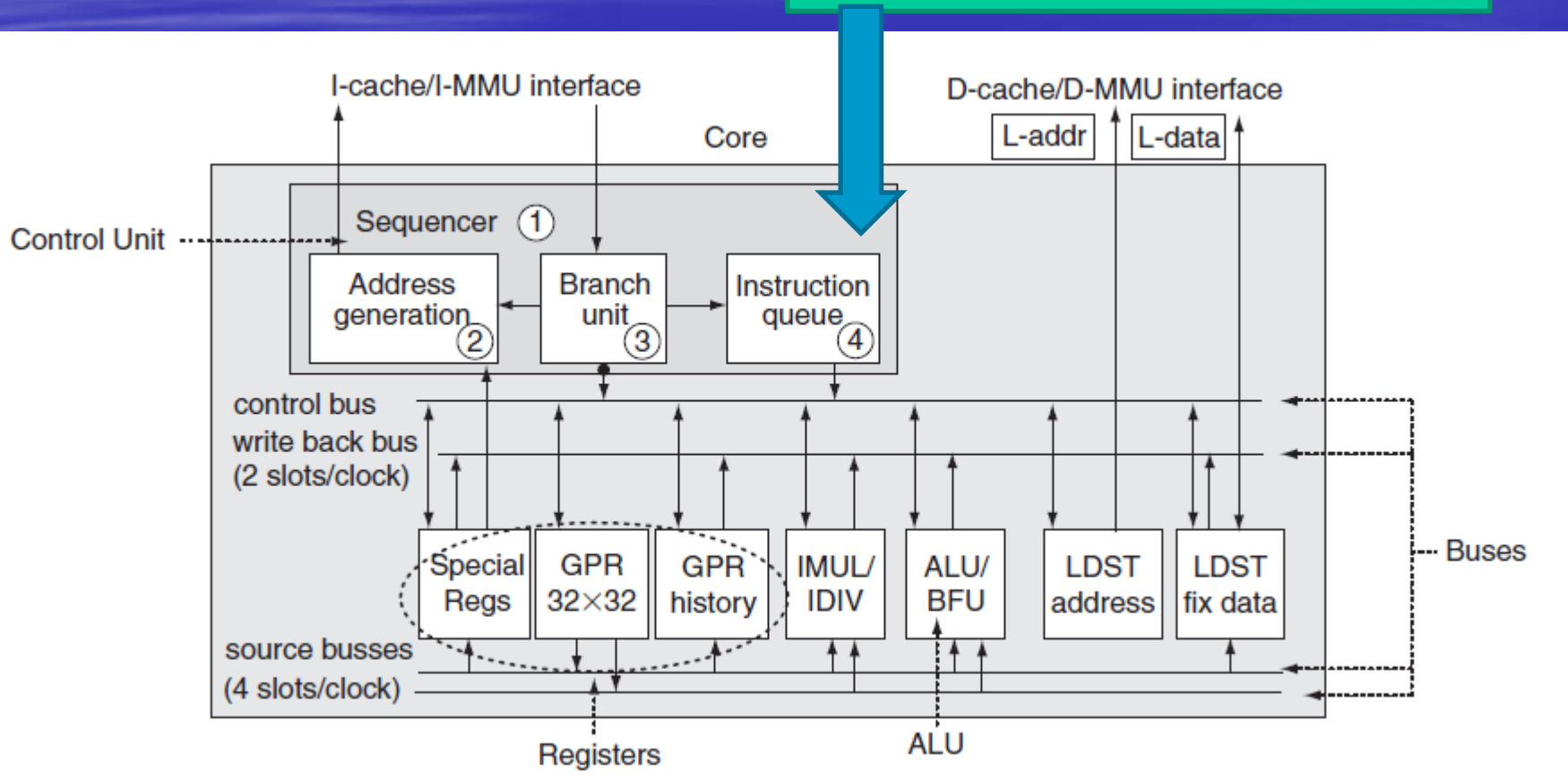
Ciclo de ejecución de una instrucción:



2.3 Diseño del procesador

MPC860: core de Power PC

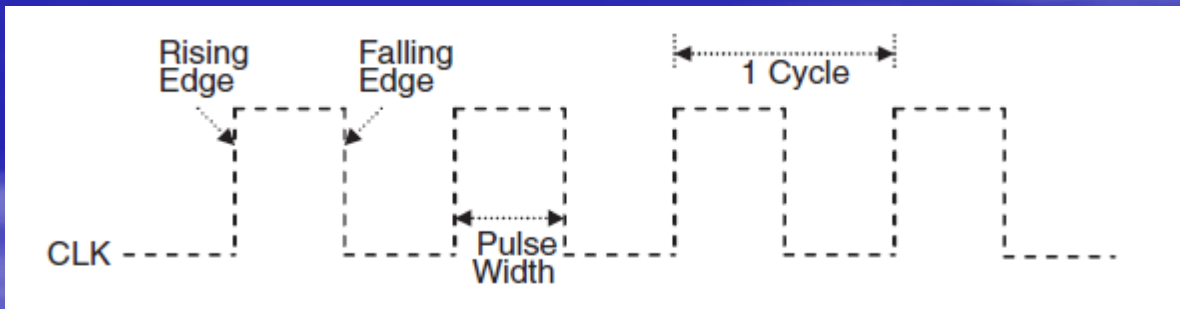
Proporciona control flujo de datos e instrucciones y mantiene la historia de estado para gestionar excepciones



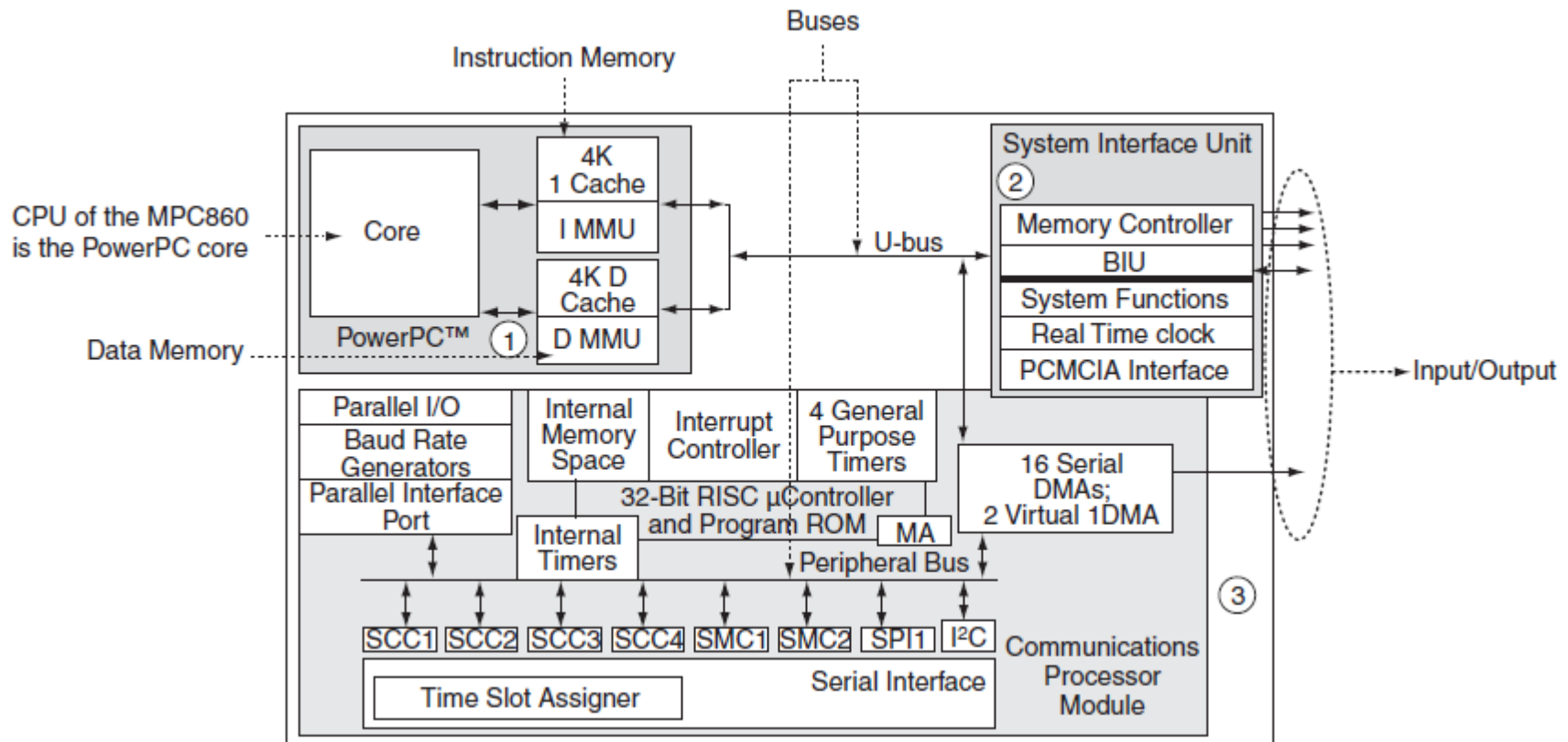
2.3 Diseño del procesador

La ejecución es sincronizada por un reloj de sistema externo (oscilador de cristal) que se coloca en la tarjeta.

Esta señal puede dividirse o multiplicarse para obtener otras frecuencias utilizadas por los componentes de la placa.



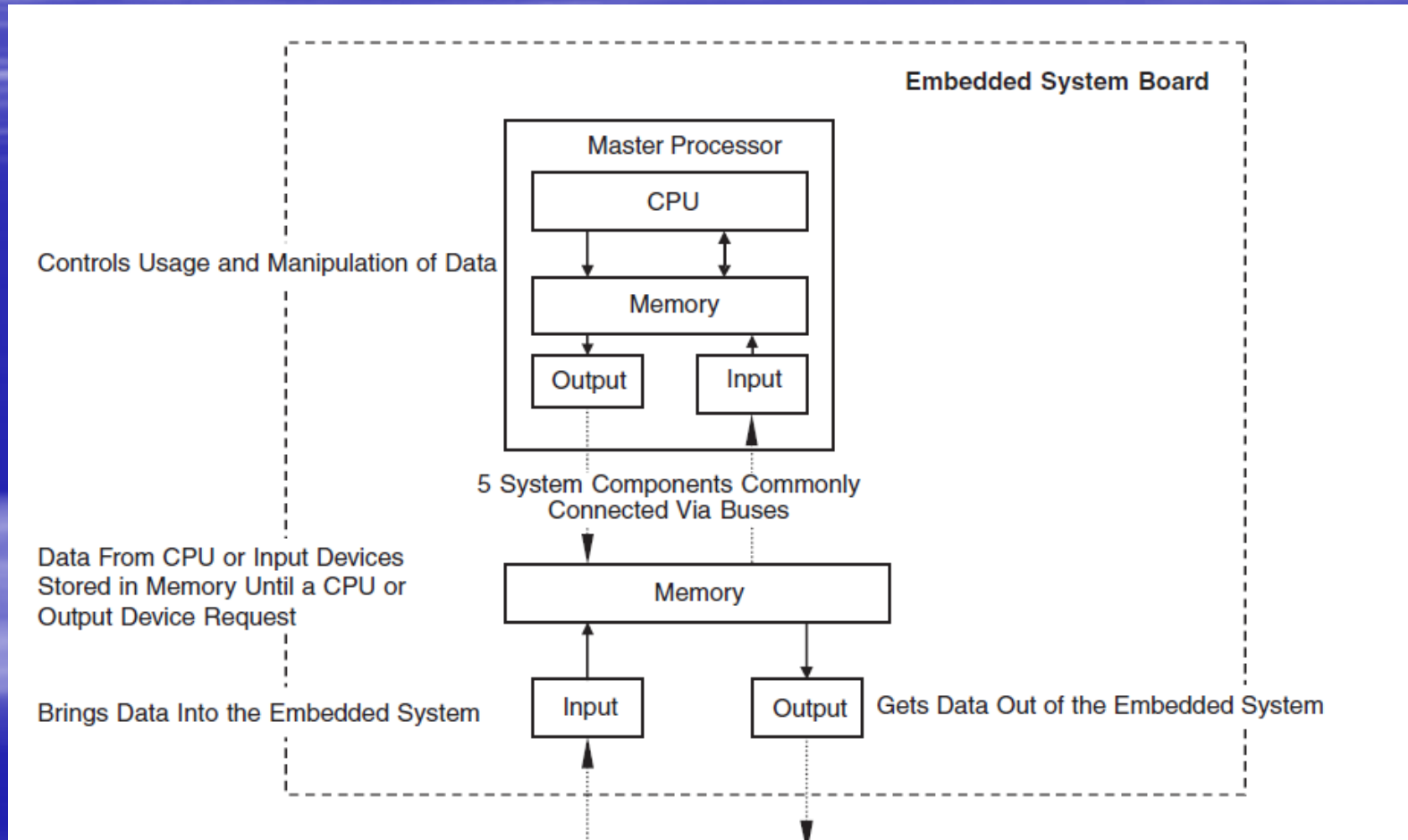
2.3 Diseño del procesador



Microprocesador + periféricos integrados MPC860

2.3 Diseño del procesador

Memoria y E/S



2.3 Diseño del procesador

Integrada con el procesador puede haber una cierta cantidad de **memoria**, fundamentalmente registros, ROM y cache de nivel 1. El resto es externa y se organiza como una **memoria jerárquica**.

Por último, los **componentes de E/S** de un procesador son los encargados de mover la información a y desde otros componentes del procesador a memoria y dentro/fuera del procesador.

Los dispositivos de E/ se conectan a la tarjeta y se clasifican en:

- 1.- Redes y comunicaciones
- 2.- Entrada (teclado, ratón, control remoto, voz)
- 3.- Gráficos y salida (CRT, impresoras, LEDs, etc)
- 4.- Almacenamiento (discos ópticos, discos magnéticos, cintas, etc.)
- 5.- Depuración (JTAG, puerto serie, puerto paralelo)
- 6.- Tiempo real y miscelaneos (contadores, timers, conversores

A/D)

2.3 Diseño del procesador

Si el interfaz de comunicación está integrado en el procesador maestro, sólo hay que conectar los pines entre el procesador y el controlador de E/S

El interfaz entre el controlador y el master se basa en 4 requerimientos:

- 1.- Habilidad del máster para inicializar y monitorizar el controlador. Se realiza mediante registros de control y de estados dentro del controlador.
- 2.- Habilidad del máster para hacer peticiones de E/S, mediante instrucciones especiales o a través de memoria (E/S mapeada en memoria)
- 3.- Habilidad para que el dispositivo de E/S contacte con la CPU (interrupciones)
- 4.- Un mecanismo de intercambio de datos (transferencia programada, DMA, etc.)

Indice

Microprocesadores, microcontroladores y procesadores de señal digital (4+1 horas)

- 2.1 Modelos de Arquitectura ISA
- 2.2 Modelos ISA específicos para aplicaciones
- 2.3 Diseño de un procesador
- 2.4 Rendimiento del procesador

2.4 Rendimiento del procesador

Hay varias medidas del rendimiento:

Tasa de transferencia (throughput- CPU): es la cantidad de trabajo que realiza la CPU en un periodo determinado. Se mide en MB/s o en MIPS (millones de instrucciones por segundo)

Ciclos por instrucción (CPI): referido al reloj de la CPU, que normalmente es más rápido que el del sistema

El tiempo de ejecución será:

$$\text{Exec_time} = n^{\circ} \text{ totalinstruc} * \text{CPI} * \text{periodo_reloj}$$

2.4 Rendimiento del procesador

Conocidos los tiempos de ejecución de un programa en dos arquitecturas A y B, se define el **speedup** de B sobre A como

$$\text{speedup}_{B/A} = \frac{\text{Exec_timeA}}{\text{Exec_timeB}}$$

Se suelen usar *benchmarks* específicos para cada tipo de problema

Latencia: tiempo de respuesta del procesador a algún evento

Disponibilidad: cantidad de tiempo que el procesador ejecuta sin fallar

Fiabilidad (reliability): tiempo medio entre fallos

MTBF (Mean time between failures)

Recuperabilidad: tiempo medio de recuperación después de un fallo
(MTTR Mean Time To Recover)