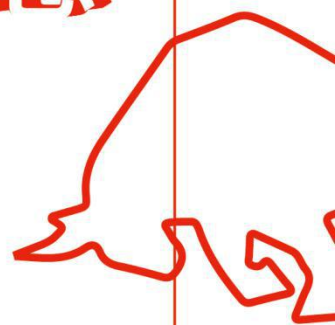
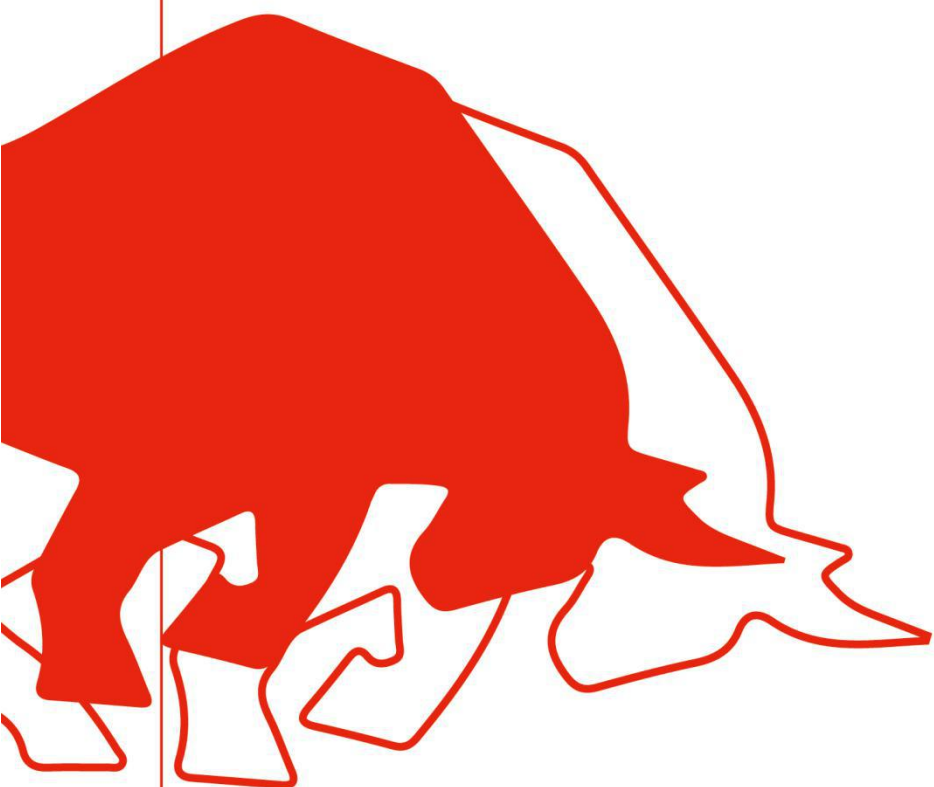




主观题汇总

计算机系统结构



使用说明：

1. 此主观题汇总文档是按题型整理的，而题型来自于对历年真题的总结。参考近 5 年的真题，本科目主观题总分 70 分，各题型分值分布为：①简答题：5*6 分；②简单应用题：2*10 分；③综合应用题：2*10 分。正式考试时，以试卷上的正式题型为准；
2. 所有知识点分高中二个频次，以该知识点被考察次数和最新考试大纲为依据进行排序；
高频知识点中真题考察次数为 2 次及以上；中频知识点中真题考察次数为 1 次，应用题占主观题分值较大，故全部为高频知识点，不区分高中频次。
3. 每道题前数字表示曾经被考到的年份和考期，比如 1804，表示该题目在 2018 年 4 月份被考到。没有数字表示的为模拟题。

(同学们加油，我们一定会胜利的——小涵老师)

简答题汇总

高频知识点:

一、采用系列机

(1810/1504) 简述系列机思想对计算机发展的意义和系列机软件兼容的要求

答案: 系列机较好地解决了软件环境要求相对稳定和硬、器件技术迅速发展的矛盾。软件环境相对稳定就可不断积累、丰富、完善软件,使软件产量、质量不断提高,同时又能不断采用新的器件和硬件技术,使之短期内便可提供新的、性能不断提高的机器。系列机软件必须保证向后兼容,力争向前兼容。

二、自定义数据表示

(1710/1510) 简述数据描述符和标志符的差别。

答案: 数据描述符和标志符的差别在于标志符是和每个数据相连的,合存在一个存储单元中,描述单个数据的类型特征;数据描述符则是与数据分开存放,用于描述所要访问的数据是整块的还是单个的,访问该数据块或数据元素所要的地址以及其他信息等。

三、CISC 的问题

(1304/1504) 简述 CISC 存在的问题。

答案: CISC 存在如下问题:

- 1) 指令系统庞大,一般指令在 200 条以上。
- 2) 许多指令的操作繁杂,执行速度很低。
- 3) 由于指令系统庞大,使高级语言编译程序选择目标指令的范围太大,因此,难以优化生成高效机器语言程序,编译程序也太长、太复杂。
- 4) 由于指令系统庞大,各种指令的使用频度都不会太高,且差别很大,其中相当一部分指令的利用率很低。

四、设计 RISC 的基本原则

(0904/1710) 简述设计 RISC 的基本原则。

答案: 1) 确定指令系统时,只选择使用频度很高的那些指令,再增加少量能有效支持操作系统、高级语言实现及其他功能的指令,大大减少指令条数,一般使之不超过 100 条。

2) 减少指令系统所用寻址方式种类,一般不超过两种。简化指令的格式限制在两种之内,并让全部指令都是相同长度。

3) 让所有指令都在一个机器周期内完成。

4) 扩大通用寄存器数,一般不少于 32 个,尽量减少访存,所有指令只有存、取指令访存,其他指令一律只对寄存器操作。

5) 为提高指令执行速度,大多数指令都用硬联控制实现,少数指令才用微程序实现。

6) 通过精简指令和优化设计编译程序,简单、有效地支持高级语言的实现。

五、设计 RISC 结构采用的基本技术

简述设计 RISC 结构可采用的基本技术。

答案：1)按设计 RISC 的一般原则来设计。

2)逻辑实现采用硬联和微程序相结合。

3)在 CPU 中设置大量工作寄存器并采用重叠寄存器窗口。

4)指令用流水和延迟转移。

5)采用高速缓冲存储器 Cache,设置指令 Cache 和数据 Cache 分别存放指令和数据。

6)优化设计编译系统。

六、中断的分级

(1804/1104) 简述中断分成优先级的原因及分级的方法。

答案：(1) 由于中断源相互独立而随机地发出中断请求，因此常常会同同时发生多个中断请求。中断系统按中断源的级别高低来响应。

(2) 同一类的各中断请求的响应和处理的优先次序，一般不是由中断系统的硬件管理，而是由其软件或通道来管理的。而不同类的中断就要根据中断的性质、紧迫性、重要性以及软件处理的方便性把它们分成不同的级别。

七、总线的控制方式

(1504/1804) 简述集中式串行链接方式总线的分配过程。

答案：所有部件都经公共的“总线请求”线向总线控制器发出要求使用总线的申请。只有当“总线忙”信号未建立时，“总线请求”才被总线控制器响应,送出“总线可用”信号,它串行地通过每个部件。如果某个部件接收到“总线可用”信号,但未发出过“总线请求”时,就将该信号继续送往下一个部件;如果该部件接收到“总线可用”信号并发出过“总线请求”时,则停止传送“总线可用”信号。该部件建立“总线忙”,并去除其“总线请求”,意即该部件获得了使用总线的权利,之后即可准备数据的传送。

八、总线的控制方式

(1704/1610) 简述总线独立请求控制方式的优点和缺点。

答案：独立请求方式的优点是：总线分配速度快，所有部件的总线请求同时送到总线控制器，不用查询；控制器可以使用程序可控的预定方式、自适应方式、循环方式或它们的混合方式灵活确定下一个使用总线的部件；能方便地隔离失效部件的请求。缺点是：控制线数量过大，为控制 N 个设备必须有 $2N+1$ 根控制线，而且总线控制器要复杂得多。

九、重叠原理与一次重叠

(1404/1510) 简述实现指令的重叠解释必须在计算机组成上满足的要求。

答案：实现指令的重叠解释必须在计算机组成上满足以下几点要求。

1) 要解决访主存的冲突。

2) 要解决“分析”与“执行”操作的并行。

3) 要解决“分析”与“执行”操作控制上的同步。

4) 要解决指令间各种相关的处理。

十、多处理机的操作系统

(1804/1204) 简述多处理机主从型操作系统的优缺点。

答案：主从型操作系统的**结构比较简单**；整个管理程序**只在一个处理机上运行**，除非某些需递归调用或多重调用的公用程序，**一般都不必是可再入的**；**只有一个处理机访问执行表**，不存在系统管理控制表格的访问冲突和阻塞，简化了管理控制的实现。

对主处理机的可靠性要求很高。整个系统显得**不够灵活**。即使主处理机是专门的控制处理机，如果负荷过重，也会影响整个系统的性能。特别是当大部分任务都很短时，由于频繁地要求主处理机完成大量的管理性操作，系统效率将会显著降低。

十一、机群系统

简述机群系统与传统的并行处理系统相比较所具有的优点。

答案：机群系统比起传统的并行处理系统有如下明显的优点：

1) 系统有高的性能价格比。

2) 系统的开发周期短。

3) 系统的可扩展性好。

4) 系统的资源利用率高。

5) 用户投资风险小。

6) 用户编程方便。

十二、数据流计算机存在的问题

(1710/1510) 简述数据流计算机存在的问题。

答案：(1) 如果题目本身数据相关性强，内涵并行性成分不多时，就会使**效率比传统 Von Neumann 型机低**；

(2) 在数据流计算机中为给数据建立、识别、处理标识，需要**花费较多的辅助开销和较大的存储空间**；

(3) 数据流计算机**不保存数组**。处理大型数组时，会增加额外的传输开销。

(4) 数据流语言的变量代表数值，使**程序员无法控制存储分配**。

(5) 数据流计算机互连网络设计困难，**输入/输出系统不够完善**。

(6) 数据流计算机没有程序计数器，**给诊断和维护带来困难**。

中频知识点：

一、计算机系统结构的定义和内涵

1、(1404) 简述透明性概念，说明下列哪些对于计算机系统结构是透明的。浮点数据表示；字符串运算指令；阵列运算部件；通道是采用结合型还是独立型；访问方式保护；数据总线宽度；Cache 存储器；存储器的最小编址单位；存储器的模 M 交叉存取，串行、重叠还是

流水控制方式。

答案：如果**客观存在的事物或属性从某个角度看不到**，则称对它是透明的。对计算机系统结构透明的有：**存储器的模 M 交叉存取，数据总线宽度，阵列运算部件**，通道是采用结合型还是独立型，串行、重叠还是流水控制方式，**Cache 存储器**。

二、软、硬件取舍的基本原则

1、（1810）简述软、硬件取舍的基本原则

答案：（1）应考虑在现有硬、器件条件下，系统要有高的性能价格比，主要从实现费用、速度和其他性能要求来综合考虑。

（2）**要考虑到准备采用和可能采用的组成技术,使之尽可能不要过多或不合理地限制各种组成、实现技术的采用。**

（3）不能仅从“硬”的角度考虑如何便于应用组成技术的成果和便于发挥器件技术的**进展**,还应从“软”的角度把如何为编译和操作系统的实现以及为高级语言程序的设计提供更多、更好的硬件支持放在首位。

2、（1510）简述软、硬件功能分配比例对计算机系统性能的影响

答案：一般来说,**提高硬件功能的比例可提高解题速度,减少程序所需的存储空间,但会增加硬件成本,降低硬件利用率和计算机系统的灵活性及适应性**;而提高软件功能的比例可降低硬件成本,提高系统的灵活性、适应性,但解题速度会下降,软件设计费用和所需的存储器用量增加。

3、（1710）简述计算机功能分别用硬件实现和软件实现的优点和缺点。

答案：一般来说,**提高硬件功能的比例可提高解题速度,减少程序所需的存储空间,但会增加硬件成本,降低硬件利用率和计算机系统的灵活性及适应性**;而提高软件功能的比例可降低硬件成本,提高系统的灵活性、适应性,但解题速度会下降,软件设计费用和所需的存储器用量增加。

三、采用系列机

1、（1704）简述系列机思想对计算机发展的意义。

答案：系列机**较好地解决了软件环境要求相对稳定和硬、器件技术迅速发展的矛盾**。软件环境相对稳定就可不断积累、丰富、完善软件,使软件产量、质量不断提高,同时又能不断采用新的器件和硬件技术,使之短期内便可提供新的、性能不断提高的机器。

2、简述软件移植中采用系列机途径的办法及优点

答案：（1）在软、硬件界面上**设定好一种系统结构**,其后,软件设计者按此设计软件;**硬件设计者根据机器速度、性能、价格的不同,选择不同的器件、硬件和组成、实现技术,研制并提供不同档次的机器**；（2）系列机**较好地解决了软件环境要求相对稳定和硬、器件技术迅速发展的矛盾**。软件环境相对稳定就可不断积累、丰富、完善软件,使软件产量、质量不断提高,同时又能不断采用新的器件和硬件技术,使之短期内便可提供新的、性能不断提高的机器。

四、软、硬件取舍的基本原则

1、(1504) 简述软、硬件功能分配比例对计算机系统性能的影响

答案：一般来说,提高硬件功能的比例可提高解题速度,减少程序所需的存储空间,但会增加硬件成本,降低硬件利用率和计算机系统的灵活性及适应性;而提高软件功能的比例可降低硬件成本,提高系统的灵活性、适应性,但解题速度会下降,软件设计费用和所需的存储器用量增加。

2、(1504) 简述计算机功能分别用硬件实现和软件实现的优点和缺点。

答案：一般来说,提高硬件功能的比例可提高解题速度,减少程序所需的存储空间,但会增加硬件成本,降低硬件利用率和计算机系统的灵活性及适应性;而提高软件功能的比例可降低硬件成本,提高系统的灵活性、适应性,但解题速度会下降,软件设计费用和所需的存储器用量增加。

五、器件的发展对系统结构的影响

(1410) 简述器件的发展对系统结构和组成影响。

答案：器件集成度的提高,使器件的速度迅速提高,机器主频和速度也有数量级的提高;器件可靠性有数量级的提高,保证流水技术的实现;高速、廉价的半导体存储器的出现,使解题速度得以迅速提高的高速缓冲存储器和虚拟存储器的概念真正实现;现场型 PROM 器件,使微程序技术得以实现;高速相联存储器的实现,促进相联处理机这种结构的发展,推动向量机、数组机、数据库机的发展。

六、并行性开发的途径

1、(1210) 简述开发并行性的三种途径。

答案：(1) 开发并行性的途径有时间重叠、资源重复和资源共享等。

(2) 时间重叠是在并行性概念中引入时间因素,让多个处理过程在时间上相互错开,轮流重叠地使用同一套硬件设备的各个部分,加快硬件周转来赢得速度。

(3) 资源重复是在并行概念中引入空间因素,通过重复设置硬件资源来提高可靠性或性能。

(4) 资源共享是用软件方法,让多个用户按一定时间顺序轮流使用同一套资源来提高资源利用率,相应地也就提高了系统的性能。

七、并行性的含义与级别

(1404) 简述并行性从计算机系统处理数据的角度划分的四个等级,并各举一例。

答案：从计算机系统中处理数据的角度来看,并行性等级从低到高可以分为四级。分别是：

①位串字串——同时只对一个字的一位进行处理,这通常是指传统的串行单处理机,没有并行性。

②位并字串——同时对一个字的全部位进行处理,这通常是指传统的并行单处理机,开始出现并行性。

③**位片串字并**——同时对许多字的同一位进行处理,开始进入并行处理领域。如某些相联处理机及阵列处理机。

④**全并行**——同时对许多字的全部或部分位组进行处理。如某些相联处理机、大多数阵列处理机及多处理机。

八、数据表示与数据结构/引入数据表示的原则

(1404) 简述数据表示和数据结构之间的关系及引入高级数据表示的基本原则。

答案：**数据表示**反映了应用中要用到的各种数据元素或信息单元之间的结构关系。数据结构是要**通过软件映像，变换成计算机中所具有的数据表示来实现的**。不同的数据表示可为数据结构的实现提供不同的支持，表现为实现效率和方便性的不同。数据结构和数据表示是软、硬件的界面。

高级数据表示的引入的基本原则是：

- (1) **看系统的效率是否有显著提高，包括实现时间和存储空间是否有显著减少。**
- (2) **看引入这种数据表示后，其通用性和利用率是否提高。**

九、自定义数据表示

(1610) 简述标志符数据表示的主要优点。

答案：标志符数据表示的主要优点是：

- (1) **简化了指令系统和程序设计。**
- (2) **简化了编译程序。**
- (3) **便于实现一致性校验。**
- (4) **能由硬件自动变换数据类型。**
- (5) **支持数据库系统的实现与数据类型无关的要求，使程序不用修改即可处理多种不同类型的数据。**
- (6) **为软件调试和应用软件开发提供了支持**

十、引入数据表示的原则

(1604) 简述引入数据表示的原则。

答案：(1) **看系统的效率是否有显著提高**，包括实现时间和存储空间是否有显著减少。实现时间是否减少又主要看在主存和处理机之间传送的信息量是否减少。

(2) **看引入这种数据表示后，其通用性和利用率是否提高**。如果只对某种数据结构的实现效率很高，而对其他数据结构的实现效率很低，必然导致性能价格比的下降，特别是一些复杂的数据表示。

十一、程序在主存中的定位技术

(1204) 简述程序的静态再定位和动态再定位的含义及实现方法。

答案：**利用 Von Neumann 型机器指令可修改的特点**，在目的程序装入主存时,由装入程序用软件方法把目的程序的逻辑地址变换成物理地址,程序执行程序时,物理地址不再改变，称

这种定位技术为静态再定位。

在执行每条指令时才形成访存物理地址的方法称为动态再定位。增加相应的基址寄存器和地址加法器硬件，在程序不做变换直接装入主存的同时，将装入主存的起始地址存入对应该道程序使用的基址寄存器中。程序执行时，只要通过地址加法器将逻辑地址加上基址寄存器的程序基址形成物理（有效）地址后去访存即可。

十二、指令系统设计的基本原则

（1810）简述编译程序设计者要求指令系统应具有的特性。

答案：编译程序设计者要求指令系统应设计具有：

- （1）**规整性**。对相似的操作做相同的规定。
- （2）**对称性**。定义相同，便于编译。
- （3）**独立性和全能性**。如果有多种程序选择实现同一种功能，为减少编译时哪种实现好的分析，应限定操作只能有一种选择方式。
- （4）**正交性**。指令中各个不同含义的字段，如操作类型、数据类型、寻址方式等，在编码时应互不相关，相互独立。
- （5）**可组合性**。让指令系统中所有操作对各种寻址方式和数据类型都能适用。
- （6）**可扩充性**。要留有一定数量的冗余操作码，以便以后扩充新指令。

十三、指令字格式的优化

（1604）简述指令字格式优化的措施。

答案：（1）**采用扩展操作码，并根据指令的频度 p_i 的分布状况选择合适的编码方式**，以缩短操作码的平均码长。

（2）**采用诸如基址、变址、相对、寄存器、寄存器间接、段式存放、隐式指明等多种寻址方式，以缩短地址码的长度**，并在有限的地址长度内提供更多的地址信息。

（3）**采用 0、1、2、3 等多种地址制，以增强指令的功能**，这样从宏观上就越能缩短程序的长度，并加快程序的执行速度。

（4）**在同种地址制内再采用多种地址形式**，如寄存器-寄存器、寄存器-主存、主存-主存等，让每种地址字段可以有多种长度，且让长操作码与短地址码进行组配。

（4）**在维持指令字在存储器中按整数边界存储的前提下，使用多种不同的指令字长度。**

十四、寻址方法在指令中的指明

（1104）简述寻址方式在指令中的两种指明方式，并说明它们的优缺点。

答案：（1）寻址方式在指令中**一般有两种不同的指明方式**。

（2）一种方式是**占用操作码中的某些位来指明**。另一种方式是**不占用操作码，而是在地址码部分专门设置寻址方式位字段指明**。

（3）**寻址方式位的寻址灵活，操作码短**，但需专门的寻址方式位字段。就操作码和寻址方式位的总位数来看，可能会比占用操作码中某些位来指明的方式要长。

十五、指令系统设计的基本原则

(0904) 设计指令系统时, 以乘法运算为例, 简述系统结构设计、计算机组成设计、计算机实现各应考虑的问题。

答案: 系统结构设计考虑**是否要设置乘法指令**; 计算机组成设计考虑**是否要配置高速的乘法器**; 计算机实现考虑的是组成高速乘法器或加法计数器的器件集成度、类型、数量以及微组装技术。

十六、面向高级语言的优化实现改进

(1710) 简述面向高级语言的优化实现改进 CISC 指令系统的途径。

答案: (1)通过**对源程序中各种高级语言语句的使用频度进行统计来分析改进**。

(2)**如何面向编译,优化代码生成来改进**。

(3)**改进指令系统,使它与各种语言间的语义差距都有同等的缩小**。

(4)**采用让计算机具有分别面向各种高级语言的多种指令系统、系统结构的面向问题动态自寻优的计算机系统**。

(5)**发展高级语言计算机**。

十七、设计 RISC 结构采用的基本技术

(1410) 简述设计 RISC 结构的重叠寄存器窗口技术。

答案: 为减少访存, **尽量让指令的操作在寄存器之间进行, 以提高执行速度**, 缩短指令周期, 简化寻址方式和指令格式; **减少过程调用中为保存主调过程现场, 建立被调过程新现场, 以及返回时恢复主调过程现场等所需的辅助操作**; 为了实现过程间的参数传递, 让每个过程使用一个有限量的寄存器窗口, 并让各过程的寄存器窗口部分重叠。

十八、RISC 技术的发展

(1104) 简述 RISC 的优缺点。

答案: 采用 RISC 技术的好处主要有以下几个方面。

1)**简化指令系统设计, 适合 VLSI 实现**。

2)**提高计算机的执行速度和效率**。

3)**降低设计成本, 提高系统的可靠性**。

4)**可直接支持高级语言的实现, 简化编译程序的设计**。

但是, RISC 也存在着一些问题和不足, 主要有:

1) **加重了汇编语言程序设计的负担**, 增加了机器语言程序的长度, 占用存储空间多, 加大了指令的信息流量。

2) **对浮点运算的执行和虚拟存储器的支持不足**。

3) **RISC 计算机的编译程序比 CISC 的难写**。

十九、中断的分类

(1510) 简述对中断分类的根据和分类的目的。

答案：因为不少中断源的性质比较接近，可以将它们归成几类。**对每一类给定一个中断服务程序入口，再由软件分支转入相应的中断处理部分，这可以大大简化中断处理程序入口地址形成硬件。**

二十、中断的响应次序与处理次序

(1304) 简述中断处理次序和中断响应次序的不同点。

答案：**中断响应的次序用排队器硬件实现，次序是由高到低固定的。**中断的处理要由中断处理程序来完成，而中断处理程序在执行前或执行中是可以被中断的。为了能根据需要，由操作系统灵活改变实际的中断处理次序，**很多计算机都设置了中断级屏蔽位寄存器，以决定某级中断请求能否进入中断响应排队器。**只要能进入的，总是让高级别的优先响应。

二十一、中断系统的软、硬件功能分配

(1710) 简述中断系统的主要功能和要求。

答案：中断系统的功能包括：**中断请求的保存和清除、优先级的确定、中断断点及现场的保存、对中断请求的分析和处理以及中断返回等。**

中断系统的要求：**高的中断响应速度；中断处理的灵活性。**

二十二、总线的分类

(1410) 简述专用总线的概念并说明专用总线的优点和缺点。

答案：**只连接一对物理部件的总线称专用总线。**其优点是**多个部件可以同时收/发信息，不共用总线，系统流量高**；通信时不用指明源和目的，控制简单；任何总线的失效只会使连于该总线的两个部件不能直接通信，因而系统可靠。专用总线的缺点是总线数多。当总线较长时，成本相当高。此外，专用总线的时间利用率低。

二十三、通道处理机的工作原理/通道流量的设计

(1404) 简述通道的 3 种类型各适合连接什么类型设备，说明各种类型通道在满负荷时的实际流量与所连接设备的关系。

答案：(1) 根据**通道数据传送期中信息传送方式**的不同，可分为**字节多路、数组多路 and 选择 3 类通道。**

(2) **字节多路通道适用于连接大量的像光电机等字符类低速设备。**设备要求通道的实际最大流量，字节交叉方式工作的应是该通道所接各设备的字节传送速率之和。

(3) **数组多路通道适合于连接多台磁盘等高速设备。**数组多路的应是所接各设备的字节传送速率中的最大者。

选择通道适合于连接优先级高的磁盘等高速设备，选择工作的应是所接各设备的字节传送速率中的最大者。

二十四、通道处理机的工作原理

(1604) 简述数组多路通道的数据传送方式。

答案：**数组多路通道适合于连接多台磁盘等高速设备。**这些设备的传送速率很高，但传送开

始前的寻址辅助操作时间很长。为了充分利用并尽可能重叠各台高速设备的辅助操作时间,不让通道空闲等待,采用成组交叉方式工作。其数据宽度为定长块,传送完 K 个字节数据后就重新选择下个设备。**它可有多个子通道,同时执行多个通道程序。**所有子通道能分时共享输入/输出通道,但它是成组交叉方式传送的,既具有多路并行操作的能力,又具有很高的数据传送速率。

二十五、虚拟存储器的管理方式

(1007) 简述虚拟存储管理方式中段式存储管理的优缺点。

答案: **分段方法能使大程序分模块编制,从而可使多个程序员并行编程,缩短编程时间。**分段还便于几道程序共用已在主存内的程序和数据。容易以段为单位实现存储保护。

段式管理和存储既增加了辅助硬件的开销,降低了查表速度,也使主存管理麻烦。还会带来大的段间零头浪费。

二十六、页面替换算法

(1304) 简述在采用页式虚拟存储器的系统中,页面失效频率(PFF)算法的思想。

答案: **由于堆栈型替换算法有随分配给该道程序的实页数 n 增加,命中率 H 会单调上升这一特点,因此可对 LRU 算法加以改进,提出使系统性能更优的动态算法。**即根据各道程序运行中的主存页面失效率,由操作系统动态调节分配给各道程序的实页数。从而使整个系统的主存命中率和主存利用率得到提高。我们称此算法为页面失效频率 (PFF)算法。

二十七、地址的映像和变换

(1610) 简述 Cache 存储器地址映像、地址变换的概念以及映像规则的选择要求。

答案: 地址的映像是将**每个虚存单元按某种规则装入实主存,建立起多用户虚地址与实存地址之间的对应关系。**地址的变换是指**程序按照这种映像关系装入实存后,在执行中,如何将多用户虚地址变换成对应的实地址。**映像方式的选择应考虑能否尽量减少实页冲突概率,同时应考虑辅助硬件是否少,成本是否低,实现是否方便以及地址变换的速度是否快等。

二十八、Cache 存储器的透明性分析及解决办法

(1810) 简述更新主存内容的写回法和写直达法的基本原理。

答案: 写回法也称为抵触修改法。它是在 **CPU 执行写操作时,信息只写入 Cache,仅当需要替换时,才将改写过的 Cache 块先写回主存,然后再调入新块。**

写直达法也称存直达法。它是利用 **Cache 存储器在处理机和主存之间的直接通路,每当处理机写入 Cache 的同时,也通过此通路直接写入主存。**

二十九、全局性相关的处理

简述在流水机器中全局性相关的概念及处理全局性相关的方法。

答案: 全局性相关指的是已进入流水线的转移指令和其后续指令之间相关。

处理方法有:(1)**猜测法**,猜选其中一个分支继续流入,待条件码形成后再决定是继续执行,还是作废,按另一条重新流入;

(2)**提前形成转移所需的条件**,包括指令内或程序段内条件码的提前生成。

(3)**采取延迟转移**,这是用软件方法进行静态指令调度的技术。

(4)**加快短循环程序的处理**。

三十、超流水线处理机

(1204) 简述超流水线处理机提高指令级并行的方法和特点。

答案:超流水线处理机**着重开发时间并行性**,在**公共的硬件上采用较短的时钟周期**,深度流水来提高速度,需使用**多相时钟**。

三十一、阵列处理机的特点

(1410) 简述阵列机与流水线处理机相比的特点。

答案:阵列处理机利用的是**资源重复,而不是时间重叠**;利用的是**并行性中的同时性,而不是并发性**;设备利用率可能没有多个单功能流水线部件的那样高,在硬件价格有了大幅度下降以及系统结构有了较大改进的情况下,才能有好的性能价格比;**提高速度主要是靠增大处理单元数**;使用**简单、规整的互连网络来确定处理单元间的连接**;在机间互连上比固定结构的**单功能流水线灵活,专用性强得多**,结构是与采用的并行算法紧密联系在一起的。

三十二、互连网络的设计目标与互连函数

(1304/1610) 简述 SIMD 系统互连网络的设计目标。

答案:SIMD 系统的互连网络的设计目标是:**结构不要过分复杂,以降低成本**;**互连要灵活,以满足算法和应用的需要**;**处理单元间信息交换所需的传送步数要尽可能少,以提高速度性能**;**能用规整单一的基本构件组合而成**,或者经多次通过或者经多级连接来实现复杂的互连,使模块性好,以便于用 VLSI 实现并满足系统的可扩充性。

三十三、脉动阵列结构的原理

简述脉动阵列结构的特点。

答案:脉动阵列结构具有如下一些特点:

- 1)**结构简单、规整,模块化强,可扩充性好**。
- 2)**PE 间数据通信距离短、规则**,使数据流和控制流的设计、同步控制等均简单规整。
- 3)脉动阵列中**所有 PE 能同时运算,具有极高的计算并行性**,可通过流水获得很高的运算效率和吞吐率。输入数据能被多个处理单元重复使用,大大减轻了阵列与外界的 I/O 通信量,降低了对系统主存和 I/O 系统频宽的要求。
- 4)脉动阵列结构的**构形与特定计算任务和算法密切相关,具有某种专用性**。

三十四、机间互连形式

(1304) 简述多处理机机间互连的形式。

答案:多处理机的互连一般采用**总线、环形互连、交叉开关、多端口存储器或蠕虫穿洞寻径网络、开关枢纽结构**等几种形式。

三十五、多处理机的基本概念和要解决的技术问题

简述多处理机与阵列机在并行等级、硬件、算法和系统管理上的区别。

答案: 多处理机是**属于多指令流多数据流的系统**。它与单指令流多数据流的阵列处理机相比,有很大的差别。其差别主要**来源于并行性的等级不同,阵列处理机主要是针对向量、数组处理,实现向量指令操作级的并行,是开发并行性中的同时性**。多处理机实现的则是更高一级的作业或任务间的并行,是开发并行性中的并发性。因此,在硬件结构上,它的多个处理机要用多个指令部件分别控制,通过共享主存或机间互连网络实现异步通信;在算法上,不限于向量、数组处理,还要挖掘和实现更多通用算法中隐含的并行性;在系统管理上,要更多地依靠操作系统等软件手段,有效地解决资源分析和控制,特别是任务分配、处理机调度、进程的同步和通信等问题。

三十六、多处理机的性能

(1504) 简述任务粒度的大小对多处理机性能和效率的影响。

答案: **任务粒度的大小会显著影响多处理机的性能和效率。任务粒度过小, 辅助开销大, 系统效率低; 任务粒度过大, 并行度低, 性能不会很高**。因此, 要合理选择任务粒度大小, 并使其尽可能均匀, 还要采取措施减少辅助开销, 以保证系统性能随处理机数目的增大能有较大的提高。

三十七、数据驱动的概念

(1704) 简述控制驱动的控制流方式和数据驱动的数据流方式的特点。

答案: 控制驱动的控制流方式的特点是: **通过访问共享存储单元让数据在指令之间传递; 指令执行的顺序性隐含于控制流中, 但却可以显式地使用专门的控制操作符来实现并行处理; 指令执行的顺序受程序计数器控制, 换句话说, 是受控制令牌所支配的**。数据驱动的数据流方式则不同, 它没有通常的共享变量的概念, 即没有共享存储数据的概念; **指令执行序只受指令中数据相关性的制约; 数据是以数据令牌方式直接在指令之间传递的**。

三十八、

简述归约机的特点。

答案: 1) **归约机应当是面向函数式语言**, 或以函数式语言为机器语言的非 Neumann 型机器。

2) 具有**大容量物理存储器**并采用大虚存容量的虚拟存储器, **具备高效的动态存储分配和管理的软、硬件支持**。

3) 处理部分应当是一种**有多个处理器或多个处理机并行的结构形式**。

4) 采用**适合于函数式程序运行的多处理器 (机) 互连的结构**。

5) **尽量把运行进程的结点机紧靠该进程所需用的数据安排**, 并使运行时需相互通信的进程所占用的处理机也靠近, 让各处理机的负荷平衡。

低频知识点:

一、指令操作码的优化

简述扩展操作码必须遵守“短码不能是长码的前缀”的原则的原因。

答案：无论是哈夫曼编码，还是扩展操作码编码，其中的**短码都不能与长码的首部相同**。这是因为指令中除了操作码外，**后面所跟的或者是操作数，或者是操作数所在的寄存器编号，或者是存储单元的地址码**，它们都是以二进制编码的形式出现，所以如果短操作码成了长操作码的前缀，就会使指令操作码译码时无法做到唯一译码和立即解码。

二、两种途径和方向（CISC 和 RISC）

简述指令系统发展改进和两种途径和方向。

答案：一种是**如何进一步增强原有指令功能以及设置更复杂的新指令以取代原先由软件子程序完成的功能，实现软件功能的硬化**。

另一种是**如何通过减少指令种数和简化指令功能来降低硬件设计的复杂度，提高指令的执行速度**。

三、面向目标程序的优化实现改进

简述标志符数据表示的主要优点。

答案：（1）**简化了指令系统和程序设计**。

（2）**简化了编译程序**。

（3）**便于实现一致性校验**。

（4）**能由硬件自动变换数据类型**。

（5）**支持数据库系统的实现与数据类型无关的要求**，使程序不用修改即可处理多种不同类型的数据。

（6）**为软件调试和应用软件开发提供了支持**。

四、Cache 存储器的 LRU 替换算法的硬件实现

简述比较对法的基本思想。

答案：比较对法的基本思想是**让组内各块成对组合，用一个触发器的状态表示该比较对内两块访问的远近次序，再经门电路就可以找到 LRU 块**。

五、效率

简述影响吞吐率和效率提高的因素。

答案：一是**静态多功能流水线按某种功能流水时，总有一些本功能用不到的段处于空闲**；二是**流水建立时，本功能要用到的某些段也有部分处于空闲**；三是**功能切换时，增加了前一功能流水的排空时间及后一功能流水的建立时间**；四是**经常需要等待把上一步计算的结果输出回授到输入，才能开始下一步的计算**。

六、超长指令字处理机

简述超长指令字处理机的优缺点。

答案：超长指令字处理机的优点是**每条指令所需拍数比超标量处理机的少，指令译码容易，开发标量操作间的随机并行性更方便**，从而可使指令级并行性较高。问题是 **VLIW 处理机能否成功，很大程度取决于代码压缩的效率，其结构的目标码与一般的计算机不兼容，而且指令字很长而操作段格式固定**，经常使指令字中的许多字段没有操作，白白浪费了存储空间，结构也不如超标量处理机的紧凑。

应用题汇总

高频知识点:

一、浮点数尾数基值的选择

(0904) 浮点数表示,阶码用二进制表示,除阶符之外的阶码位数 $p=3$,尾数基值用十进制表示,除尾符外的尾数二进制位数 $m=8$,计算非负阶、规格化、正尾数时,

- (1) 可表示的最小尾数值;
- (2) 可表示的最大值;
- (3) 可表示的尾数个数。

答案:

- (1) 最小尾数值: $1 \times 10^{-1} = 0.1$
- (2) 最大值: $10^{2^3-1} \times (1 - 10^{-2}) = 99 \times 10^5$
- (3) 尾数个数: $10^2 \times (10 - 1) / 10 = 90$

二、浮点数尾数的下溢处理方法

(1604) 由 3 位数(其中最低位为下溢处理的附加位)经 ROM 查表舍入法,下溢处理成 2 位结果,设计使下溢处理平均误差接近于 0 的 ROM 表,列出 ROM 编码表的地址与内容的对应关系。

答案: 3 位数的 ROM 下溢处理表共有 $2^3=8$ 个地址,地址码为 000~111,每个地址存放一个处理结果。下溢处理平均误差接近于 0 的 ROM 表如表所示。

地址	000	001	010	011	100	101	110	111
内容	00	01	01	10	10	11	11	11

三、中断的响应次序与处理次序

1、(1804) 若机器共有 5 级中断,中断响应优先次序为 $1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5$,现要求其实际的中断处理次序为 $1 \rightarrow 4 \rightarrow 5 \rightarrow 2 \rightarrow 3$ 。设计各级中断处理程序的中断级屏蔽位(令“1”对应于屏蔽,“0”对应开放);

答案: 中断级屏蔽位如表所示。

中断处理程序级别	中断级屏蔽位				
	1	2	3	4	5
1	1	1	1	1	1
2	0	1	1	0	0
3	0	0	1	0	0
4	0	1	1	1	1
5	0	1	1	0	1

2、设某系统的中断源的中断请求优先级分为 4 级，从高到低为 1、2、3、4。设中断级屏蔽位为“1”，对应屏蔽；中断级屏蔽位为“0”，对应开放。要求中断处理次序与中断响应次序相同，请给出各级中断处理程序中中断级屏蔽位的设置。(要求：先进行文字说明，再画出中断级屏蔽位表)

答案：要求中断处理次序为 1、2、3、4,即要求：

中断处理程序 1 应屏蔽其他所有中断请求，包括同级的其他请求,以保证中断处理程序 1 能优先执行完;

中断处理程序 2 屏蔽中断请求 2、3 和 4,并对中断请求 1 开放;

中断处理程序 3 屏蔽中断请求 3 和 4,并对中断请求 1 和 2 开放;

中断处理程序 4 屏蔽中断请求 4,并对中断请求 1、2 和 3 开放;

由此可得出各级中断处理程序的中断级屏蔽位,如下表

中断请求	中断处理 程序级别	中断级屏蔽位			
		1	2	3	4
1	1	1	1	1	1
2	2	0	1	1	1
3	3	0	0	1	1
4	4	0	0	0	1

四、并行主存系统

(1504) 设主存每个分体的存取周期为 $2\mu s$ ，宽度为 4 个字节。采用模 m 多分体交叉存取，但实际频宽只能达到最大频宽的 0.6 倍。现要求主存实际频宽为 $4MB/s$ ，问主存模数 m 应取多少方能两者速度基本适配?(其中， m 取 2 的幂)

答案：

根据题意,模 m 多分体交叉存储器的最大频宽为

$$\text{分体数} \times \text{单体频宽} = m \times \text{宽度} / \text{存储周期} = m \times \frac{4B}{2\mu s}$$

实际频宽为

$$0.6 \times \text{最大频宽} = 0.6 \times m \times \frac{4B}{2\mu s}$$

按要求,实际频宽为 $4MB/s$,即近似为 $4B/\mu s$

$$\text{所以有: } 0.6 \times m \times 4/2 \geq 4$$

$$\text{解得: } m \geq 2/0.6 \approx 3.33$$

题目要求主存模数取 2 的幂,所以取: $m = 4$ 。

五、页面替换算法

(1810) 考虑一个 920 个字的程序,其访问虚存的地址流为 23、216、156、618、382、490、492、868、916、728。若页面大小为 200 字,主存容量为 400 字,采用 FIFO 替换算法,请按访存的各个时刻写出其虚页地址流,计算主存命中率。

答案: 页面大小为 200 字,主存容量为 400 字,可知实存页数为 2。根据虚存的地址流,可得其虚页地址流为:0,1,0,3,1,2,2,4,4,3

采用 FIFO 替换算法替换时的实际装入和替换过程如表所示。

虚地址	23	216	156	618	382	490	492	868	916	728
虚页地址	0	1	0	3	1	2	2	4	4	3
$n=2$	0	0*	0*	3	3*	2	2	2*	2*	3
		1	1	1*	1	1*	1*	4	4	4*
				H		H		H		H

六、页面替换算法

1、(1304) 页式虚拟存储器共有 9 页空间准备分配给 A、B 两道程序。已知若给 B 道程序分配 4 页时,命中率为 8/15; 而若分配 5 页时,命中率可达 10/15。现给出 A 道程序执行中的页地址流为 2,3,2,1, 5, 2, 4, 5, 3, 2, 5,2,1, 4, 5。

(1)画出用堆栈对 A 道程序页地址流的模拟过程图, 分别统计给其分配 4 页和 5 页时的命中率;

(2)根据已知条件和上述统计结果, 给 A、B 两道程序各分配多少实页, 可使系统效率最高?

答案:

(1)用堆栈对 A 道程序页地址流的模拟处理过程如答 表所示。

答 表

页地址流	2	3	2	1	5	2	4	5	3	2	5	2	1	4	5
堆栈内容	2	3	2	1	5	2	4	5	3	2	5	2	1	4	5
		2	3	2	1	5	2	4	5	3	2	5	2	1	4
				3	2	1	5	2	4	5	3	3	5	2	1
					3	3	1	1	2	4	4	4	3	5	2
							3	3	1	1	1	1	4	3	3
命中(n=4)				H			H		H		H	H			H
命中(n=5)				H			H		H	H	H	H	H	H	H

由上表可知,分配 4 页时, $H = 7/15$; 分配 5 页时, $H = 10/15$ 。

(2)给 A 分配 5 页,给 B 分配 4 页,其效率要比给 A 分配 4 页,给 B 分配 5 页的高。

因为,前者系统的总命中率: $H = \frac{(10/15 + 8/15)}{2} = \frac{9}{15}$;

后者系统的总命中率为: $H = \frac{(7/15 + 10/15)}{2} = \frac{8.5}{15}$ 。

2、(1410) 考虑一个 920 个字的程序, 其访问虚存的地址流为 22、215、156、618、373, 491、492、868、 916、528, 若页面大小为 200 字, 主存容量为 400 字, 采用 LRU 替换算法, 请按访存的各个时刻, 写出其虚页地址流, 给出替换过程并计算主存的命中率。

答案:

页面大小为 200 字,主存容量为 400 字,可知实存页数为 2 页。

根据虚存的地址流可计算得虚页地址流为

0,1,0,3,1,2,2,4,4,2

替换过程如 图所示。

时间 t	1	2	3	4	5	6	7	8	9	10
虚页地址	0	1	0	3	1	2	2	4	4	2
	0	0	0*	3	3*	2	2	2	2*	2
		1	1	0*	1	1*	1*	4	4	4*
	装入	装入	命中	替换	替换	替换	命中	替换	命中	命中

根据替换过程图可得命中率为: $H = 4/10 = 0.4$

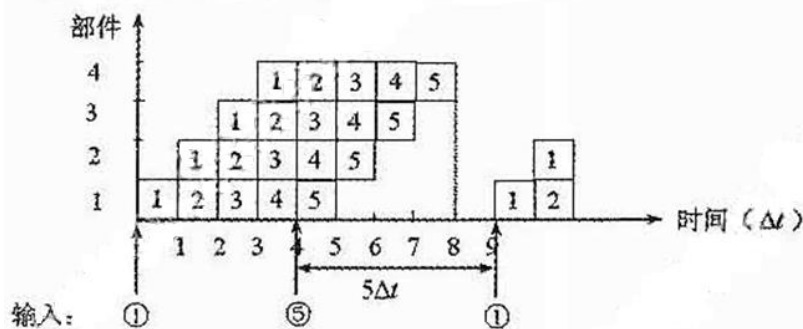
七、吞吐率 T_p 和加速比 S_p

(1410) 流水线由 4 个功能部件组成, 每个功能部件的延迟时间为 Δt , 当输入 5 个数据后,

间歇 $5\Delta t$ 又输入 5 个数据, 如此周期性地工作, 画出时空图, 并求此时流水线的吞吐率。

答案:

时空图如图 所示。



按周期性,流水线吞吐率为: $T_p = \frac{5}{8\Delta t}$

八、重叠原理与一次重叠

(1504) 假设指令的解释分取指、分析与执行 3 步, 每步的时间相应为 $t_{\text{取指}}$ 、 $t_{\text{分析}}$ 、 $t_{\text{执行}}$

执行, 分别计算下列情况下, 执行完 100 条指令所需时间的一般关系式:

(1) 顺序方式;

(2) 仅“执行 k ”与“取指 $k+1$ ”重叠;

(3) 仅“执行 k ”、“分析 $k+1$ ”与“取指 $k+2$ ”重叠。

答案:

(1) 顺序工作方式:

$$100 \times (t_{\text{取指}} + t_{\text{分析}} + t_{\text{执行}})$$

(2) 仅“执行 k ”与“取指 $k+1$ ”重叠:

$$t_{\text{取指}} + 100t_{\text{分析}} + 99 \times \max\{t_{\text{取指}}, t_{\text{执行}}\} + t_{\text{执行}}$$

(3) 仅“执行 k ”、“分析 $k+1$ ”与“取指 $k+2$ ”重叠:

$$t_{\text{取指}} + \max\{t_{\text{取指}}, t_{\text{执行}}\} + 98 \times \max\{t_{\text{取指}}, t_{\text{分析}}, t_{\text{执行}}\} + \max\{t_{\text{分析}}, t_{\text{执行}}\} + t_{\text{执行}}$$

九、PM2I 单级网络

(1204) 编号为 0、1、2、...、15 的 16 个处理器, 用 PM2I 单级互连网络互连。

(1) 写出所有各种单级 PM2I 的互连函数的一般式;

(2)计算与 5 号处理器直接相连的处理器。

答案:

(1)PM2I 的互连函数的一般式:

$$PM2_{+0}(j) = j + 1 \bmod 16$$

$$PM2_{-0}(j) = j - 1 \bmod 16$$

$$PM2_{+1}(j) = j + 2 \bmod 16$$

$$PM2_{-1}(j) = j - 2 \bmod 16$$

$$PM2_{+2}(j) = j + 4 \bmod 16$$

$$PM2_{-2}(j) = j - 4 \bmod 16$$

$$PM2_{+3}(j) = j + 8 \bmod 16$$

$$PM2_{-3}(j) = j - 8 \bmod 16$$

(2)把 $j=5$ 代入(1)中各式,可知与 5 号处理器直接相连的是 1、3、4、6、7、9、13 号处理器。

十、向量的处理和向量的流水处理

(1510) 求向量 $D=A \times (B+C)$, 向量为浮点数, 各向量元素个数均为 N , 参照 CRAY — 1

方式分解为 3 条向量指令:

① $V3 \leftarrow$ 存储器; 访存取 A 送入 $V3$ 寄存器组

② $V2 \leftarrow V0 + V1$; $B+C \rightarrow K$

③ $V4 \leftarrow V2 \times V3$; $K \times A \rightarrow D$ 当采用下列 3 种方式工作时, 各需多少拍才能得到全部结果?

(1)①、②和③串行执行。

(2)①和②并行执行后, 再执行③。

(3)采用链接技术。

答案:

在该向量运算中用到浮点加和浮点乘运算, CRAY — 1 计算浮点加需要 6 拍, 计算浮点乘需要 7 拍, 数据存入寄存器需要 1 拍。

(1)①、②和③串行执行所需要的时间为

$$7 + N + 7 + N + 8 + N = 22 + 3N \text{ (拍)}$$

(2)①和②并行执行后, 再执行③所需要的时间为

$$\left\{ \begin{matrix} 7 + N \\ 7 + N \end{matrix} \right\} + 8 + N = 15 + 2N \text{ (拍)}$$

(3)采用链接技术所需要的时间为

$$\left\{ \begin{matrix} 1 + 6 + 1 \\ 1 + 6 + 1 \end{matrix} \right\} + 8 + N = 16 + N \text{ (拍)}$$

十一、共享主存构形的阵列处理机中并行存储器的无冲突访问

(1410) 在 16 台 PE 的并行(阵列)处理机上, 要对存放在 M 个分体并行存储器中的 16×16 二维数组实现行、列、主对角线、次对角线上各元素均无冲突访问, 要求 M 至少为多少?
此时数组在存储器中应如何存放?

答案:

设同一列两个相邻元素地址错开的距离为 δ_1 , 同一行两个相邻元素地址错开的距离为 δ_2 ;

当 $M = 2^{2p} + 1$ (p 为正整数) 时, 实现无冲突访问的充分条件是 $\delta_1 = 2^p, \delta_2 = 1$

只要 M 取大于等于 16 的一个质数, 就可以实现 16×16 的二维数组无冲突访问。

当 $p = 1$ 时, $\delta_1 = 2^1 = 2, 2^{2 \times 1} + 1 = 5$, 不满足要求;

当 $p = 2$ 时, $\delta_1 = 2^2 = 4, 2^{2 \times 2} + 1 = 17$, 满足要求, 因此

$M = 2^{2p} + 1 = 17$

十二、多处理机并行算法的研究思路

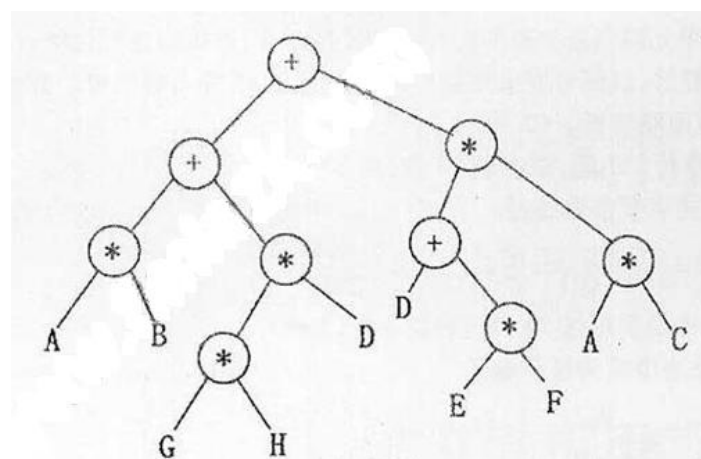
1、(1304) 有表达式 $A * (B + C * (D + E * F)) + G * H * D$, 在多处理机上, 要求利用减少树高的办法加速运算。

(1) 画出并行算法的树形流程图;

(2) 求处理机数 P 、运算级数 T_p 、单处理机级数 T_1 、加速比 S_p 和效率 E_p 等的值。

答案: (1) 算法按 $A * B + G * H * D + A * C * (D + E * F)$ 安排, 其并行算法的树形流程图见

答图。



$$\begin{aligned}
 (2) P &= 3; \\
 T_P &= 4; \\
 T_1 &= 8; \\
 S_P &= 8/4 = 2; \\
 E_P &= \frac{2}{3}.
 \end{aligned}$$

2、(1104) 用霍纳法则给定的表达式如下:

$$E = a(b + c(d + ef)) + g$$

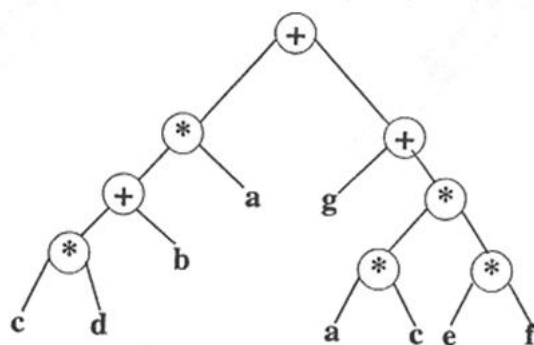
利用减少树高的办法加速运算, 要求:

(1) 画出树形流程图;

(2) 计算运算级数 T_P , 处理机机数 P 、加速比 S_P 和效率 E_P 的值。

答案:

(1) 对于单处理机处理 $T_1 = 6$, 改成 $E = a(b + cd) + acef + g$, 树形流程图:



答 (1) 图

$$(2) P = 3; T_P = 4; S_P = T_1 / T_P = 6/4 = \frac{3}{2}; E_P = S_P / P = \frac{1}{2}.$$

十三、并行语言与并行编译

(1510) 若有下述程序:

$$U = A + B$$

$$V = U * B$$

$$W = U / A$$

$$X=V-W$$

$$Y=V / A$$

$$Z=X+Y$$

试用 FORK、JOIN 语句将其改写成可在多处理机上并行执行的程序。假设现为两台处理机，且除法速度最慢，加、减法速度最快。

答案：

改写后的程序为

```
10 U = A + B
```

```
    FORK 30
```

```
20 V = U * B
```

```
    JOIN 2
```

```
    GOTO 40
```

```
30 W = U/A
```

```
    JOIN 2
```

```
40 FORK 60
```

```
50 X = V - W
```

```
    JOIN 2
```

```
    GOTO 70
```

```
60 Y = V/A
```

```
    JOIN 2
```

```
70 Z = X + Y
```