尚德机构

计算机系统结构

讲师: 孙小涵





讲师介绍

▶ 主讲老师: 孙小涵 (尚德机构-小涵老师)

> 主讲课程: 计算机类、数学类

➤ 邮箱: sunxiaohan@sunlands.com



课程章节

计算机系统结构

第1章 计算机系统结构概论

第2章 数据表示、寻址方式与指令系统

第3章 存储、中断、总线与I/O系统

第4章 存储体系

第5章 标量处理机

第6章 向量处理机

第7章 多处理机

第8章 数据流计算机和归约机

第6章 向量处理机

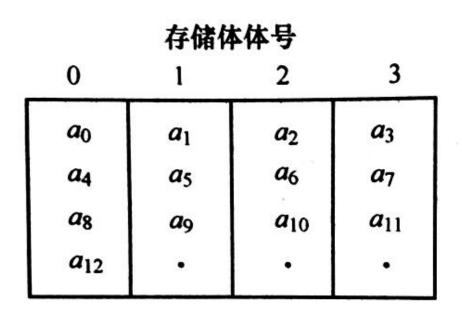
第6章 向量处理机





情况1

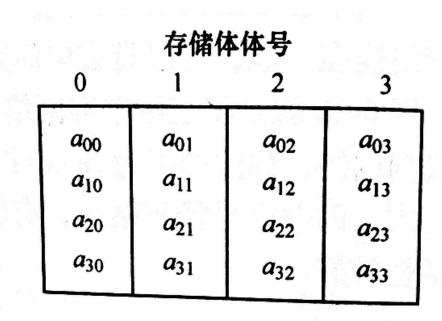
对一维数组而言,假定并行存储器分体数m为4,交叉存放一维数组a0, a1, a2, ..., 如图6-27所示。





情况2

对于二维数组(结论也适用于多维数组)而言,假设主存有m个分体并行,从中访问有n个元素的数组子集。这n个元素的变址跳距对于二维数组的行、列、主对角线、次对角线都是不一样的,但要求都能实现无冲突访问。







(填空)

为了能使行或列的各元素都能并行访问,采取将数据在存储器中错位存放,如图6-29 所示。但是该方案可造成主对角线上各元素的并行访问冲突,致使实际频宽下降一半;次对角线上各元素的访问则都发生冲突,使实际频宽降低成与串行一样。

存储体体号				
0	1	2	3	
a ₀₀	<i>a</i> ₀₁	a ₀₂	a ₀₃	
a ₁₃	a ₁₀	a ₁₁	a ₁₂	
a ₂₂	a ₂₃	a ₂₀	a ₂₁	
a_{31}	a ₃₂	a ₃₃ .	a ₃₀	

图 6-29 4×4 数组一种错位存放的方案 $(m=n=4, \delta_1 = \delta_2 = 1)$

	存储体体号				
0	1	2	3	4	
a ₀₀	a ₀₁	a ₀₂	a ₀₃	=1	
a ₁₃		a_{10}	<i>a</i> ₁₁	a ₁₂	
a ₂₁	a ₂₂	a ₂₃		a ₂₀	
1 7 6	a ₃₀	<i>a</i> ₃₁	a ₃₂	a ₃₃	

$$f$$
 图 6-30 4×4 数组错位存放的例子 $(m=5, n=4, \delta_1=2, \delta_2=1)$



情况3

并行存储器中存放的数组大小是不固定的,多维数组各维的元素个数也不一定相等,它们还可以超出已选定的分体数m的值。



1、将二维数组中各元素在存储器中() 存放可以使行或列的各元素都能并 行访问, 但会造成() 上各元素的并行访问冲突。1604



1、将二维数组中各元素在存储器中() 存放可以使行或列的各元素都能并 行访问,但会造成() 上各元素的并行访问冲突。1604

答案: 错位 主对角线



6.5脉动阵列流水处理机

本节主要内容:

脉动阵列流水处理机的工作原理

通用脉动阵列结构的实现方法



(填空)

脉动阵列结构是由一组处理单元(PE)构成的阵列。

运算时数据在阵列结构的各个处理单元间沿各自的方向同步向前推进,就像血液受心脏有节奏 地搏动在各条血管中间同步向前流动一样。因此,形象地称其为脉动阵列结构。实际上,为了 执行多种计算,脉动型系统内的输入数据流和结果数据流可以在多个不同方向上以不同速度向 前搏动。

(简答)

脉动阵列结构具有如下一些特点:

- 1)结构简单、规整,模块化强,可扩充性好,非常适合用超大规模集成电路实现。
- 2)PE间数据通信距离短、规则,使数据流和控制流的设计、同步控制等均简单规整。
- 3)脉动阵列中所有PE能同时运算,具有极高的计算并行性,可通过流水获得很高的运算效率和吞吐率。输入数据能被多个处理单元重复使用,大大减轻了阵列与外界的 I/O通信量,降低了对系统主存和I/O系统频宽的要求。
- 4)脉动阵列结构的构形与特定计算任务和算法密切相关,具有某种专用性,限制了应用范围, 这对VLSI是不利的。

(简答)

脉动阵列结构具有如下一些特点:

- 1)结构简单、规整,模块化强,()好,非常适合用超大规模集成电路实现。
- 2)PE间数据通信距离短、规则,使数据流和控制流的设计、同步控制等均简单规整。
- 3)脉动阵列中所有PE能同时运算,具有极高的计算 () ,可通过流水获得很高的运算效率和吞吐率。输入数据能被多个处理单元重复使用,大大减轻了阵列与外界的 I/O通信量,降低了对系统主存和I/O系统频宽的要求。
- 4)脉动阵列结构的构形与特定计算任务和算法密切相关,具有某种 (),限制了应用范围,这对VLSI ()是不利的。

(简答)

脉动阵列结构具有如下一些特点:

- 1)结构简单、规整,模块化强,可扩充性好,非常适合用超大规模集成电路实现。
- 2)PE间数据通信距离短、规则,使数据流和控制流的设计、同步控制等均简单规整。
- 3)脉动阵列中所有PE能同时运算,具有极高的计算并行性,可通过流水获得很高的运算效率和吞吐率。输入数据能被多个处理单元重复使用,大大减轻了阵列与外界的 I/O通信量,降低了对系统主存和I/O系统频宽的要求。
- 4)脉动阵列结构的构形与特定计算任务和算法密切相关,具有某种专用性,限制了应用范围, 这对VLSI是不利的。



6.5.2 通用脉动阵列结构

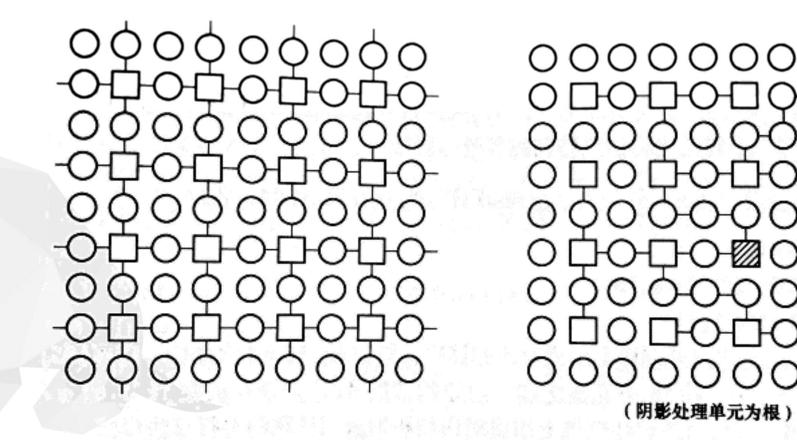


图 6-34 可编程脉动阵列结构

a) 控制开关按正方形阵列结构互连 b) 控制开关按二叉树形阵列结构互连



- 1、脉动阵列结构是由一组处理单元PE构成的阵列,阵列中的输入数据流和
 - ()数据流可各自沿多个方向()地向前推进。1304



1、脉动阵列结构是由一组处理单元PE构成的阵列,阵列中的输入数据流和

()数据流可各自沿多个方向 ()地向前推进。1304

答案: 结果 同步



2、下列关于脉动阵列机的描述,错误的是()1004

A:脉动阵列机是由一组内部结构相同的处理单元构成的阵列

B:脉动阵列机结构简单、规整,模块化强,可扩充性好

C:脉动阵列机不适用于要求计算量大的信号 / 图像的处理

D:脉动阵列机各PE间数据通信距离短、规则,使数据流和控制流的设计、同



2、下列关于脉动阵列机的描述,错误的是()1004

A:脉动阵列机是由一组内部结构相同的处理单元构成的阵列

B:脉动阵列机结构简单、规整,模块化强,可扩充性好

C:脉动阵列机不适用于要求计算量大的信号 / 图像的处理

D:脉动阵列机各PE间数据通信距离短、规则,使数据流和控制流的设计、同

答案: C

第7章 多处理机

第7章 多处理机





7. 1多处理机的概念、问题和硬件结构

本节主要内容:

多处理机的定义和并行性等级

多处理机与阵列处理机的对比

多处理机的主要技术问题



(填空)

多处理机是指有两台以上的处理机,共享I/O子系统,机间经共享主存或高速通信网络通信,在统一操作系统控制下,协同求解大而复杂问题的计算机系统。



(填空)

多处理机是指有两台以上的处理机,共享I/O子系统,机间经共享()或高速()通信,在统一操作系统控制下,协同求解大而复杂问题的计算机系统。



(填空)

多处理机是指有两台以上的处理机,共享I/O子系统,机间经共享主存或高速通信网络通信,在统一操作系统控制下,协同求解大而复杂问题的计算机系统。



使用多处理机的目的(填空、简答)

第一个目的是通过多台处理机对多个作业、任务进行并行执行来提高解题速度,从而提高系统的整体性能;第二个目的是使用冗余的多个处理机通过重新组织来提高系统的可靠性、适应性和可用性。



使用多处理机的目的(填空、简答)

第一个目的是通过多台处理机对多个作业、任务进行并行执行来提高解题速度,从而提高系统的整体性能; 第二个目的是使用冗余的多个处理机通过重新组织来提高系统的可靠性、适应性和可用性。(一适两可)



使用多处理机的目的(填空、简答)

第一个目的是通过多台处理机对多个作业、()进行并行执行来提高解题速度,从而提高系统的整体性能;

第二个目的是使用 () 的多个处理机通过重新组织来提高系

统的可靠性、()和()。(一适两可)



使用多处理机的目的(填空、简答)

第一个目的是通过多台处理机对多个作业、任务进行并行执行来提高解题速度,从而提高系统的整体性能; 第二个目的是使用冗余的多个处理机通过重新组织来提高系统的可靠性、适应性和可用性。(一适两可)



(单选、填空)

多处理机可以有同构型、异构型和分布型3种。



多处理机是属于多指令流多数据流的系统。它与单指令流多数据流的阵列处理机相比,有很大的差别。其差别主要来源于并行性的等级不同。阵列处理机主要是针对向量、数组处理,实现向量指令操作级的并行,是开发并行性中的同时性。(资源重复)多处理机实现的则是更高一级的()间的并行,是开发并行性中的并发性。



多处理机是属于多指令流多数据流的系统。它与单指令流多数据流的阵列处理机相比,有很大的差别。其差别主要来源于并行性的等级不同。阵列处理机主要是针对向量、数组处理,实现向量指令操作级的并行,是开发并行性中的同时性。(资源重复)多处理机实现的则是更高一级的作业或任务间的并行,是开发并行性中的并发性。



(简答)

- 1) 在硬件结构上,它的多个处理机要用多个指令部件分别控制,通过 共享主存或机间互连网络实现异步通信;
- 2) 在算法上,不限于向量、数组处理,还要挖掘和实现更多通用算法中隐含的并行性;
- 3) 在<mark>系统管理</mark>上,要更多地依靠操作系统等软件手段,有效地解决资源分析和管理,特别是任务分配、处理机调度、进程的同步和通信等问题。



(填空)

多处理机执行并发任务所需的处理机的机数是不固定的。各处理机进入 或退出任务的时间及所需资源的变化比较大。必须研究如何较好地解决 动态的资源分配和任务调度,让各处理机的负荷尽可能均衡,并要防止 死锁。



7.1.1多处理机的基本概念和要解决的技术问题

结论: 多处理机的结构、机间互连、并行算法、并行语言、编译、操作系统等都将会直接影响到系统的性能和效率。



1、多处理机主要实现的是()0604

A:任务级并行

B:指令级并行

C:操作级并行

D:操作步骤的并行



1、多处理机主要实现的是()0604

A:任务级并行

B:指令级并行

C:操作级并行

D:操作步骤的并行

答案: A



2、多处理机是指两台以上的处理机,在操作系统控制下通过共享()的或输入/输出子系统或高速()进行通信的计算机系统。



2、多处理机是指两台以上的处理机,在操作系统控制下通过共享()的或输入/输出子系统或高速()进行通信的计算机系统。

答案: 主存 通信网络



- 3、多处理系统中, 要较好地解决动态的资源分配和任务调度, 让各处理机的
 - ()尽可能均衡,并要防止()。



3、多处理系统中, 要较好地解决动态的资源分配和任务调度, 让各处理机的

()尽可能均衡,并要防止()。

答案: 负荷 死锁





- 1.紧耦合和松耦合(单选)
 - (1)紧耦合多处理机

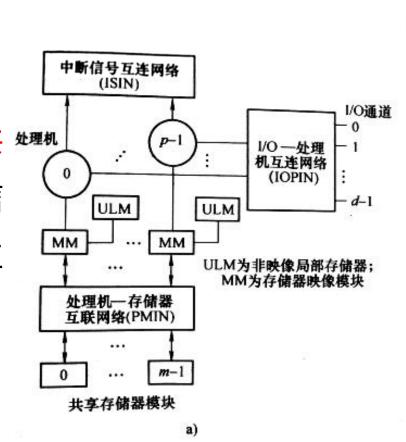
紧耦合多处理机是通过共 煙机

享主存实现处理机间通信

的, 其通信速率受限于主

存频宽。

1) 层次型 2) 非层次型



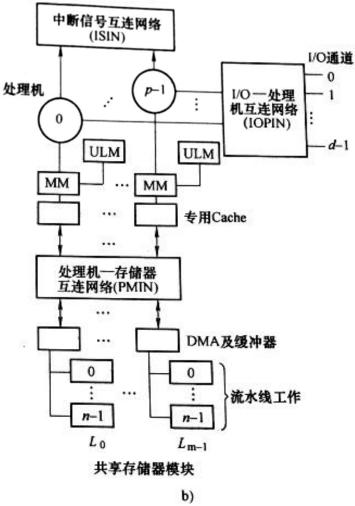


图 7-1 紧耦合多处理机的结构

a) 处理机不带专用 Cache b) 处理机自带专用 Cache



- 1.紧耦合和松耦合(单选)
 - (2)松耦合多处理机

不同处理机间或者通过通

道互连实现通信, 以共享

某些外围设备;或者通过

消息传送系统来交换信息,

这时各台处理机可带有自

己的外围设备。

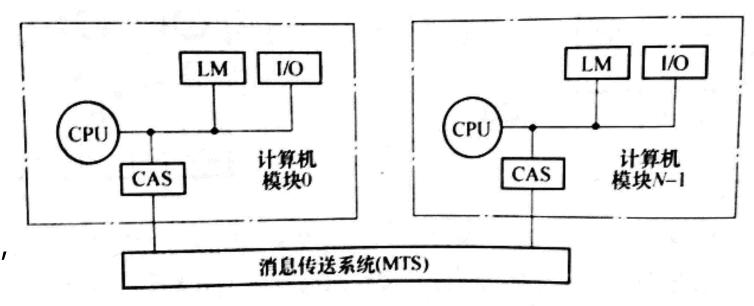


图 7-4 通过消息传输系统连接的松耦合多处理机结构



1、紧耦合多处理机系统的机间通信是通过()1910

A:共享总线实现

B:共享Cache实现

C:共享虚拟存储器实现

D:共享主存实现



1、紧耦合多处理机系统的机间通信是通过()1910

A:共享总线实现

B:共享Cache实现

C:共享虚拟存储器实现

D:共享主存实现

答案: D



2、通过通道互连实现通信,或通过消息传送系统交换信息的计算机系统是()

1904

A:向量处理机

B:紧耦合多处理机

C:松耦合多处理机

D:标量处理机



2、通过通道互连实现通信,或通过消息传送系统交换信息的计算机系统是()

1904

A:向量处理机

B:紧耦合多处理机

C:松耦合多处理机

D:标量处理机

答案: C



3、多端口存储器适合于连接()0707 0704

A:松耦合多处理机

B:紧耦合多处理机

C:机数很多的多处理机

D:机数可变的多处理机



3、多端口存储器适合于连接()0707 0704

A:松耦合多处理机

B:紧耦合多处理机

C:机数很多的多处理机

D:机数可变的多处理机

答案: A



4、紧耦合多处理机实现多处理机机间通信靠的是共享()。1304



4、紧耦合多处理机实现多处理机机间通信靠的是共享()。1304

答案: 主存



2.机间互连形式(单选、填空)

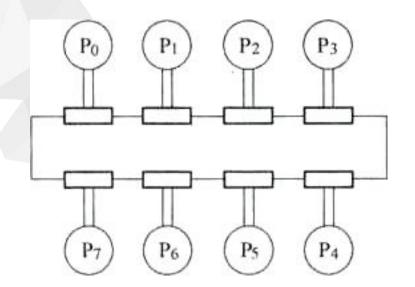
多处理机的互连一般采用总线、环形互连、交叉开关、多端口存储器

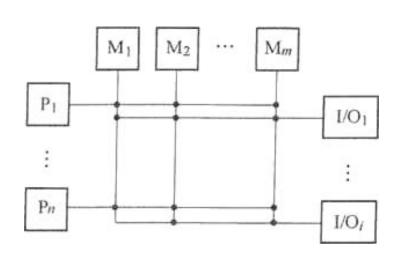
或蠕虫穿洞寻径网络等几种形式。

随着技术的发展,当处理机的机数较多时,也有类似SIMD的多级网络。



- 2.机间互连形式
 - (1)总线形式
 - (2)环形互连形式
 - (3)交叉开关形式







2.机间互连形式

- (4)多端口存储器形式
- (5)蠕虫穿洞寻径网络
- (6)开关枢纽结构形式

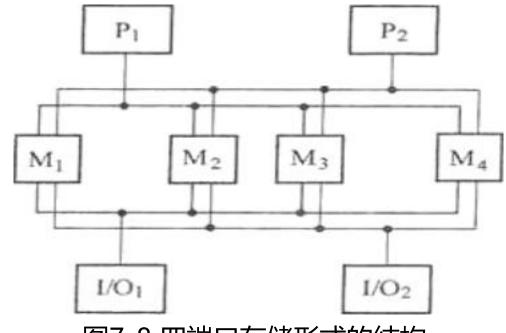


图7-8 四端口存储形式的结构



1、多处理机的互连形式一般有总线形式、环形互连形式、()形式、多端

口存储器形式和()形式等几种。0804 0807 0907



1、多处理机的互连形式一般有总线形式、环形互连形式、()形式、多端

口存储器形式和 () 形式等几种。0804 0807 0907

答案: 交叉开关 开关枢纽结构



2、多处理机的互连一般采用总线、()、()或多端口存储器等几种形式。1410



2、多处理机的互连一般采用总线、()、()或多端口存储器等几种形式。1410

答案: 环形互连 交叉开关



3、机间互连的多端口存储器形式适合应用于()1504

A:紧耦合多处理机系统

B:机数很多的多处理机系统

C:机数较少的多处理机系统

D:松耦合多处理机系统



3、机间互连的多端口存储器形式适合应用于()1504

A:紧耦合多处理机系统

B:机数很多的多处理机系统

C:机数较少的多处理机系统

D:松耦合多处理机系统

答案: C

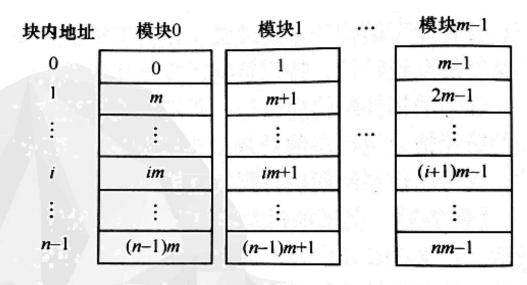


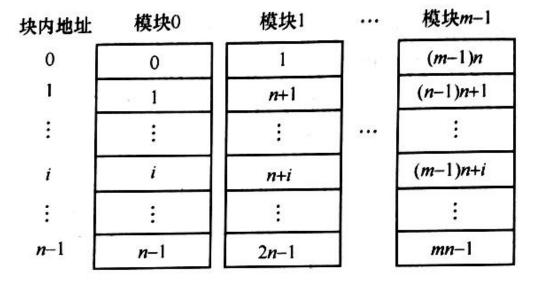
3.存储器的组织(单选)

多处理机的主存一般都采用由多个模块构成的并行存储器。

为减少访问主存冲突,采用的方式一般是:并行多体交叉主存系统

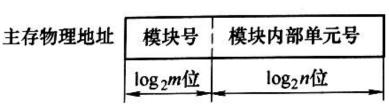
3.存储器的组织





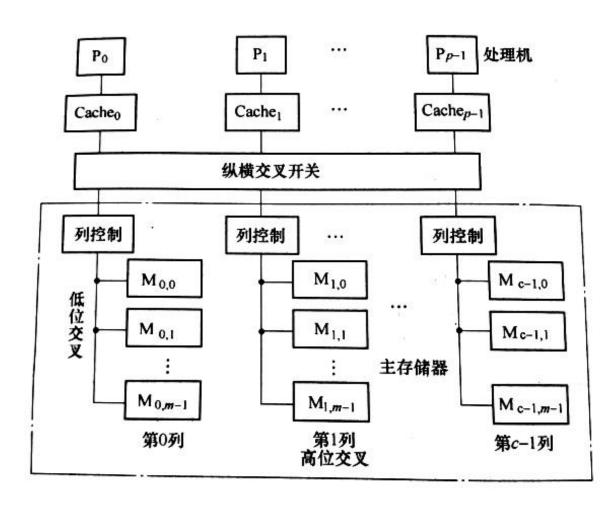
主存物理地址 模块内部单元号 模块号 log2n位 log2m位

图7-9 m个模块的地位交叉编址





3.存储器的组织





1、在共享主存的多处理机中,为减少访问主存冲突,采用的方式一般是()

0807

A:虚拟存储器

B:共享Cache存储器

C:用高速单体主存系统

D:并行多体交叉主存系统



1、在共享主存的多处理机中,为减少访问主存冲突,采用的方式一般是()

0807

A:虚拟存储器

B:共享Cache存储器

C:用高速单体主存系统

D:并行多体交叉主存系统

答案: D



本节主要内容:

多cache的一致性问题

解决多cache一致性的办法



7.2.1多Cache的一致性问题的产生(简单了解)

由于每个处理机都有自己的专用Cache,当主存中同一个信息块在多个Cache中都有时,会出现多个Cache之间的相应信息块的内容不一致的问题。



- 7.2.2多Cache的一致性问题的解决办法(简答1910)
 - 1.解决进程迁移引起的多Cache不一致性
 - 禁止进程迁移或者在进程挂起时靠硬件方法,将改写过的信息块强制
 - 写回主存相应位置;
 - 2.以硬件为基础实现多Cache的一致性
 - 监视Cache协议法和目录表法;
 - 3.以<mark>软件</mark>为基础实现多Cache的一致性
 - 不把一些公用的可写数据存入Cache中。



- 7.2.2多Cache的一致性问题的解决办法(简答)
 - 1.解决()引起的多Cache不一致性
 - 禁止进程迁移或者在进程挂起时靠硬件方法,将改写过的信息块强制写回主存相应位置;
 - 2.以()为基础实现多Cache的一致性
 - 监视Cache协议法和目录表法;
 - 3.以()为基础实现多Cache的一致性
 - 不把一些公用的可写数据存入Cache中。



- 7.2.2多Cache的一致性问题的解决办法(简答)
 - 1.解决进程迁移引起的多Cache不一致性
 - 禁止进程迁移或者在进程挂起时靠硬件方法,将改写过的信息块强制
 - 写回主存相应位置;
 - 2.以硬件为基础实现多Cache的一致性
 - 监视Cache协议法和目录表法;
 - 3.以<mark>软件</mark>为基础实现多Cache的一致性
 - 不把一些公用的可写数据存入Cache中。



尚德机构

▶ 答疑时间





尚德机构

► THANK YOU ⁴

