

111 學年度

大學校院積體電路設計競賽

參賽手冊

指導單位：教育部、臺灣積體電路設計學會

主辦單位：國立臺灣科技大學電子工程系

協辦單位：國研院台灣半導體研究中心(TSRI)

IEEE SSCS Taipei Chapter

IEEE CASS Taipei Chapter

IEEE SSCS Tainan Chapter

IEEE CASS Tainan Chapter

贊助單位：

SYNOPSYS[®]
Silicon to Software[™]

High Level Sponsor (最高贊助商)

cā dence[®]
ACADEMIC NETWORK

中 華 民 國 1 1 2 年 0 2 月 23 日

111 學年度大學院校積體電路設計競賽

重要日程表

項目	時程	備註
報名日期	2 月 13 日（一）10:00 至 3 月 10 日（五）23:59 止	詳閱手冊第 4 頁。
初賽	3 月 29 日（三）08:30~20:30	地點於各學校實驗室，詳閱手冊第 5 頁。
初賽結果公佈	暫定於 4 月 17 日（一）公佈	實際日期請於競賽網站上查詢。
初賽複查時間	初賽結果公佈後 3 個工作天內 (含公佈當日)	實際日期請於競賽網站上查詢。
決賽	暫定於 5 月 3 日（三） 08:30~20:30 5 月 4 日（四） 08:30~20:30 5 月 5 日（五） 08:30~20:30	地點暫定於國研院台灣半導體研究中心，請詳閱手冊第 5 頁。
決賽成績通知	暫定於 5 月 29 日（一）通知	實際日期請於競賽網站上查詢。
決賽複查時間	決賽結果公佈後 3 個工作天內 (含公佈當日)	實際日期請於競賽網站上查詢。
得獎名單公佈	暫定於 7 月 24 日（一）通知	最後公佈日期由教育部決定。
頒獎典禮日期	暫定於 8 月份	詳細日期請於競賽網站上查詢。

111 學年度大專校院積體電路設計競賽

目錄

壹、競賽事宜	1
一、競賽簡介	1
(一) 競賽目的	1
(二) 命題方式	1
(三) 評審方式	1
(四) 獎勵方式	2
二、報名須知	4
(一) 報名日期	4
(二) 報名資格	4
(三) 報名方式	4
(四) 報名類別及組別	4
(五) 承辦單位聯絡處	4
三、競賽日程及要點	5
(一) 初賽賽程表	5
(二) 決賽賽程表 (※暫定，以競賽網頁之最新公告為主)	5
(三) 競賽說明	6
(四) 題目公佈與題意諮詢	6
(五) 問題諮詢與問題排除	7
(六) 繳交設計結果	9
(七) 試場規則	11
(八) 其他注意事項	12
四、軟硬體說明	13
(一) 設計環境	13
(二) 製程資料及標準元件庫	13
貳、TSRI 地圖及住宿須知	16
一、建議交通路線	16
(一) TSRI 位置圖	16
(二) 台鐵火車站至科學園區公車路線	17
(三) 高鐵接駁巴士	18
二、住宿及接駁車注意事項	19
(一) 住宿須知	19
(二) 搭乘接駁車須知	19
附件一	20
附件二	22

壹、競賽事宜

一、競賽簡介

(一) 競賽目的

在政府積極有效的獎勵和督導政策下，我國的積體電路工業蓬勃發展，我國積體電路工業目前以晶圓的製造、IC設計與封裝測試為主，其中以晶圓製造產值最高。從2016年起，行政院投入經費進一步推動「五加二創新產業計畫」，發展包括亞洲矽谷、智慧機械、綠能科技、生技醫藥、國防航太等五大創新產業，再加上新農業與循環經濟，通盤考慮電子科技的應用面與產業面，進行電子產業技術深化計畫，期望以電子產業鏈優勢為基礎來培育系統/軟硬體整合/跨領域/創新應用等人才，作為臺灣下世代產業的核心，期望帶動產業轉型與升級，開拓新興藍海市場。有鑑於此，資訊及科技教育司除持續加強推動超大型積體電路與系統設計前瞻性之教育整合與規劃，從八十六學年度開始至今已歷時20餘年，今年將持續舉辦大學校院積體電路設計競賽，以鼓勵大學校院學生從事積體電路設計，培養實際設計能力，增進學生興趣，培育更多積體電路設計的人才。

(二) 命題方式

初賽及決賽皆由承辦單位組成命題委員會命題，並於比賽當天公佈比賽題目，歷屆考題在競賽網頁上可下載。

競賽網站：<https://www.iccontest2023.com.tw/>

(三) 評審方式

初賽：

1. 將依報名該組之隊伍數及初賽整體表現，由評審委員與主辦單位共同決定最後入選決賽之隊伍數量(N)。
2. 若符合設計規格之隊伍數小於N隊，則全數錄取，不足額部份再依設計規格完成度遞增錄取。(不論參賽者是否完成電路設計，敬請務必於競賽時間截止前繳交上傳)
3. 若符合規格之隊伍數大於N隊，則將依題目內規定評分方式進行評分，若題目未規定評分方式，則依各隊繳交時間順序，先行繳交者優先錄取。

決賽：

1. 分類分組個別評選優勝隊伍。
2. 主辦單位將對參賽設計進行相關驗證，是否通過驗證將以主辦單位之執行結果為準，而執行結果取得之數據將做為評分依據。
3. 以完成設計規格為要件，將依評分結果擇優錄取，題目未規定評分方式者，則依傳送時間之先後順序擇優錄取至額滿為止。若錄取不足額，則依設計完整度，擇優錄取未完成隊伍遞補。因此未完成設計者，亦可傳送檔案。(其他規定請參閱題目說明)

4. 決賽評分標準：各組之設計結果將分開評比，評分項目含效能、面積、功率、完成度等，評比的標準實際項目將詳列於試題中。

(四) 獎勵方式

1. 預定取特優、優等、佳作、設計完成獎，由決賽審查會議決定，得獎之隊數得視實際比賽成績狀況調整（得獎隊伍以比率不超過參賽隊伍 10%原則），但以不超過獎金總額為限，必要時得從缺，並得將名額移至他組。
2. 原則上獎勵內容如下：

獎項	學生/每人	指導老師
特優	教育部中英文獎狀一紙 每隊參萬元獎金	教育部中英文獎狀一紙
優等	教育部中英文獎狀一紙 每隊貳萬元獎金	教育部中英文獎狀一紙
佳作	教育部中英文獎狀一紙 每隊壹萬元獎金	教育部中英文獎狀一紙
設計完成獎	教育部計畫推動總聯盟 獎狀一紙 每隊伍仟元獎金	教育部計畫推動總聯盟 獎狀一紙
決賽入選證明	主辦單位 中文證明一紙	-

※最後獎勵方式以教育部核定為主。

3. 請特別注意發給之獎金應依規定須扣繳 10% 之所得稅。
4. 進入決賽者，由主辦單位發給學生每人決賽入選中文證明一紙。

入選決賽之認定，除了初賽作品評分達到標準以外，亦包含參與決賽比賽，因此決賽入選證明須由參賽學生本人至決賽會場報到後領取，不得由他人(包含同隊隊友)代領，未領取者視同放棄，競賽小組亦不再補發。

二、報名須知

(一) 報名日期

自112年2月13日上午10時至112年3月10日下午11時59分止。

(二) 報名資格

1. 大學院校在學學生，在老師指導下，組隊報名參賽。
2. 大學類參賽者須為大學部學生，研究所類參賽者限博士班二年級(含)以下的研究生，大學/研究所類則限博士班二年級(含)以下的研究生及大學生；所有參賽研究生與大學生須為全職學生，並嚴格限制不可為在外有和IC設計相關之全職工作(full time)或在職進修，一經查證有以上事證，則公開取消資格。
3. 以往參加本競賽曾得到特優者，不得再報名同一類組比賽(但可報名其他類組參加比賽)。

(三) 報名方式

1. 報名隊伍由指導老師一位、學生一至兩位組成(可跨系跨校)。
2. 指導老師所推薦參賽隊伍數不限，但每人每隊僅能報名一組。
3. 參賽隊伍應於112年3月10日前填妥報名表(採線上報名：請至網頁<https://www.iccontest2023.com.tw/>報名，並將切結書列印，然後掃描或拍照(須可清楚辨識)成電子檔，再利用線上報名系統之上傳切結書功能，於3月17日前上傳。若重複上傳檔案，則以最後上傳版本為準。(提醒：指導教授應親筆簽名或蓋章。)
4. 決賽參賽隊伍如有隊員異動(只准刪減，不得增加)，須於決賽一週前，由隊長擬具申請書及切結書，向主辦單位提出申請。

※凡報名參賽但未實際參賽之隊伍需事後追繳行政作業及機器場地租借費用兩千元整。

(四) 報名類別及組別

本項競賽共分為三類五組

研究所類：(A組)全客戶設計、(B組)標準元件數位電路設計

研究所/大學類：(C組)類比電路設計

大學類：(D組)全客戶設計、(E組)標準元件數位電路設計

(五) 承辦單位聯絡處

地址：106335 臺北市大安區基隆路四段43號 國立臺灣科技大學電子工程系

聯絡人：蕭小姐

電話：(02)2733-3141 分機：3264

E-mail：iccontest118@gmail.com

三、競賽日程及要點

(一) 初賽賽程表

地點：各學校實驗室

時間／地點	類別	競賽組別
時間 03 月 29 日（三） 08:30~20:30	研究所類	A 組全客戶設計 B 組標準元件數位電路設計
	大學/研究所類	C 組類比電路設計
	大學類	D 組全客戶設計 E 組標準元件數位電路設計

(二) 決賽賽程表（※暫定，以競賽網頁之最新公告為主）

地點：台灣半導體研究中心(新竹 TSRI)

時間	類別	競賽組別
05 月 03 日（三）08:30~20:30	研究所	B 組標準元件數位電路設計
05 月 04 日（四）08:30~20:30	研究所	A 組全客戶設計
	大學/研究所類	C 組類比電路設計
05 月 05 日（五）08:30~20:30	大學類	D 組全客戶設計
	大學類	E 組標準元件數位電路設計

1. 標準元件數位電路設計：

由主辦單位提供指定題目、設計規格及相對應之測試向量，參賽者在限定時間內利用標準元件數位電路設計方式完成符合規格之晶片設計。研究所組初賽時僅需完成邏輯閘層次設計（Gate Level Design），決賽時則需完成實體階層設計（Physical Design）。大學部組則初賽與決賽皆僅需完成邏輯閘層次設計。

2. 全客戶設計：

由主辦單位提供指定題目及設計規格，參賽者在限定時間內利用全客戶式設計方式完成符合規格之電路及其相關之佈局與佈局設計之驗證。

3. 類比電路設計：

由主辦單位提供指定題目、設計規格，參賽者在限定時間內利用指定單位所提供之技術檔案完成符合規格之晶片設計（包含pre-simulation、layout、DRC、LVS、post-simulation）。

(三) 競賽說明

- 1.各組別競賽時間均為上午 8 點 30 分至下午 8 點 30 分。初賽無須報到，於比賽時間內上傳作品至規定之 FTP 伺服器即視同完成競賽。決賽則採現場報到，競賽當天請依規定時間內辦理報到。
- 2.初賽各參賽者於時間內至所選定的地點利用 HTTP 或 FTP 讀取題目、完成電路設計，並將結果傳送至指定的檔案傳送點。
- 3.初賽各參賽者需於比賽截止時間前將設計檔案傳送至所設立的檔案傳送點，各組交件時間以最後一個檔案上傳時的時間為準。
- 4.預定於四月十八日(暫定)公佈決賽名單於活動網站上。
- 5.決賽隊伍如遠道者，則由主辦單位提供住宿地點並補助部分住宿費用。住宿之名額有限，無法全數供應時，以較遠道者優先。
- 6.決賽當日提供中餐及晚餐便當，並提供飲用水。
- 7.五月三十日(暫定)決賽成績寄發，七月二十五日(暫定)由教育部公佈名次。
- 8.初賽與決賽皆以設計規格及完成度評比成績（各分項計分詳見題目中說明），成績相同時以完成時間較早者獲得較佳之名次。
- 9.主辦單位將依最後進入決賽之隊伍數，視實際情況需要調整決賽賽程，關於賽程之最新消息公告，請密切注意網站或競賽臉書專頁之訊息。

(四) 題目公佈與題意諮詢

初賽：

- 1.本屆競賽之題目將經由網路公佈。為考慮便利性與效率，各組之題目請於比賽當天8時30分起至網頁<http://icc.tsri.org.tw/ICC2023/>抓取，或是利用ftp取回，ftp網址如下：

新竹半導體中心：iccftp.tsri.org.tw (140.126.24.18)

EDA Cloud：請參照登入後，開啟終端機介面後的文字提醒

※以網頁抓取題目為 zip 檔，使用 winrar 或是 winzip、7-zip 等解壓縮程式解開。

以 FTP 方式抓取題目或使用 FTP 軟體下載方式其動作如下。

FTP 連線的帳號及密碼皆為：icc2023

題目放置的目錄位置為：

研究所全客戶設計組：grad_full
研究所標準元件數位電路設計組：grad_cell
研究所/大學類比電路設計組：grad_analog
大學全客戶設計組：univ_full
大學標準元件數位電路設計組：univ_cell

每個目錄中均有一個壓縮檔，取回後.tar.gz 檔請利用 gzip 及 tar 指令解開。
終端機方式連線至 FTP 其取回檔案的指令為

```
ftp ftp_address
username: icc2023
passwd: icc2023
ftp> cd 組別目錄 (grad_cell, grad_full, univ_full, grad_analog)
ftp> bin
ftp> get spec.tar.gz
ftp> quit
gzip spec.tar.gz
tar -xvf spec.tar
```

請參考解開後之說明檔案 README。各組題目格式為 PDF 檔，請利用 Acrobat Reader 讀取內容。

2. 如對題目的取得有任何疑問，請和各FTP Site協助人員聯絡。
3. 初賽當天請密切注意TSRI與競賽網站之最新公告。

決賽：

比賽題目於競賽當天公佈。

(五) 問題諮詢與問題排除：

初賽：

1. 比賽進行期間，請各參賽者自行控制檔案的備份、管理。工作站、硬碟毀損等因素不得作時間延遲之理由。如遇上述情形，請參賽者另覓設備繼續比賽。
2. 除網路問題外，比賽當天主辦單位將不提供任何設計軟體、製程參數、環境等相關問題之諮詢服務，請各參賽者於賽前熟悉各項相關資料。
3. 如遇網路問題，可聯絡主辦單位協助查詢問題之來源，若屬校內網路問題，請聯絡校內相關人員解決。
4. 如有軟體 license check 問題時，請依下列步驟檢查：
 - (1) 執行 **ping server_host_name** (server_host_name 表示某台 license server 之名稱，如 lscic)

- I. 若出現 unknown host server_host_name，表示工作站/etc/hosts 未設定，請聯絡貴校實驗室管理人設定。
 - II. 若執行指令後等待很久仍沒有回應，表示網路有問題，請聯絡貴校實驗室管理人修復。
- (2) 執行 **lmstat -a -c port@server_host_name** (port@server_host_name 表示該軟體使用之 license port 及 license server host name，如 5280@lshc)
- I. 若出現 lmstat : command not found，表示未 source 軟體環境，請 source 該軟體之環境設定檔 (*.csh 或 *.cshrc)
 - II. 若出現類似下列之敘述：
 lscic: license server UP (MASTER) v10.8
 Vendor daemon status
 cdsimd: UP v10.b
 Feature usage info:
 Users of xxx: (Total of xx license issued; Total of x license in use)

 表示 license daemon 正常運作，應該是個人環境未設定完成，執行 **echo \$SLM_LICENSE_FILE** 檢查環境變數 LM_LICENSE_FILE，看是否已把 port@server_host_name 加入此環境變數，若無，請自行加入
 - III. 若所需求之 license feature 出現類似下列之敘述：
 User of Laker_L3 (Total of 75 license issued; Total of 75 licenses in use)
 表示該 server 上之 license 都已用完，請換另一台試試。
 - IV. 若出現 Error getting status: Cannot connect to license server system，表示該 license server daemon 有問題，請使用 TSRI「客戶諮詢系統」(網址：https://www.tsri.org.tw/soc/csr_new.jsp)提出 License 問題。
- (3) 若以上檢查皆無問題，可能是 IP 尚未申請，請申請此工作站 IP，或聯絡 TSRI 確定 IP 有無申請。
- (4) 初賽時如對試題內容有任何問題時，請和承辦單位聯絡反應。承辦單位聯絡人員：

承辦單位	姓名	聯絡電話
臺灣科技大學	蕭小姐	(02)2733-3141 #3264

- (5) 如在題目或設計結果傳送時有任何問題時，請和各處 FTP site 之協助人員聯絡反應。各處 FTP site 之聯絡人員：

地點	姓名	聯絡電話	電子郵件地址
半導體中心(新竹)	李宗盈	03-5773693-7183	tylee@tsri.narl.org.tw

決賽：

1. 比賽進行期間，請各參賽者自行控制檔案的備份、管理。工作站、硬碟毀損等因素不得作為時間延遲之理由。如遇上述情形，主辦單位將另覓設備繼續比賽。
2. 除軟硬體問題外，比賽當天主辦單位將不提供任何製程參數、環境等相關問題之諮

詢服務，請各參賽者於賽前熟悉各項相關資料。

(六) 繳交設計結果

初賽：

1. 檔案傳送時間：

比賽當天自 8 時 30 分起至 20 時 30 分止為比賽資料繳交時段，於此段時間內，各組繳件時間以最後一個檔案上傳時的時間為準。

2. 繳交方法：

請將題目中要求繳交之檔案以 tar 打包成單一檔案，再上傳至以下 ftp 站

tar 使用方法：tar cvf target.tar file1 file2 file3

假設題目要求繳交 a.spi, a.gds, a.drc, a.lvs 4 個檔，欲打包成 a.00.tar，則指令為
unix% tar cvf a.00.tar a.spi a.gds a.drc a.lvs

繳交那些檔案依題目內所要求，若題目中有說明如何打包繳交檔案，亦以題目中說明為主。

3. 傳送地點：

各組的設計結果請自行於比賽時間內，自行選擇一處網址傳送設計結果。傳送的 ftp 位址為：

半導體中心(新竹)：iccfpt.tsri.org.tw(140.126.24.18)

EDA Cloud：請參照登入後，開啟終端機介面後的文字提醒

檔案傳送的帳號、密碼及傳送的目錄等相關訊息，請參考比賽日期前所寄發的 email 通知。若於比賽三天前仍未收到 email，請速與主辦單位連絡。

4. 檔案更新異動：

- (1) 因參賽者使用參賽帳號做檔案上傳與更新，為避免檔案遭到破壞，所有檔案均無法更動或刪除，也不能自 FTP site 取回。
- (2) 各項設計資料檔如需更新時，請另取新的檔名傳送，比如第一次繳交檔名為 a.00.tar, a.01.tar 則為新更新版本，依此類推，評分審查時，以最新版本為主。
- (3) 請注意，若比賽是以繳交時間作為評分依據，亦以最新版本之繳交時間為依據，如您原本之版本已是正確結果，請勿再上傳，以免影響您的權益。
- (4) 為確保 ftp 網路傳送之正確性，ftp site 提供 MD5 檔案檢查機制，請自行檢查上傳檔之 MD5 校驗碼，MD5 使用方法請參閱附件一。
- (5) 避免因傳輸過程出現錯誤，請將檔案傳送至 2 台 FTP site，各放置一份並檢查其檔案大小是否正確。
- (6) 對於檔案更新之評分方法，若題目中有說明，則以題目中說明為主。

5. 如因不可抗拒之因素（如校園對外網路中斷）致無法傳送檔案者，可自行將資料燒

錄至 CD-ROM 及各項資料以快遞寄至主辦單位，惟時間將以郵戳為準，逾時者將不予計分。

決賽：

1. 檔案傳送時間：

- (1) 比賽時間為 8 時 30 分起至 20 時 30 分止為比賽資料繳交時段，於此段時間內傳送檔案完畢者，檔案傳送的時間先後不影響成績。
- (2) 各參賽者需於比賽截止時間前將設計檔案傳送至所設立的檔案傳送點。各組交件時間以最後一個檔案上傳時的時間為準。

2. 繳交方法：

檔案繳交方法為在各組自己的 home directory 建立一名稱為 result 之目錄，然後將題目所要求繳交之檔案複製到 result 目錄中。

(1) 在 home directory 建立 result 目錄：

```
unix>mkdir ~/result
```

(2) 將題目要求檔案複製到 result 目錄：

```
unix>cp a.spi ~/result
```

```
unix>cp a.gds ~/result
```

```
unix>cp a.drc ~/result
```

.....

為避免主辦單位驗證結果時的困擾，所有電路之輸出、輸入及電源等接腳須與題目指定之名稱相同。

3. 檔案更新異動：

自行更新 result 目錄內之檔案，並確保 result 僅存在一版本。

4. 本年度競賽之設計資料傳送截止時間並未有緩衝扣分時段，請自行斟酌時間，儘早傳送檔案，如未設計完整，亦可傳送檔案。

(七) 試場規則

1. 參賽者於競賽期間需攜帶學生證依規定簽到(學生證需蓋有 111 學年度下學期註冊章，如學生證上無註冊章，請攜帶在學證明文件)，以便辦理報到及配合監試人員檢查參賽資格以保障自身權益。
2. 參賽各組可自行攜帶所需之各種書面參考資料，惟競賽期間，除同組組員外，不得與其他人員討論設計競賽相關的內容以及傳遞任何文件及書籍等資料；為維持競賽公平性，同組組員只能於競賽地點討論，一出競賽地點嚴禁討論。
3. 競賽全程中，嚴禁接聽/撥打行動電話。
4. 嚴禁攜帶手提電腦入場及使用相關電子產品。

5. 競賽過程中，除連結內部網路外，禁止上網，如有發現連外情形，取消參賽資格。
6. 如競賽中有身體不適者，請務必儘速通報監試人員。
7. 競賽中有任何疑問，請依照參賽手冊指示告知各相關負責人員。
8. 任何與設計相關之違規事項(如與他人討論比賽內容)，取消比賽資格。與設計不相關之違規事項，如使用手機等，每次違規扣總分 10 %。
9. 午餐、晚餐之用餐，分兩梯次，每次每組一位同學用餐，請自行分配，用餐時間到請至外面服務處領取便當，統一帶至用餐地點，於用餐時間完畢後由人員統一帶回比賽會場。
10. 嚴禁於比賽場地內飲食(含水)，如有需要請告工作人員至場外飲食。
11. 如需上洗手間，請告知工作人員，為求比賽公正，避免舞弊，同一時間只開放一位，另外請於離開競賽會場時將手機正面朝下放置桌上，敬請配合。

(八) 其他注意事項

1. 得獎作品隊伍之隊數及獎項，視各組隊數與作品優良情形議定，必要時可從缺、調整或增加，但以不超過獎金總額及獎項總額為限。
2. 推薦單位須確保參賽作品為學生所作，若經人檢舉或告發為他人代勞，且有具體事實者，取消其參賽資格並追究行政責任。
3. 本競賽嚴格禁止抄襲狀況發生，並有強大科技軟體可準確辨識出抄襲狀況。如有相關大學、業界公司諮詢，主辦單位必要時得提供出現抄襲的參賽學生相關資訊。各參賽報名隊伍可參考附件二抄襲狀況說明。
4. 得獎隊伍必須授權主辦單位與承辦單位得將其作品簡介與評審委員之評語，編印成冊，並放置在競賽網站內。
5. 得獎隊伍應接受邀請出席頒獎典禮。
6. 參加隊伍應尊重評選委員會之決議，除非能具體證明其他作品違反本辦法相關規定，不得有其他異議。
7. 若參賽隊伍有任何破壞競賽秩序的行為發生時，主辦單位可以取消參賽隊伍的參賽資格。
8. 如有各項異動或通知，主辦單位將透過 email 通知，請各參賽人員隨時留意 email 帳號的訊息。
9. 本辦法如有未盡事宜，得隨時修正之，並公告於網站，不另行通知。

四、軟硬體說明

(一) 設計環境

初賽：

1. 運算平台：為避免因各校運算平台優劣不同而影響競賽公平性，本項競賽的題目將儘量著重於設計觀念與流程，減少程式執行的等候時間。惟限於各項輔助設計軟體之基本需求，各參賽者所使用之工作站或個人電腦建議採用穩定高效率的機種。
 - ◆ Linux 工作站之系統主記憶體建議使用 512 MB 以上，並保留 1 GB 以上 SWAP 空間；
 - ◆ 個人電腦之系統主記憶體建議使用 4 GB 以上，並保留 4 GB 以上 SWAP 空間；
 - ◆ 全客戶設計組及類比電路設計組硬碟空間建議至少預留 100 MB 以上；
 - ◆ 標準元件數位電路設計組參賽者硬碟空間建議至少預留 200MB 以上；
 - ◆ Linux 工作站之作業系統建議採用 Red Hat Enterprise 5 or Centos 6.8；
 - ◆ 個人電腦之作業系統需採用 Microsoft Window 10 以上。
2. 設計軟硬體：競賽所需之設計軟硬體依參加組別不同而有所差異。競賽時不限定使用如下所列之軟硬體及其版本，惟驗證評分時，係以下方所列軟硬體及版本為驗證依據，參賽者不得要求以所用軟硬體環境進行驗證。

標準元件數位電路設計（含研究所及大學類）：

- ◆ 硬體描述語言：Verilog、VHDL、System Verilog
- ◆ Lint 工具：Synopsys™ SpyGlass(2021.09)
- ◆ 電路模擬：Cadence™ NC-Verilog (INCISIVE_15.20.039)、XCELIUM (22.09.005)、Siemens EDA™ ModelSim (2019.4)、QuestaSim (2019.4)、Synopsys™ VCS(2021.09)
- ◆ 電路除錯：Synopsys™ Verdi(2020.12-sp2)、Cadence™ Verisium (22.10.071)
- ◆ 電路合成：Synopsys™ Design Compiler (2019.12)
- ◆ 標準元件數位電路程式庫：Cell-Based Design Kit for IC Contest v2.5

全客戶設計（含研究所及大學類）及類比電路設計組：

- ◆ 電路設計：Cadence™ Composer (IC618)、Synopsys™ CustomCompiler (2020.12-sp1)
- ◆ 電路模擬：Synopsys™ HSPICE (2020.12-sp2)
- ◆ 波形顯示：Synopsys™ CustomExplorer(2020.03)、CosmosScope(2019.06)
- ◆ 佈局設計：Cadence™ Virtuoso (IC618)、Synopsys™ Laker (2020.06)
- ◆ 佈局驗證及電路萃取：Siemens EDA™ Calibre (2016.4_15.11)、Synopsys™ IC Validator (2020.09-sp3-3)

3. 其他軟體：競賽題目將採用 PDF 格式，為便於閱讀內容，請事先備妥 PDF 檔案開啟程式 Adobe Reader v7.0 以上。程式下載網址如下：

<http://www.adobe.com/downloads/>

4. 注意事項：

- ◆ 為求比賽順利，請於賽前確認運算平台（如作業系統、硬碟空間等）之可用性。
- ◆ 為求比賽順利，請於賽前確認設計軟硬體之可用性及版本，並評估使用套數是否足夠。有任何設計軟硬體安裝或使用上之問題，歡迎使用 TSRI「客戶諮詢系統」（網址：https://www.tsri.org.tw/soc/csr_new.jsp）。
- ◆ 由於大部分設計軟體採 floating license 控管方式，軟體啟動前會透過網路連線至 license server 取得 license。為確保比賽時設計軟體能正常啟動，請確認比賽當天校園網路的通暢性（含校園內部及對外網路等）以及校園電力的供應情形。如有問題、請另尋比賽地點。
- ◆ 比賽當天為保持比賽之公平性，TSRI「客戶諮詢系統」除軟體 License 問題外，將不回覆任何軟體使用或設計方法等相關問題。

決賽：

1. 運算平台：利用個人電腦做為平台，其硬體配備如下：

- ◆ Intel Core i7-3770 3.4 GHz CPU
- ◆ 24 GB 主記憶體
- ◆ 作業系統為 Centos 6.8 或其他 linux 版本
- ◆ 每組可用的硬碟空間上限 1GB
- ◆ 無對外連線

每組限定每個軟體同一時間只能開啟一套

2. 設計軟硬體：

標準元件數位電路設計（含研究所及大學類）：

- ◆ 硬體描述語言：Verilog、VHDL、System Verilog
- ◆ Lint 工具：Synopsys SpyGlass(2021.09)
- ◆ 電路模擬：Cadence NC-Verilog (INCISIVE_15.20.039)、XCELIUM (22.09.005)、Siemens EDA ModelSim(2019.4)、QuestaSim(2019.4)、Synopsys VCS(2021.09)
- ◆ 電路除錯：Synopsys Verdi(2020.12-sp2)、Cadence Verisium (22.10.071)
- ◆ 電路合成：Synopsys Design Compiler (2019.12)
- ◆ 功率分析：Synopsys PrimeTime (2017.12)
- ◆ 電路佈局：Cadence Innovus (20.10.000)、Synopsys IC Compiler (2015)、IC Compiler II(2020.09-SP3)
- ◆ 標準元件數位電路程式庫：Cell-Based Design Kit for IC Contest v2.5
- ◆ 佈局驗證：Siemens EDA Calibre (2016.4_15.11)、Synopsys IC Validator (2020.09-sp3-3)

全客戶設計（含研究所及大學類）及類比電路設計組：

◆ 與初賽相同。

(二) 製程資料及標準元件庫

初賽：

1. 製程資料：

研究所類全客戶設計、大學類全客戶設計及類比電路設計等三組將會使用 TSRI 虛擬製程 (Virtual 製程)，上述組別參賽者請務必於**競賽前至 TSRI 網頁** (https://www.tsri.org.tw/fab_services/index.jsp?menu=apply)申請本年度 TSRI 虛擬製程資料使用權限。

為確保參賽者虛擬製程資料版本一致性，本次比賽限定使用製程資料版本如下所列，請於賽前下載此版本之虛擬製程資料，TSRI 亦將以此版本為驗證之標準。

製程檔案	版本
Hspice model card	1.3
Calibre DRC/LVS/RCE command file	1.1
Virtuoso technology file	1.0
Laker technology file	1.0
LakerOA technology file	1.1
CustomCompiler file	1.0
IC Validator DRC/LVS/RCE command file	1.0
VirtuosoOA technology file	1.1

文件名稱	版本
CIC-CIS-2005-TR01_VP1	1.0
CIC-CIS-2005-TR01_VP2	1.0
CIC-CIS-2005-TR01_VP3	1.0

※版本以 TSRI 網頁之最新公告為主

TSRI 從收到書面保密切結書後處理製程申請約需 3 個工作天，請事先申請並完成資料下載。如有虛擬製程資料申請及使用相關問題，請聯絡 TSRI，聯絡窗口如下：

製程使用

彭昱崢課長

TEL: (03) 577-3693 ext.7132

E-Mail: kangchu@narlabs.org.tw

製程申請

張惠禎小姐

TEL: (03) 577-3693 ext.7174

E-Mail: process@narlabs.org.tw

2. 標準元件庫：

標準元件數位電路設計組使用 Cell-Based Design Kit for IC Contest 作為標準元件資料庫。Cell-based Design Kit for IC Contest 申請方式比照一般軟體申請流程申請，且

不需事先申請製程資料。TSRI 從收到書面資料回傳後處理申請程序約需 3 個工作天。

本次競賽使用之標準元件資料庫版本為 Cell-Based Design Kit for IC Contest v2.5，TSRI 將以此版本作為驗證標準。如有 Cell-Based Design Kit 申請或使用上之問題，歡迎使用 TSRI「客戶諮詢系統」(網址：https://www.tsri.org.tw/soc/csr_new.jsp)。

決賽：

製程資料與標準元件庫部分均與初賽相同。

貳、TSRI 地圖及住宿須知

一、建議交通路線

(一) TSRI 位置圖



新竹中心

· 地址:

新竹市科學園區展業一路26號

TEL: 03-5726-100 FAX: 03-5713-403

· 公車資訊

新竹客運1路公車：10~15分鐘一班 新竹火車站
→(1路公車，約30分鐘)→過溝→TSRI (步行
1.2Km經大學路51巷及展業一路，約16分鐘)

新竹火車站→(1路公車，約27分鐘)→清大站
→(步行約5分鐘)→文教新城→(學區巴士紅線，
平日限定)→緯創資通→(步行經展業二路及展業
一路，5分鐘)→TSRI

新竹火車站→(1路公車，約30分鐘)→過溝→(步
行1分鐘)→經濟部專研中心(學區巴士紅線，平
日限定)→緯創資通→TSRI (步行經展業二路及展
業一路，5分鐘)

新竹客運2路公車：詳見[新竹客運時刻表](#)

新竹火車站→(2路公車，約30分鐘)→交大光復校
區→TSRI (校內步行1km，約10分鐘)

新竹火車站→(2路公車，約30分鐘)→神學院
→TSRI (步行經大學路51巷及展業一路，約10分
鐘)

· 計程車資訊

光復路上加油站至TSRI，車資約100-150元

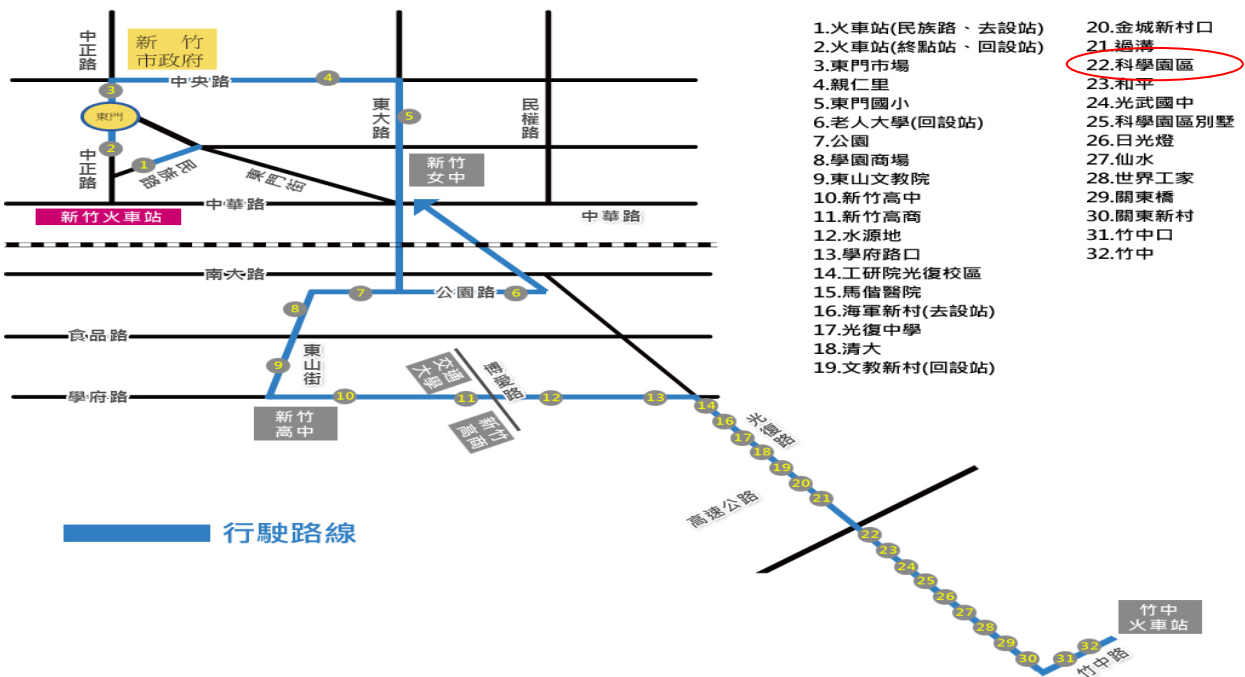
新竹火車站至TSRI，車資約200元

高鐵新竹站至TSRI，車資約250元

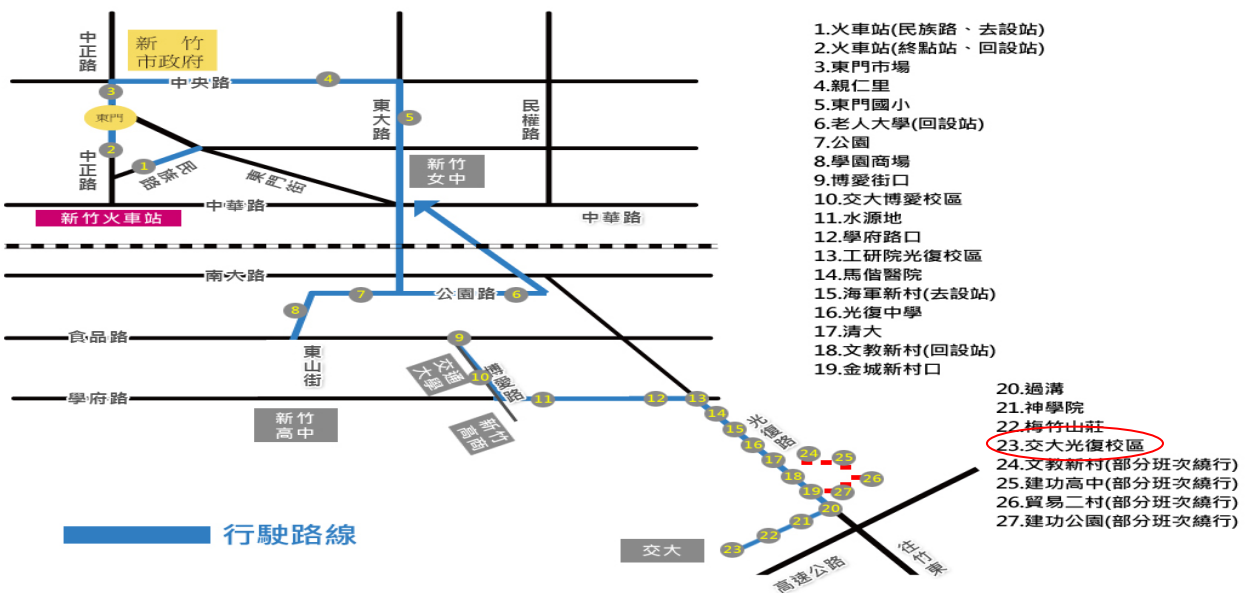
位置圖網址: <https://www.tsri.org.tw/portal/aboutus/location.jsp>

(二) 台鐵火車站至科學園區公車路線

1路市區公車 火車站 > 竹中 > 火車站 行駛路線圖



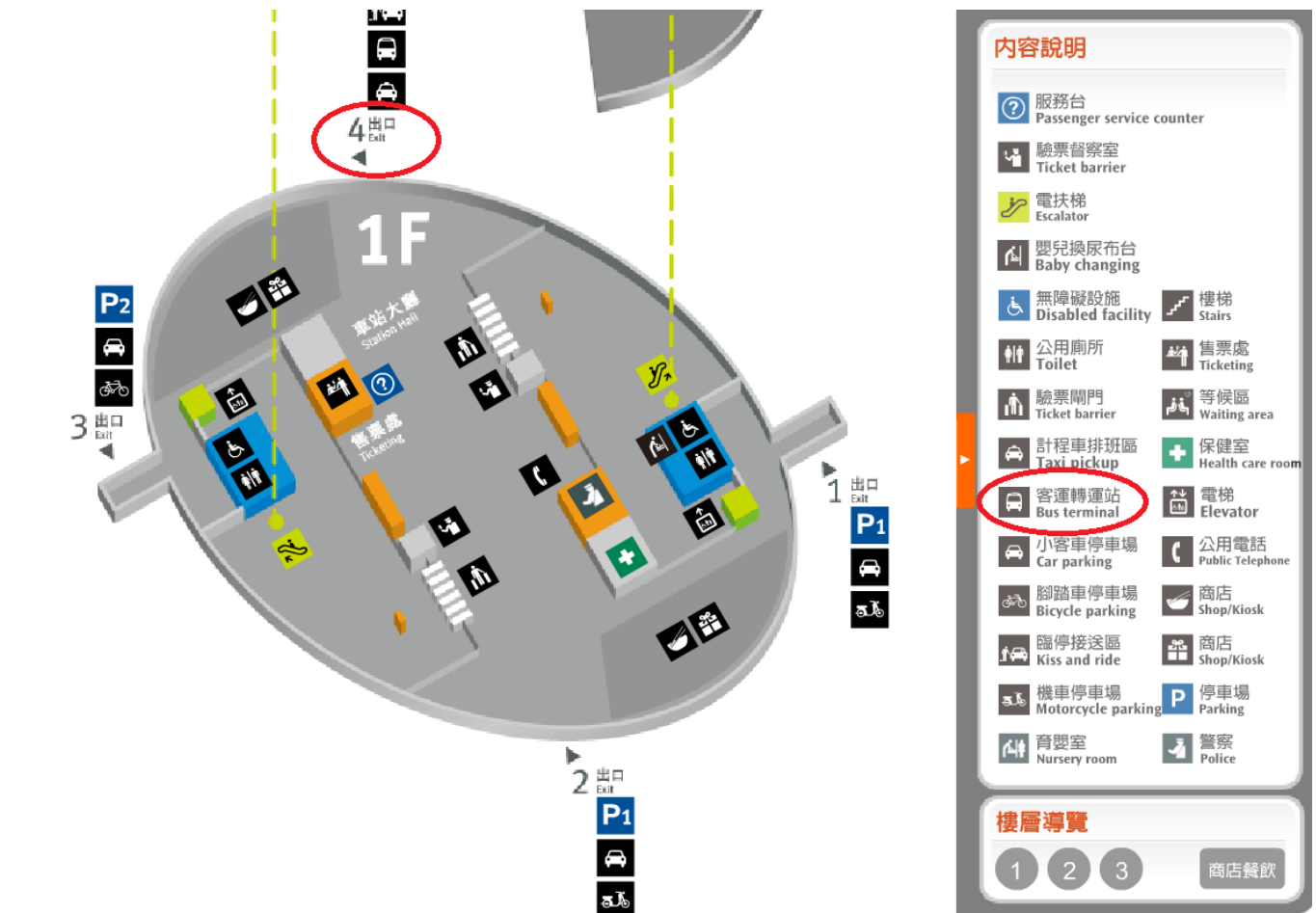
2路市區公車 火車站 > 交大 行駛路線圖



位置圖網址: <http://www.hcbus.com.tw/big5/information-2.asp>

(三) 高鐵接駁巴士

由 4 號出口搭乘科學園區巡迴巴士



位置圖網址:

<http://www.thsrc.com.tw/tw/StationInfo/prospect/a7a04c89-900b-4798-95a3-c01c455622f4>

二、住宿及接駁車注意事項

(一) 住宿須知 (暫定，實際情況將於初賽結束後由競賽網頁公告)

1. 本次競賽僅提供遠道參賽者於參賽前一日住宿。
2. 住宿報到地點：請攜帶學生證於飯店櫃檯簽到並領取房間鑰匙。
3. 退房及鑰匙繳回：請於競賽當日離開飯店時至飯店櫃檯簽退並繳回鑰匙。
4. 競賽工作人員將於競賽當天早上六點半統一電話通知起床。
5. 住宿期間請遵守飯店之住宿規定。

(二) 搭乘接駁車須知 (暫定，實際情況將於初賽結束後由競賽網頁公告)

1. 主辦單位提供飯店至決賽會場、決賽會場至高鐵/台鐵車站接駁車，欲搭乘者須事先登記申請乘車券，並敬請依乘車券上時間搭車，逾時不候。未申請乘車券者可排後補，但不保證有車可乘。

※以上未盡之事宜，大會將隨時增列並公告於競賽網頁上。

如何產生 MD5 校驗碼

本次初賽提供 MD5 檔案檢查機制，使用方式如下：

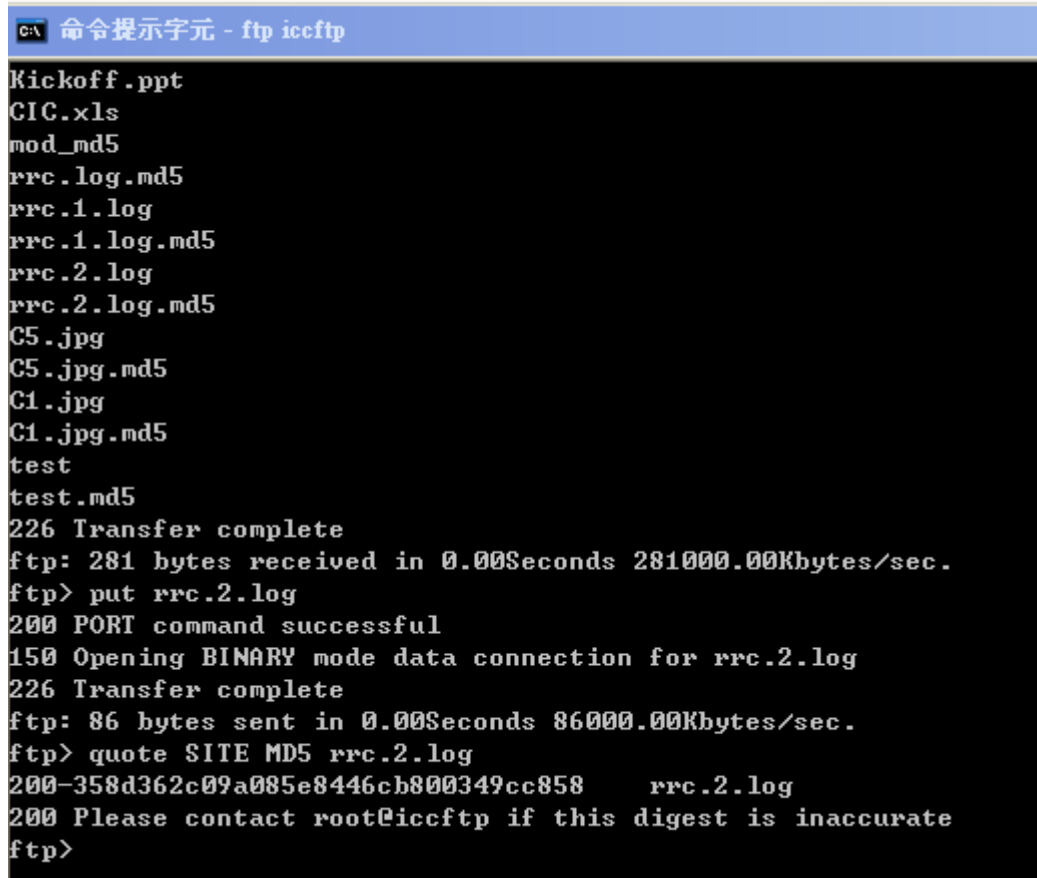
1. 當您上傳完檔案後，可在 FTP 伺服器鍵入”quote SITE MD5 你上傳的檔案名稱”以產生 MD5 校驗碼

例如：ftp> quote SITE MD5 rrc.2.log

200- 358d362c09a085e8446cb800349cc858 rrc.2.log

200 Please contact root@iccftp if this digest is inaccurate

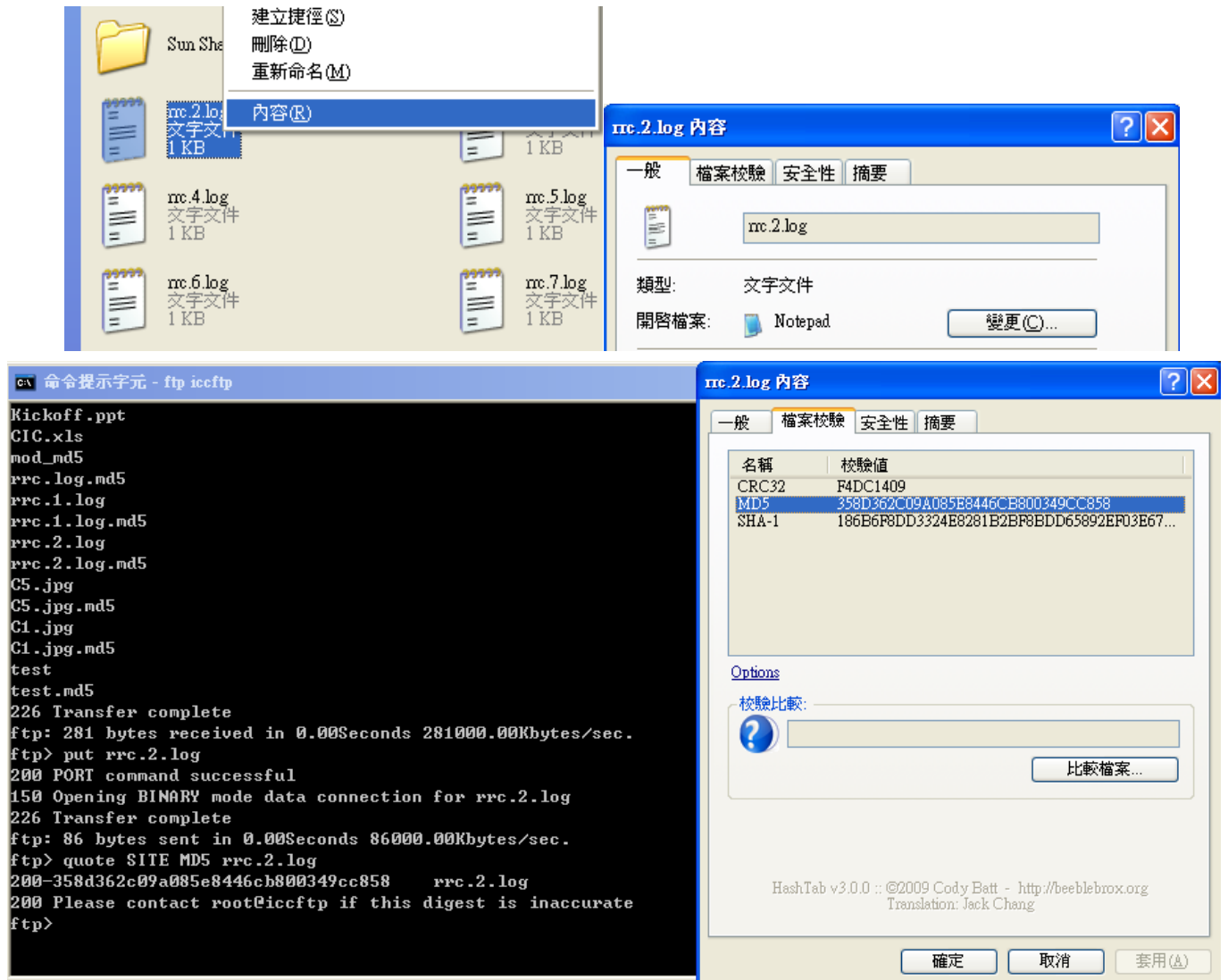
在 200-後的字碼便是校驗碼“358d362c09a085e8446cb800349cc858”及您的檔案名稱



```
C:\ 命令提示字元 - ftp iccftp
Kickoff.ppt
CIC.xls
mod_md5
rrc.log.md5
rrc.1.log
rrc.1.log.md5
rrc.2.log
rrc.2.log.md5
C5.jpg
C5.jpg.md5
C1.jpg
C1.jpg.md5
test
test.md5
226 Transfer complete
ftp: 281 bytes received in 0.00Seconds 281000.00Kbytes/sec.
ftp> put rrc.2.log
200 PORT command successful
150 Opening BINARY mode data connection for rrc.2.log
226 Transfer complete
ftp: 86 bytes sent in 0.00Seconds 86000.00Kbytes/sec.
ftp> quote SITE MD5 rrc.2.log
200-358d362c09a085e8446cb800349cc858      rrc.2.log
200 Please contact root@iccftp if this digest is inaccurate
ftp>
```

2. PC 或是工作站上使用相關的校驗軟體、指令檢查比對檔案是否正確

- A. PC 上使用軟體可利用 HashTab 或是其他檢查 MD5 軟體，以 HashTab 為例
- 請到網址 <https://hashtab.en.softonic.com/> 下載軟體及安裝
 - 安裝完成後，點選您要檢查的檔案，如下圖所示
 - 按下滑鼠右鍵，選”內容”，點選”檔案校驗”，即可看到 MD5 碼
 - 對上傳的檔案作 MD5 碼比對確認檔案是否完整



B. UNIX 或是 LINUX 可使用指令 md5sum 或 md5 來產生校驗碼

例如：md5sum 檔名

test:~> md5sum rrc.2.log

358d362c09a085e8446cb800349cc858 rrc.2.log

字碼“358d362c09a085e8446cb800349cc858”便是校驗值

p.s：如無 md5sum 或 md5 指令，請安裝相關套件或是 rpm 檔案

套件參考網：(一) <https://reurl.cc/4RmkML> (二) <https://reurl.cc/8GnrAy>

套件參考網：<http://www.gnu.org/software/coreutils/manual/coreutils.html#md5sum-invocation>

套件下載參考網址：<ftp://ftp.gnu.org/gnu/coreutils/>

案例一：原設計電路版本內容

```
always @(posedge clk) sort_rst <= sort_done | reset | CNT_valid;

always @(posedge clk) sort_done_1 <= sort_done;

always @(posedge clk or posedge reset) begin
    if (reset) sorting <= 'b0;
    else          sorting <= sorting | CNT_valid;
end

always @(posedge clk) begin
    if (CNT_valid | reset)          current_num <= 'd6;
    else if (sort_done) current_num <= current_num - 'b1;
end
```

以下全屬抄襲，約略修改，架構相同，排版對調，變數命名更換

```
wire  ordata = sort_ready | reset | CNT_valid;

always @(posedge clk) sort_rst <= ordata ;

always @(posedge clk) sort_ready_1 <= sort_ready;

always @(posedge clk) begin
    if (CNT_valid | reset)          current_num <= 'd6;
    else if (sort_ready) current_num <= current_num - 'b1;
end

always @(posedge clk or posedge reset) begin
    if (reset) sorting <= 'b0;
    else          sorting <= sorting | CNT_valid;
end
```


案例二：原設計電路版本內容

```
.SUBCKT XXX3 ENB CLK VDD VSS Q3
*.PININFO ENB:I CLK:I Q3:O VDD:B VSS:B
XI2 NET0 NET1 Q3 VDD VSS / NAND2 LP=180N WP=2U LN=180N WN=1U
XI1 NET0 NET2 NET3 VDD VSS / AND2 LP=180N WP=2U LN=180N WN=1U
XI3 CLK NET4 VDD VSS / INV LP=180N WP=2U LN=180N WN=1U
XIA1 NET4 NET5 NET6 NET7 ENB VDD VSS / DFFWRST1
XIA2 CLK NET8 NET5 NET0 ENB VDD VSS / DFFWRST1
XIA3 CLK NET3 NET8 NET2 ENB VDD VSS / DFFWRST1
...
```

以下全屬抄襲，**約略修改**，**架構相同**，**變數命名更換**，檔案大小相同

```
.SUBCKT XXX3 CLR CLK VDD VSS Y3
*.PININFO CLR:I CLK:I Y3:O VDD:B VSS:B
XI2 NET0 NET1 Y3 VDD VSS / NAND2 LP=180N WP=3U LN=180N WN=2U
XI1 NET0 NET2 NET3 VDD VSS / AND2 LP=180N WP=3U LN=180N WN=2U
XI3 CLK NET4 VDD VSS / INV LP=180N WP=3U LN=180N WN=1U
XIA1 NET4 NET5 NET6 NET7 CLR VDD VSS / DFFWRST1
XIA2 CLK NET8 NET5 NET0 CLR VDD VSS / DFFWRST1
XIA3 CLK NET3 NET8 NET2 CLR VDD VSS / DFFWRST1
...
```