

# ExamenT3.pdf



**donVito**



**Estructura de Computadores**



**2º Grado en Ingeniería Informática**



**Escuela Técnica Superior de Ingeniería Informática  
Universidad de Málaga**



Tu ordenador lo único que necesita  
programar es su jubilación.



**Stealth 15M**

El Stealth 15M es uno de los portátiles gaming más finos y ligeros. Siempre menos es más. Ve a donde quieras llevando siempre el máximo rendimiento.





Un ordenador con el que podrás jugar como mi ex jugó conmigo.



Para que el futuro nos sea más benevolente debemos empezar hoy a perseguirlo, creando para nosotros un camino que pueda llevarnos hacia el lugar donde queramos estar el día de mañana, aprovecha la serie Pulse GL76 y viaja al futuro.

#### Estructura de Computadores (2019-20, Grupo A)

Comenzado el	viernes, 20 de diciembre de 2019, 10:35
Estado	Finalizado
Finalizado en	viernes, 20 de diciembre de 2019, 11:22
Tiempo empleado	47 minutos 9 s
La puntuación	5,87/22,00
Calificación	2,67 de 10,00 (27%)

##### Pregunta 1

Correcta

Puntúa 1,00 sobre 1,00

✓ Marcar pregunta

El mecanismo de traducción básico de una dirección virtual a una dirección física se basa en la Tabla de Páginas.

Selecciona una:

☒ Verdadero ✓

☐ Falso

##### Pregunta 2

Parcialmente correcta

Puntúa 2,12 sobre 10,00

✓ Marcar pregunta

Queremos ejecutar el siguiente código en un procesador MIPS:

```
#1 loop: lw $3, $0(2)
#2     xor $1, $3, $4
#3     add $1, $1, $3
#4     sw $1, 100($2)
#5     addi $2, $2, 4
#6     j loop
```

Sabiendo que la instrucción #1 se almacena a partir de la dirección de memoria 0000100Ch. También sabemos que el bucle se ejecuta 10 veces. Queremos estudiar el comportamiento de la *caché de instrucciones*, que en este caso tiene un tamaño de 32 bytes. El tamaño de bloque es de 8 bytes, siendo la caché de instrucciones *asociativa por conjuntos de 2-vías por conjunto*, con reemplazo LRU. Responde a las siguientes cuestiones:

a) Indica para una referencia:

- Tamaño del campo que identifica el byte dentro de la palabra:  ✗ bits
- Tamaño del campo que identifica la palabra dentro del bloque:  ✗ bits
- Tamaño del campo que asigna el conjunto:  ✓ bits
- Tamaño del campo etiqueta (TAG):  ✓ bits

b) Para la primera iteración, muestra la secuencia de direcciones de memoria que se solicitan cuando se ejecuta el código, el conjunto al que iría cada referencia, y si es acierto o no:

Instrucción	Dirección MP	Conjunto (c)	Acierto / Fallo
-------------	--------------	--------------	-----------------

#1	0000100Ch	<input type="text" value="1"/> ✓ h	Fallo ✓
#2	<input type="text"/> ✗ h	<input type="text"/> ✗ h	Fallo ✓
#3	<input type="text"/> ✗ h	<input type="text"/> ✗ h	Fallo ✗
#4	<input type="text"/> ✗ h	<input type="text"/> ✗ h	Fallo ✓
#5	<input type="text"/> ✗ h	<input type="text"/> ✗ h	Fallo ✗
#6	<input type="text"/> ✗ h	<input type="text"/> ✗ h	Fallo ✓

- Calcula el índice de fallos para la primera iteración (con dos decimales):  ✗
- Calcula el índice de fallos para las 10 iteraciones (con dos decimales):  ✗

##### Pregunta 3

Incorrecta

Puntúa 0,00 sobre 1,00

✓ Marcar pregunta

Memoria virtual: un fallo de página siempre viene precedido por un fallo de TLB.

Selecciona una:

☐ Verdadero

☒ Falso ✗

##### Pregunta 4

Correcta

Puntúa 1,00 sobre 1,00

✓ Marcar pregunta

Sea cual sea la organización de una caché (directa, totalmente asociativa o asociativa por conjuntos) **siempre es necesario implementar alguna política de reemplazo**.

Selecciona una:

☐ Verdadero

☒ Falso ✓

Pregunta 5  
Incorrecta  
Puntúa 0,00 sobre 2,00  
Marcar pregunta

Considera un benchmark que ejecuta 10000 instrucciones en un procesador a 1.2 GHz, del cual 500 instrucciones son load/store. En este programa, el CPI para una cache perfecta es 1.8 (cache perfecta: no hay ningún fallo). Queremos estudiar el rendimiento de las cachés de nivel 1. Sabiendo que la tasa de fallos para la cache de instrucciones (LI) es del 2% y que la tasa de fallos (LD) es del 12%, así como que la penalización por fallo es de 10 ciclos para ambas cachés. Calcula, asumiendo que el tiempo de acierto es de 1 ciclo (utiliza la coma para el decimal, redondea a dos decimales si te hace falta):

a) Tiempo AMAT (ciclos): 2,2 ✖

b) Tiempo AMAT (nseg.): 1,46 ✖

Pregunta 6  
Parcialmente correcta  
Puntúa 1,00 sobre 5,00  
Marcar pregunta

Sea una memoria de 16 Mbytes, con tamaño de palabra 4 bytes y direccionable a nivel de palabra. Sabemos que se va a implementar **entrelazamiento de orden inferior con 8 módulos independientes** y tecnología DRAM con tamaño de 1 palabra por módulo. El acceso **a un módulo de memoria supone 4 ciclos**, mientras que el controlador de memoria necesita 1 ciclo para enviar la dirección a los módulos correspondientes, y 1 ciclo para que el bus de memoria transporte una palabra de datos. Estamos evaluando cambiar a una tecnología basada en accesos en modo ráfaga (burst). Para ello se decide utilizar un módulo de memoria SDRAM con tamaño de fila de 8 palabras. Sabemos que la latencia para acceder a la **primera palabra de una fila es de 3 ciclos**, y además se necesita **1 ciclo para acceder a la 2ª, 3ª y sucesivas palabras de la misma fila**. Se sigue aplicando que el controlador de memoria necesita 1 ciclo para enviar la dirección, y 1 ciclo para que el bus de memoria transporte una palabra.

a) ¿Cuál sería el tamaño de bloque óptimo para cada tecnología?

Tecnología entrelazada= 1 palabras ✖

Tecnología modo ráfaga= 1 palabras ✖

b) Para el tamaño de bloque óptimo, calcula en tiempo de penalización por fallo para cada tecnología (es decir, el tiempo necesario para traer un bloque desde memoria principal).

Tecnología entrelazada= 1 ciclos ✖

Tecnología modo ráfaga= 1 ciclos ✖

c) A la vista de los tiempos, ¿qué tecnología recomendarías?

Modo Ráfaga ✔

Pregunta 7  
Correcta  
Puntúa 1,00 sobre 1,00  
Marcar pregunta

Según el principio de localidad temporal...

Selecciona una o más de una:

- ☐ A. todas las instrucciones que se ejecutan están consecutivamente almacenadas en memoria.
- ☒ B. las referencias en un instante "t", se referenciarán en un futuro próximo. ✔
- ☐ C. referencias consecutivas se suelen ubicar en posiciones consecutivas de memoria.
- ☐ D. si la instrucción "i" se ubica en la posición "k", la instrucción "k" se ubicará en la posición "i".

Pregunta 8  
Incorrecta  
Puntúa -0,25 sobre 1,00  
Marcar pregunta

Es necesario añadir el bit Valid (V) al directorio caché cuando se implementa la política:

Selecciona una:

- ☐ A. escritura directa (write-through)
- ☐ B. reemplazo LRU
- ☐ C. Siempre
- ☐ D. post-escritura (write-back)
- ☒ E. reemplazo RANDOM ✖
- ☐ F. reemplazo FIFO
- ☐ G. No hace falta
- ☐ H. non-write allocate
- ☐ I. write allocate