

[UMA](#) / [CV](#) / [E.T.S. de Ingeniería Informática](#) / [Mis asignaturas en este Centro](#) / [Curso académico 2022-2023](#) / [Grado en Ingeniería de Computadores](#)
 / [Estructura de Computadores \(2022-23, Grado en Ingeniería de Computadores Grupo A, Grado en Ingeniería del Software Grupo D, Grado en Ingeniería Informática Grupo D y Grado en Matemáticas + Ingeniería Informática Grupo D\)](#)
 / [Exámenes](#) / [Primer parcial](#)

Comenzado el	jueves, 20 de octubre de 2022, 08:51
Estado	Finalizado
Finalizado en	jueves, 20 de octubre de 2022, 10:31
Tiempo empleado	1 hora 39 minutos
La puntuación	9,50/9,50
Calificación	10,00 de 10,00 (100%)

Pregunta 1

Correcta

Puntúa 4,00 sobre 4,00

Considerar la estructura segmentada en cinco etapas del procesador MIPS, con hardware para la detección de riesgos por dependencias de datos y **con todos los cortocircuitos** vistos en clase activados. Respecto a las dependencias de control, el controlador implementa la *suposición de salto no realizado*. Todos **los saltos se resuelven en la etapa de decodificación**. El banco de registros permite la lectura y escritura simultánea de un mismo registro sin conflicto. Dado el siguiente fragmento de código


```


sub $3, $3, $3
addi $1, $3, 8
L1: lw $2, 400($1)
    addi $1, $1, -4
    add $3, $3, $2
    bne $1, $0, L1


```


responde a estas preguntas:

- ¿Cuántos ciclos ha tenido que parar el cauce por culpa de los riesgos de datos?

 ciclos
- ¿Cuántas instrucciones han tenido que cancelarse por culpa de los riesgos de control?

 instrucciones
- ¿Cuántas instrucciones se ejecutan en total?

 instrucciones
- ¿Cuántos ciclos ha tardado toda la ejecución?

 ciclos

Pregunta 2

Correcta

Puntúa 2,00 sobre 2,00

Se desea mejorar el rendimiento de un procesador MIPS segmentado disminuyendo el número de ciclos perdidos por riesgos de control. En dicho procesador todas las instrucciones de salto se resuelven durante la etapa de **acceso a memoria** de datos, y en el procesador mejorado se añade el hardware necesario para resolver por completo los riesgos de control durante la etapa de **decodificación**.

Evalua la mejora de rendimiento (speed-up) para un benchmark en el que el 28% son instrucciones de load, de las cuales un 30% están seguidas por una instrucción aritmética que hace uso del registro cargado con el load. Otro 22% del total de instrucciones son saltos condicionales (un 58% de ellas son saltos tomados y el resto son saltos no tomados), un 10% de las instrucciones son saltos incondicionales y el porcentaje restante de instrucciones no producen ningún tipo de riesgo. Asume que en ambos procesadores se usa predicción de salto no tomado.

Indica el factor de speed-up con dos decimales.

Respuesta: ✓

Pregunta 3

Correcta

Puntúa 1,00 sobre 1,00

Se quiere determinar si merece la pena añadir un predictor de salto de 1 bit a un procesador MIPS segmentado en el que los saltos se resuelven en la etapa de decodificación. Para ello se usa un código en el que se sabe que se ejecutan 1217 instrucciones en total. En dicho código no hay saltos salvo en un bucle compuesto por 4 instrucciones (en el que una de ellas es un salto) que se repiten 215 iteraciones. También se sabe que, tanto en el procesador inicial como en el procesador con el predictor, el CPI medio de las instrucciones que no son de salto es 4,5. ¿Cuál sería el speed-up de este nuevo procesador con respecto al procesador inicial?

Respuesta: ✓

Pregunta 4

Correcta

Puntúa 1,00 sobre 1,00

Un programa de prueba tarda en ejecutarse *20 segundos* utilizando la última generación del procesador Xeon Gold de Intel. Para ahorrar costes, se desea sustituir dicho procesador por un procesador de la misma familia y por lo tanto idéntico repertorio de instrucciones, el Xeon Silver, que es más barato. Comprobamos que con el nuevo procesador, *el tiempo de ejecución de nuestro programa de prueba se mantiene igual*. Sabiendo que el procesador Xeon Gold funciona a *3,6 GHz* y que el CPI medio para el programa de prueba es *5*, mientras que para el procesador Xeon Silver el CPI medio pasa a ser *8*, **calcula la frecuencia (en GHz) a la que debe funcionar el procesador Xeon Silver** (utiliza la coma para el decimal y redondea a dos decimales si te hace falta).

Respuesta: ✓

Pregunta 5

Correcta

Puntúa 1,50 sobre 1,50

Se sabe que un determinado programa contiene 4,5 millones de instrucciones gráficas, 2,5 millones de instrucciones de acceso a memoria y 3 millones de instrucciones de cálculo aritmético y saltos. Todas las instrucciones tardan el mismo número de ciclos de reloj cuando se ejecutan en un determinado procesador comercial.

En dicho procesador, incluimos una GPU que produce una ganancia de 1,75 en las operaciones gráficas.

a) ¿Cual será el tiempo de ejecución (en segundos) del programa completo si sabemos que antes de la inclusión de la GPU, éste tardaba 20 segundos?



Ahora nos dicen que, antes de la mejora, cada instrucción tardaba 3 ciclos en ejecutarse.

b) ¿Cuál es el CPI medio del código después de la mejora? (pon 0 si no se puede calcular)



c) ¿Y la frecuencia de trabajo del microprocesador después de la mejora (en Mhz)? (pon 0 si no se puede calcular)

[◀ Elige Grupo de Prácticas del Tema 4](#)[Control tema 4: recurso para su entrega ►](#)