

TÉCNOLOGÍA Y DISEÑO MICROELECTRÓNICO 1

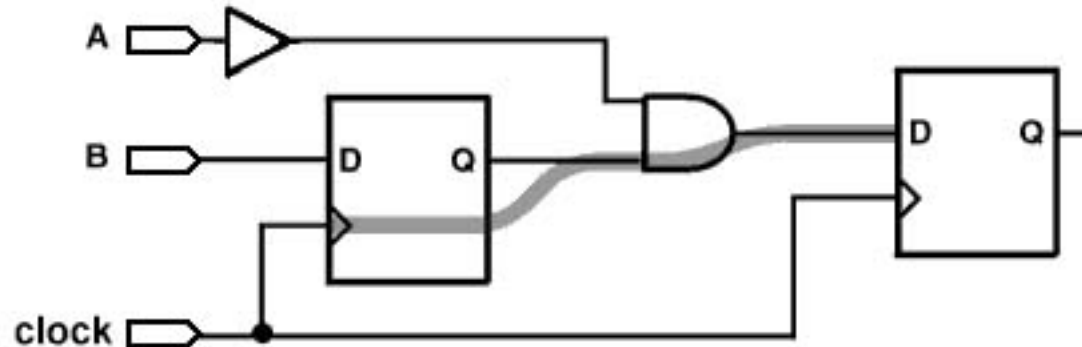
Grado en Ingeniería de Sistemas Electrónicos

*Departamento de Tecnología Electrónica
E.T.S.I. de Telecomunicación*

PRÁCTICA 4: DISEÑO E IMPLEMENTACIÓN EN FPGA DE UN CIRCUITO CON RESTRICCIONES FÍSICAS Y TEMPORALES

PRÁCTICA 4: DISEÑO E IMPLEMENTACIÓN EN FPGA DE UN CIRCUITO CON RESTRICCIONES FÍSICAS Y TEMPORALES

Periodo de reloj

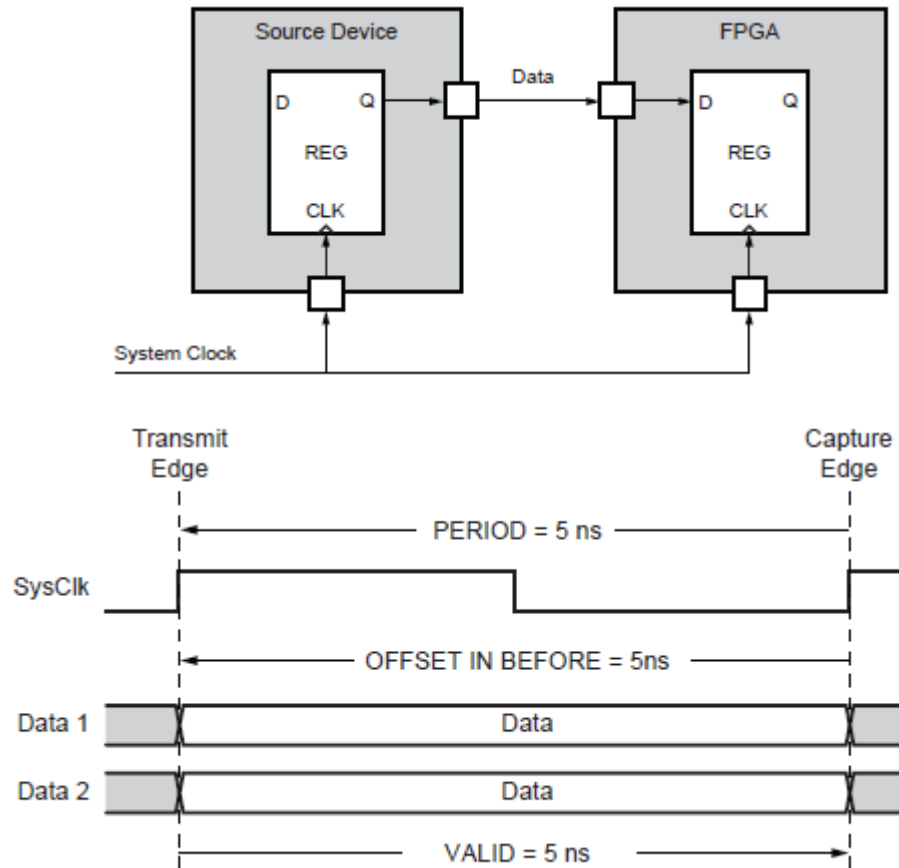


- Con este parámetro fijamos el tiempo máximo disponible para trasladar los datos de la salida de un FF al siguiente incluyendo el Tset-up
- El retardo de la señal de reloj relativa entre los dos FF puede jugar a favor o en contra

PRÁCTICA 4: DISEÑO E IMPLEMENTACIÓN EN FPGA DE UN CIRCUITO CON RESTRICCIONES FÍSICAS Y TEMPORALES

Pad to Setup (Offset In) (I)

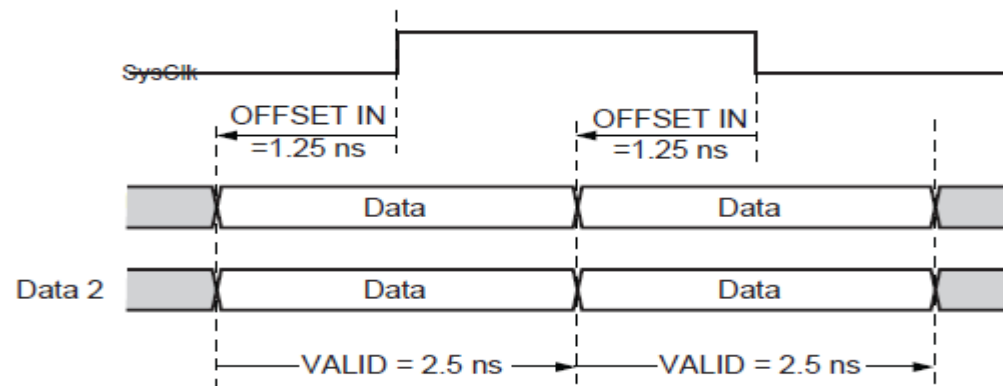
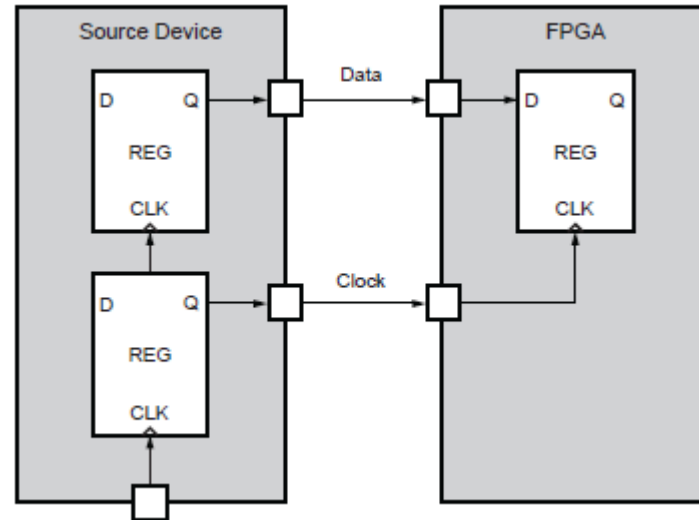
Single Data Rate (SDR)



PRÁCTICA 4: DISEÑO E IMPLEMENTACIÓN EN FPGA DE UN CIRCUITO CON RESTRICCIONES FÍSICAS Y TEMPORALES

Pad to Setup (Offset In) (II)

Double Data Rate (DDR)



PRÁCTICA 4: DISEÑO E IMPLEMENTACIÓN EN FPGA DE UN CIRCUITO CON RESTRICCIONES FÍSICAS Y TEMPORALES

Clock to Pad (Offset Out)

