

# 예비 보고서

---

실험 2. QuartusII와 ModelSim 사용법 및 FPGA를 이용한 검증

실험분반 : 타반

전자정보공학부(it융합) 20160428 김동현

## 목차

---

1. 실험 목적
2. 기초 지식
3. 실험 과정
4. FPGA 동작 확인

## 1. 실험 목적

---

- DE2-115 장비에 대하여 살펴본다.
- QuartusII를 기본기능을 숙지하고 NOT gate를 설계 및 FPGA에 프로그램해서 동작을 확인한다.
- ModelSim을 이용하여 NOT gate를 simulation 해본다.

## 2. 기초 지식

---

### NOT Gate

- NOT Gate는 입력을 X, 출력을 Y라고 했을 때 항상 출력 Y는 입력 X에 반대되는 값이 나온다. 이러한 특성 때문에 NOT Gate는 inverter라고도 불린다.

### And Gate

- And Gate는 입력을 X, Y 출력을 F라고 했을 때 입력 X, Y가 1일 때만 출력 F가 1이 된다.

### OR Gate

- And Gate는 입력을 X, Y 출력을 F라고 했을 때 입력 X, Y중 하나만 1일 때 출력 f가 1이 된다.

## FPGA

- Field Programmable Gate Array로 논리회로 설계를 Verilog HDL언어를 이용하여 프로그래밍으로 작성할 수 있다

## Quartus II

- 하드웨어 기술 언어 설계의 분석과 합성에 사용되는 소프트웨어

## ModelSim

- VHDL을 시뮬레이션 할 수 있는 프로그램이다

## 3. 실험 과정

---

### Quartus II

#### (1) Quartus 실행

1. 터미널 창에 `quartus` 라고 타이핑하면 실행된다.

#### (2) Project 생성

1. 프로젝트를 생성하고 파일을 추가한다
2. FPGA의 Family & Device Settings를 설정하는 창에서 "Cyclone V", "5CSEMA5F31C6"를 선택한다
3. EDA Tool창에서 "ModelSim-Altera"을 선택하고 Format(s)으로는 "Verilog HDL"을 선택한다

#### (3) File 추가

1. "New.."에서 "Block Diagram/Schematic File"을 선택한다
2. 작은 사각형들이 많은 그리드가 있는 bdf파일이 생성된다

#### (4) Symbol & Pin추가

1. "Symbol Tool"을 클릭하거나 그리드를 마우스로 더블클릭한다
2. Primitives >> logic 폴더에 Gate를 추가한다
3. Symbol메뉴 옆의 메뉴를 통해 입력과 출력을 만든다
4. 입력 Pin끝에 마우스 커서를 이용하여 Pin과 Gate를 연결할 수 있다
5. Pin을 더블클릭하면 Properties창에서 Pin이름을 수정할 수 있다.
6. 모든 설정이 완료되면 프로젝트 명과 동일하게 저장한다  
파일명과 프로젝트명이 동일하지 않으면 컴파일 에러가 난다

## (5) Compilation

1. Processing > StartCompilation을 통해 컴파일을 진행한다  
오류가 없다면 Compilation Report창에 완료된 결과가 나타난다
2. 설계가 잘못 되었다면 Comile이 중단 되면서 Task창에 X표시와 error메세지를 띄운다.

## (6) Pin Assignment

설계한 Schematic의 입력과 출력을 FPGA에 다양한 입출력 장치와 연결해 주는 작업

### 방법1

1. Assignments > Assignment Editor을 클릭
2. Category에 "All"인지 확인 후 << new >> 더블 클릭
3. Filter를 "Pin:all"로 맞추고 "List"를 통해 입출력 포트들이 나온다
4. ">>"를 눌러 Selected Nodes로 옮긴다
5. Assignment Name을 더블클릭해서 "Location (Accepts Wildcards/groups)"을 선택한다
6. Value에 Pin number를 입력한다.

### 방법2

1. Menu에서 Assignments > Pin planer를 클릭
2. Filter에서 Pins:all을 선택
3. Location을 더블클릭 하여 Pin No를 입력

## (7) Simulation

출력이 올바르게 나오는지 검증하는 단계, EDA Tool은 "ModelSim"을 사용한다

1. Assignments >> Setting를 클릭
2. "Device.."에서 "Device and Pin Options.."를 클릭
3. Unused Pins 항목에서 Reserve all unused pin을 "As input tri-stated"로 변경(사용하지 않는 핀을 tri-state로 하기 위해서)
4. Settings창에서 MORE EDA Netlist Writer Settings를 클릭하여 "Generate netlist for functional simulation only"를 ON으로 변경한다
5. Category에서 Simulation항목의 Tool name을 "ModelSim-Altera"으로 설정
6. Format for output netlist를 "Verilog HDL"로 변경
7. Time scale을 "1 ns"로 변경
8. Compile test bench를 체크한 후 Test benches...클릭
9. bench name에 "lab1\_tb"기입
10. Test bench파일을 add를 통해 연결
11. 모든 설정을 완료한 후 Simulation을 실행
12. Wave창을 통해 Simulation결과 값 확인

## (8) Programing and Configuring

Schematic을 FPGA에 Programing작업을 통해 검증하는 단계

1. JTAG케이블을 이용하여 연결한다
2. Tool > programmer을 클릭
3. Currently selected Hardware에서 "DE-SoC"를 선택
4. Auto Detect를 통해 FPGA 검색
5. Select Device에서 "5CEMA5"를 선택
6. sof파일을 선택하여 open

## 4. FPGA 동작 확인

---

Not Gate 동작을 확인하기 위해 LED와 Switch를 이용해서 Not Gate동작을 확인할 수 있다.

- Slide Switch가 내려가면 입력이 0을 의미한다
- LED에 불이 켜질 때는 출력이 1을 의미한다.