예비보고서

실험 3. 부울대수의 간소화(1) : Schematic 이용

분반 : 타반

성명 : 김동현

학번 : 20160428

실험일: 17/03/24

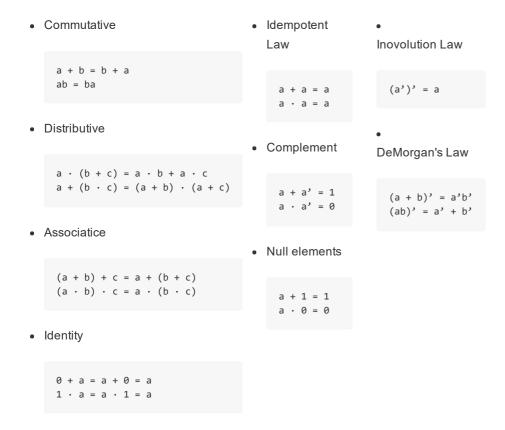
제목 : 실험 3 부울대수의 간소화(1) Schematic 이용

1. 관련 이론

실험 목적

- 부울대수의 간소화 방법을 이해한다.
- 부울대수를 symbol의 형태로 표현하는 방법을 이해한다

부울대수의 연산



Test Bench

- 시험하려는 논리 회로에 입력값을 주고, 출력값을 눈으로 도식화하여 관측할 수 있음
- Verilog와 VHDL로 작성함

2. 실험 과정

- 1. F = AB' + A'B'C, S= B'(A + C)라는 두개의 부식을 Quartus 2 Schematic를 이용하여 구현하고, 두 식 F와 S의 결과 값이 서로 일치하는지 ModelSim과 Quartus2를 이용해서 증명한다
- 프로젝트를 작성하고 컴파일을 통해서 schematic이 이상없는지 확인한다
- simulation을 통해서 파형이 이상 없는지 확인한다
- 이상이 없으면 FPGA에 올린다