

# 예 비 보 고 서

## 실험 4. 부울대수의 간소화(2)

분반 : 타반  
성명 : 김동현  
학번 : 20160428  
실험일: 17/04/07

## 1. 관련 이론

### Verilog HDL

Verilog HDL은 전자 회로 및 시스템에 쓰이는 하드웨어 기술 언어(HDL)이다. 줄여서 'Verilog'이라고 부르기도 한다. 회로설계, 검증, 구현 등 여러 용도로 사용할 수 있다.

Gate의 종류	부울 식	Verilog HDL
NOT Gate	$Y = X'$	$Y = \sim X$
AND Gate	$F = X * Y$	$f = x \& y$
OR Gate	$F = X + Y$	$f = x \mid y$

$$\begin{array}{lll} f = ab' + a'b'c & \Rightarrow & f = (a \& \sim b) \mid (\sim a \& \sim b \& c) \\ f = b'a + b'a'c & \Rightarrow & f = (\sim b \& a) \mid (\sim b \& \sim a \& c) \\ f = b'(a + a'c) & \Rightarrow & f = \sim b(a \mid (\sim a \& c)) \\ f = b'(a + c) & \Rightarrow & f = \sim b \& (a \mid c) \end{array}$$

## 2. 실험 과정

- 1) 프로젝트를 생성하고 Verilog HDL File를 생성한다,
- 2) 코드를 작성하고 컴파일을 통해서 문법이 이상 없는지 확인한다.

...

```
module lab4(a, b, c ,f ,s);
input a, b, c;
output f, s;

assign f = (a & ~b) | (~a & ~b & c);
assign s = ~b & (a | c);
endmodule
```

...

- 3) Pin planner로 입력과 출력을 FPGA에 연결한다.
- 4) RTL Simulation 을 통해 f와 s가 이상 없이 나오는지 확인한다.
- 5) 이상이 없으면 Programing and Configuring과정을 통해 FPGA에 올린다.