

# 결 과 보 고 서

## 실험 2. Quartus 2와 ModelSim사용법 및 FPGA를 이용한 검증

분반 : 타  
성명 : 김동현  
학번 : 20160428  
실험일: 17/03/17

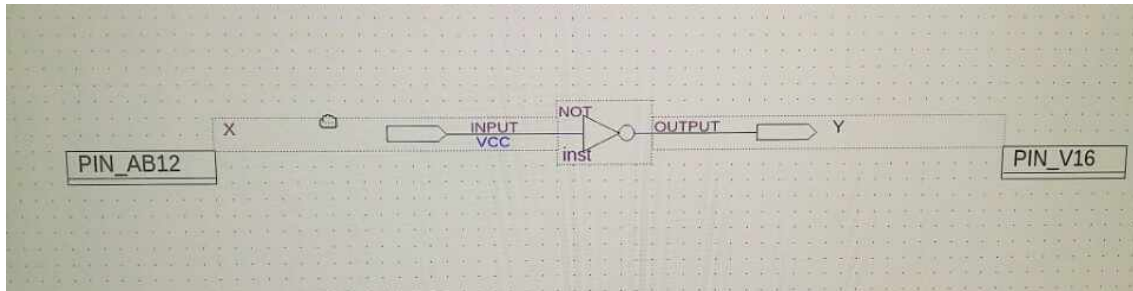
## 제목 : 실험 2. Quartus 2와 ModelSim사용법 및 FPGA를 이용한 검증

### 1. 실험결과

쿼터스를 이용하여 Verilog HDL을 이용하여 소스코드 작성 및 논리회로 설계를 진행하고, ModelSim을 이용해 파형을 분석할 수 있었다.

#### 과정 1

- 회로도



- 소스

```
1  `timescale 1ns/1ps
2
3  module lab1_tb;
4
5      reg X;
6      wire Y;
7
8      lab_1 uut (
9          .X(X),
10         .Y(Y)
11     );
12
13     initial begin
14
15         X=0;
16         #50 X=1;
17         #50 X=0;
18     end
19 endmodule
```

-wave



Not Gate 1개로 구성된 회로로 input에 1을 입력하면 output으로 0이 출력되고, input에 0을 입력하면 output으로 1이 출력된다.

## 과정2

- 소스

```
1  `timescale 1ns/1ps
2
3  module lab1_tb;
4
5      reg X;
6      wire Y;
7
8      lab_1 uut (
9          .X(X),
10         .Y(Y)
11     );
12
13     initial begin
14         X=1;
15         #20 X=0;
16         #20 X=1;
17         #20 X=0;
18         #40 X=1;
19         #40 X=0;
20         #20 X=1;
21     end
22 endmodule
23
```

#20 X=0;

20ns뒤에 X의 값을 0으로 바꾼다는 의미로, 딜레이와 값을 변경하는 방법에 대해 자세하게 알아볼 수 있었다.

-Wave



## 2. 실험고찰

1) 다음 [표 6]은 Not Gate를 한 개 사용한 Schematic의 Simulation 결과 값을 나타낸 그림이다. 실험에서 쓴 Test Bench를 이용해서 [표 6]과 같은 결과 값이 나오도록 내용을 수정한 뒤 Wave창을 캡처하고 분석하여 제출하시오

```
timescale 1ns/1ps

module lab1_tb;

  reg X;
  wire Y;

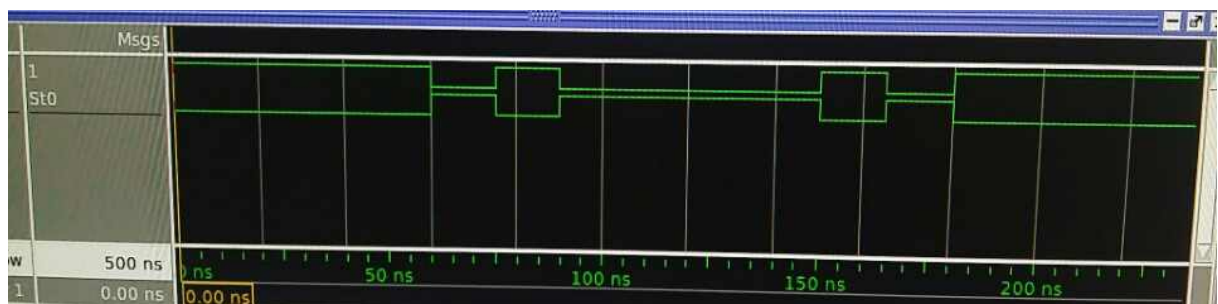
  lab_1 uut (
    .X(X),
    .Y(Y)
  );

  initial begin
    X=1;

    #60 X=0;
    #15 X=1;
    #15 X=0;
    #60 X=1;
    #15 X=0;
    #15 X=1;
  end
endmodule
```

Not 게이트 1개로 구성된 회로에 신호를 제어하는 소스를 작성한 것이다.

input을 1로 초기화하고, 60ns후에 그 값을 0로 바꾼다. 15ns후에 다시 값을 1으로 설정하고, 15ns 후에 0로 다시 설정하고, 60ns 뒤에 1으로 설정한다. 15ns가 지나면 다시 0으로 바꾸고 또 15ns가 지나면 값을 1로 설정한다.



Test Bench에서 작성한 소스를 simulation 시키면 위의 모양대로 wave가 나온다.

[표 6]의 Wave example과 비교해서 일치함을 확인할 수 있다.