

5. Realisierung

Das verwendete Taktsignal des gesamten Systems ist das 50Mhz Signal vom Board.

5.1. Eingabemodul

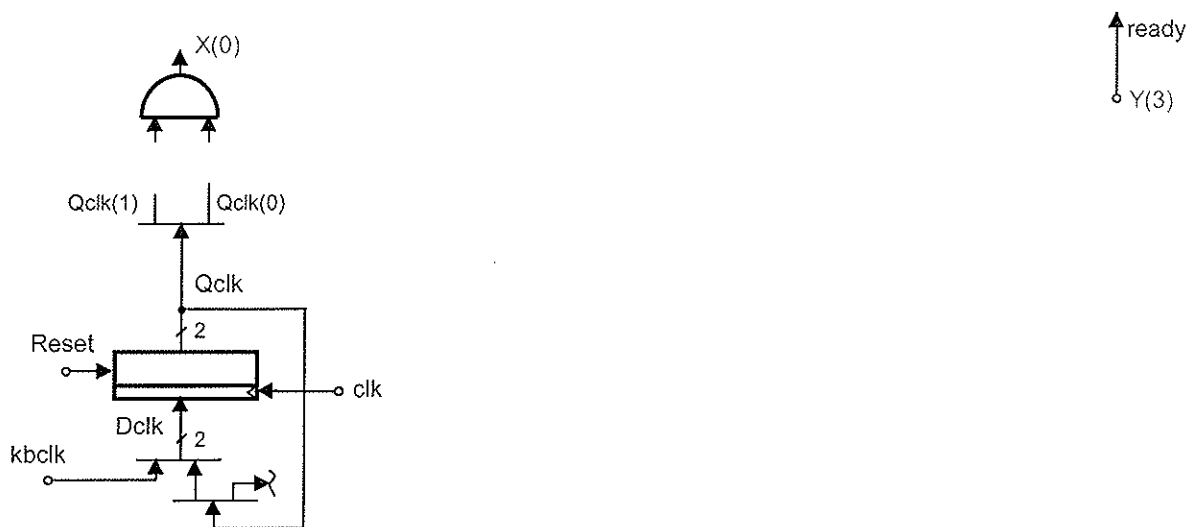
Die einkommenden Daten werden in einem 11-Bit Schieberegister zwischengespeichert. Dabei stellt sich die Frage, wie man geeigneterweise jeweils die fallende Flanke des Signals kbelk aufspürt, die ja anzeigt, dass ein neues Datenbit vorliegt.

Hierzu wird kbelk mithilfe eines 2-Bit Schieberegisters, welches vom Systemtakt clk getaktet wird, abgetastet. Unterscheiden sich die beiden Werte der Ausgangssignale des Schieberegisters in der Art, dass sie eine fallende Flanke von kbelk signalisieren, dann kann das Datenbit eingelesen werden.

Ist eine Übertragung abgeschlossen – d.h. wurden die 11 Bit eines Rahmens eingelesen – dann wird dies über das Ready-Signal dem Ausgabemodul mitgeteilt.

Um festzustellen, ob eine Übertragung abgeschlossen ist, kann man z.B. die Datenbits zählen.

5.1.1. OPW



5. Realisierung

Das verwendete Taktsignal des gesamten Systems ist das 50Mhz Signal vom Board.

5.1. Eingabemodul

Die einkommenden Daten werden in einem 11-Bit Schieberegister zwischengespeichert. Dabei stellt sich die Frage, wie man geeigneterweise jeweils die fallende Flanke des Signals kbcclk aufspürt, die ja anzeigt, dass ein neues Datenbit vorliegt.

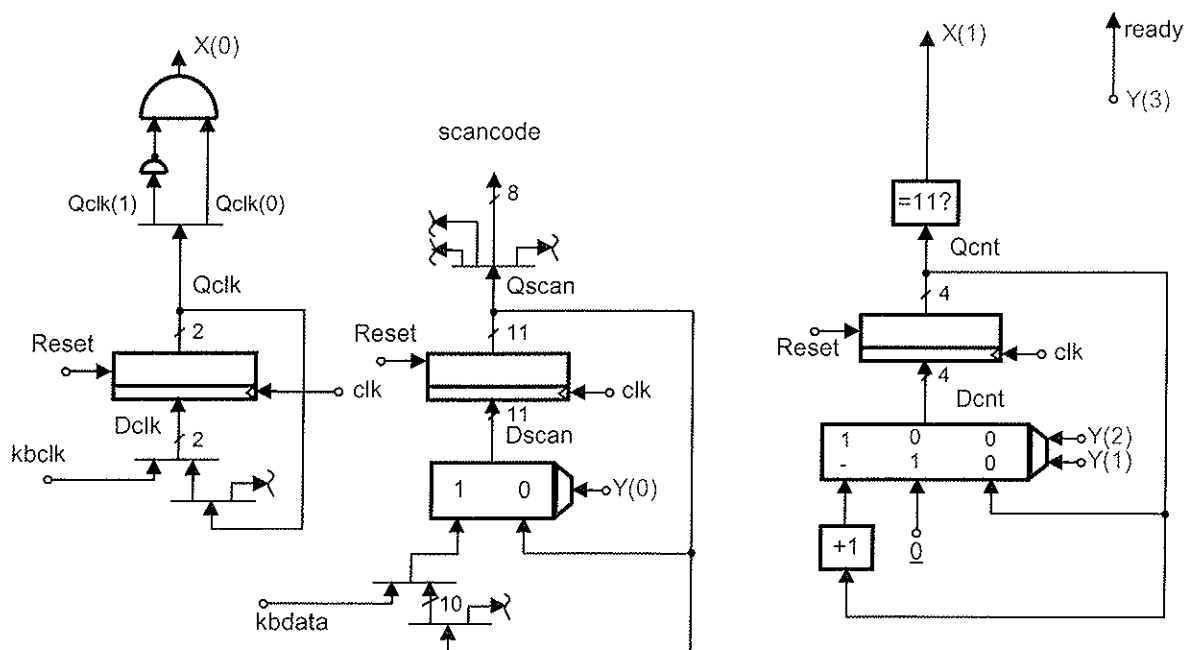
Hierzu wird kbcclk mithilfe eines 2-Bit Schieberegisters, welches vom Systemtakt clk getaktet wird, abgetastet. Unterscheiden sich die beiden Werte der Ausgangssignale des Schieberegisters in der Art, dass sie eine fallende Flanke von kbcclk signalisieren, dann kann das Datenbit eingelesen werden.

Ist eine Übertragung abgeschlossen – d.h. wurden die 11 Bit eines Rahmens eingelesen – dann wird dies über das Ready-Signal dem Ausgabemodul mitgeteilt.

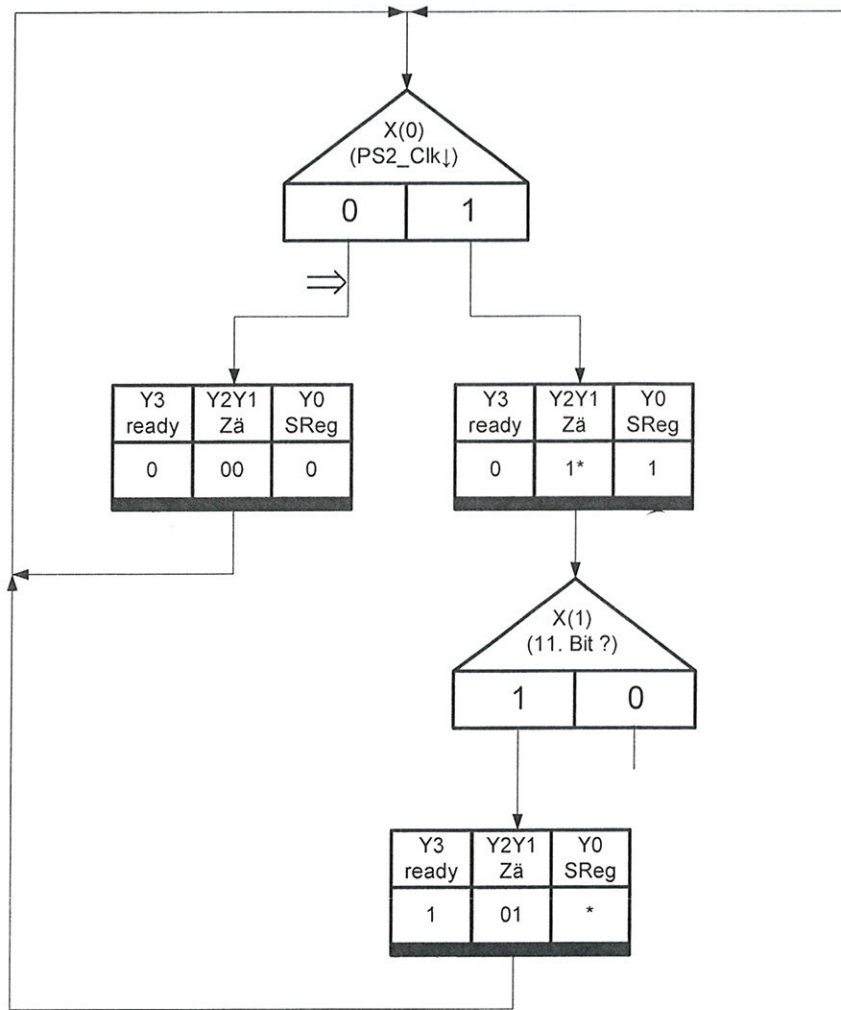
Um festzustellen, ob eine Übertragung abgeschlossen ist, kann man z.B. die Datenbits zählen, die eingelesen wurden.

Oder man initialisiert das 11-Bit Schieberegister komplett mit dem Einswort; da ein Paket immer mit einem Startbit - also mit einer 0 - beginnt, reicht es aus zu prüfen, ob in Bit 0 des Schieberegisters eine 0 steht; sowie dies der Fall ist, ist die Übertragung beendet.

5.1.1. OPW

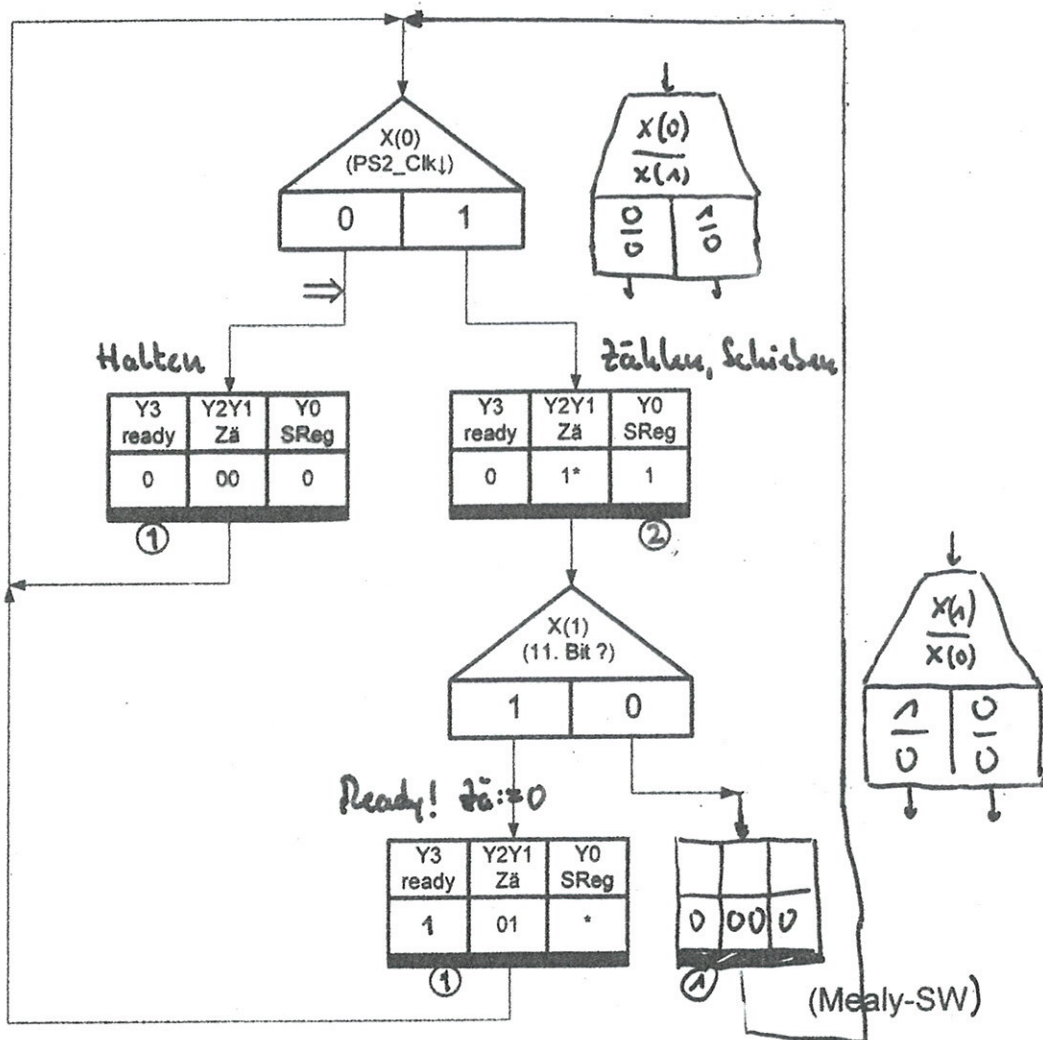


STW Eingabemodul (weite Spezifikation):



5.1.2 STW Eingabemodul (weite Spezifikation):

enge Spezifikation



| | X ₁ , X ₀ | | | |
|----|---------------------------------|---------|--------|---------|
| | 00 | 01 | 11 | 10 |
| 1 | ①/0000 | 2/01*1 | 2/01*1 | ①/0000 |
| 2 | 1/0000 | 1/0000 | 1/101* | 1/101* |
| 1' | ①/0000 | 2/01*1 | */**** | */**** |
| 2' | 1/0000 | */**** | */**** | 1/101* |
| 12 | ①②/0000 | ①②/01*1 | */**** | ①②/101* |

weite Spez.

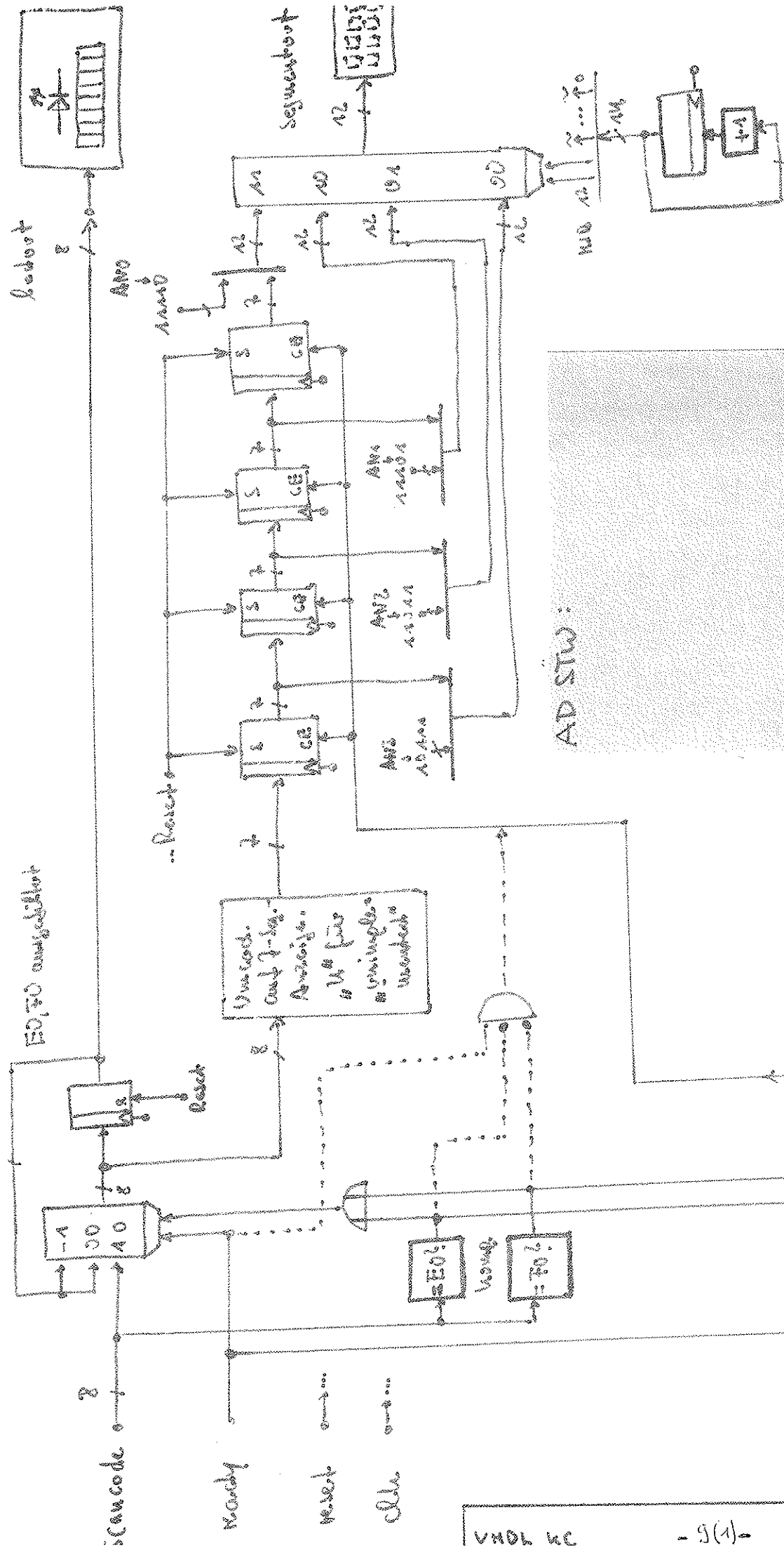
enge Spez.

Ready mit 1 Zustand

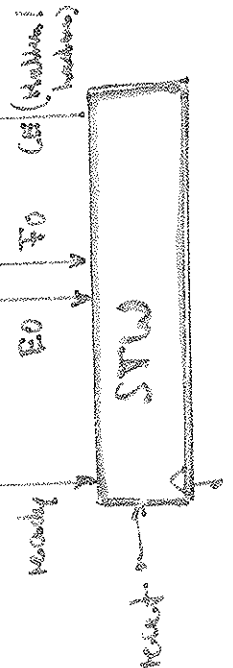
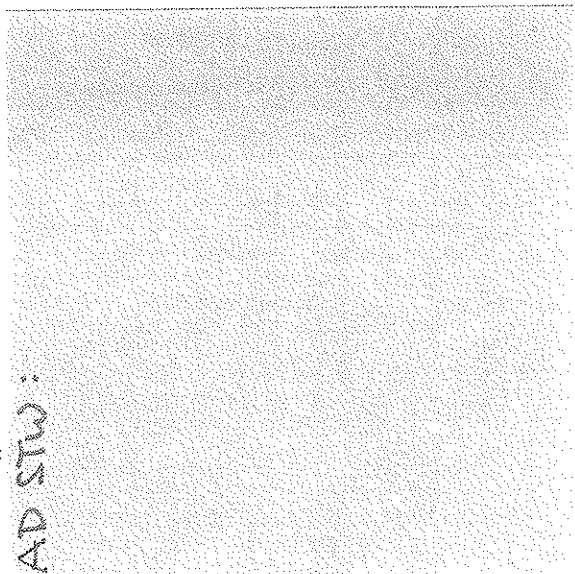
SN

Fustande = red.

CP Ausdruch.



334



OPU Ausgabemodul

