

Entwurf und Implementierung digitaler Schaltungen mit VHDL

2. praktische Übung im SoSe 2016

- vier zip-Dateien mit je einem „konfigurationsfertigen“ ISE14-Projekt - bis zum 18.6.2016 (23:59 Uhr) *einzel*n hochladen an:

<http://fb05-lehre.hpi.uni-potsdam.de>

☞ Hinweise auf der letzten Seite beachten

☞ Lösungsabgabe in den bekannten Gruppen (wie bei der 1. pÜ)

1. Aufgabe: Mealy-Moore-Vergleich (am Beispiel des Fanö-Decodierers)

1.1 Erstellen Sie ein (einziges) VHDL-Modul für eine „Parallelrealisierung“ des Fanö-Decodierers durch ein Mealy- *und* ein Moore-Schaltwerk.

D.h. die Spezifikation soll

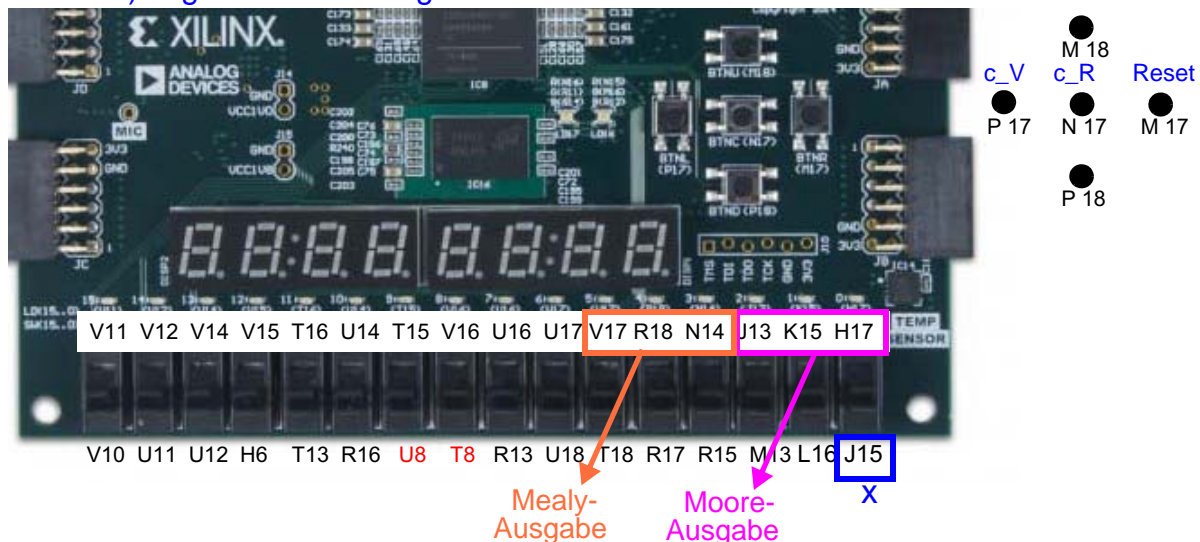
- sowohl ein eigenständiges Mealy- als auch ein eigenständiges Moore-Schaltwerk umfassen, die aber
- vom selben (entprellten) Hand-Takt, und
- vom selben (einsynchronisierten) Eingangssignal x versorgt werden.

Auf S. 2 ist ein Blockschaltbild gezeigt; die Schaltung hat also insgesamt

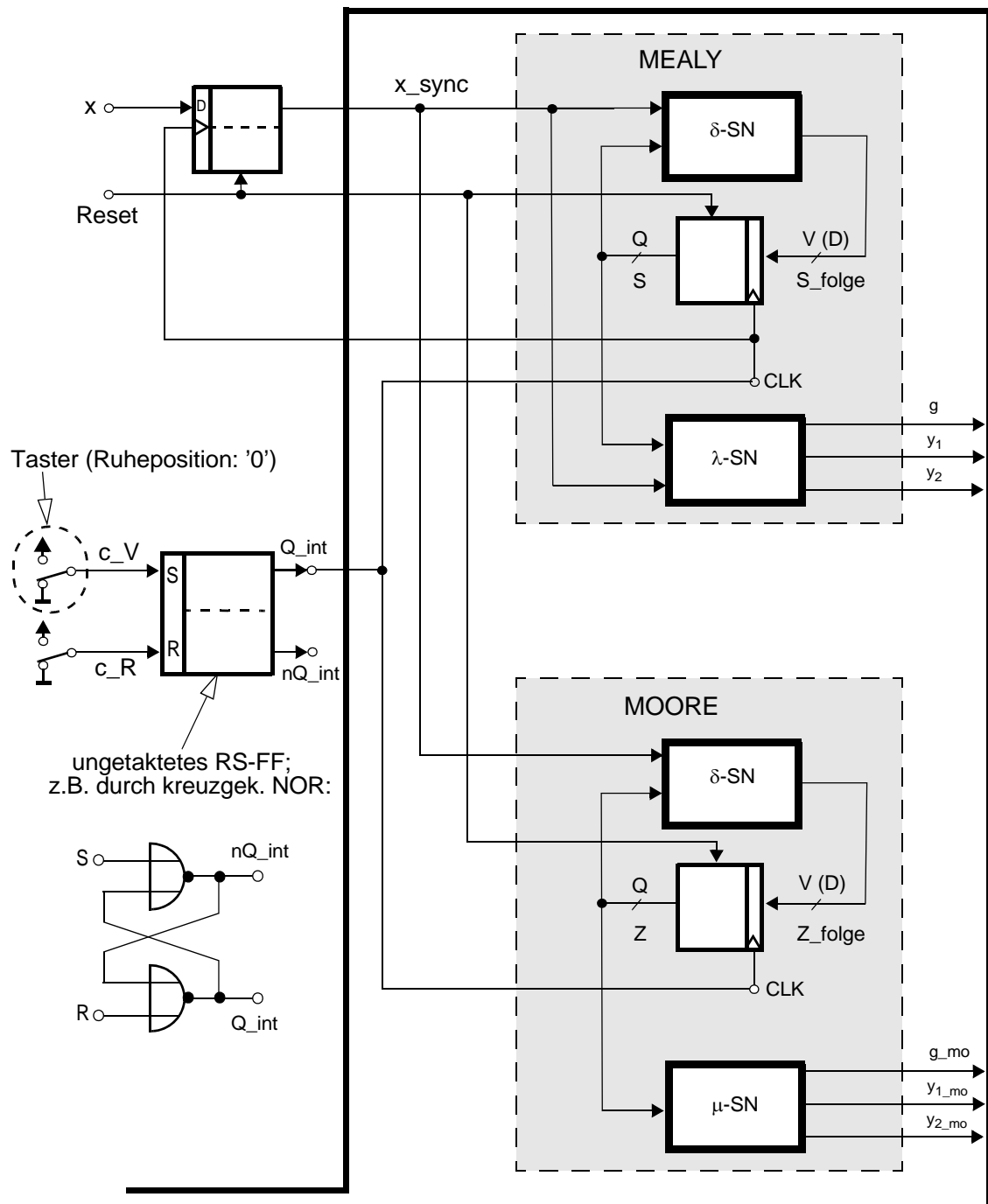
- die vier Eingangssignale
 - x (Fanö-codierte Zeichen),
 - c_V, c_R (zur Erzeugung des (entprellten) Hand-Taktsignals;
c_V -> Vorderflanke von c, c_R -> Rückflanke von c),
 - Reset (Grundstellungssignal (für RK und Einsynchronisations-FF)), und
- die sechs Ausgangssignale
 - y₂, y₁, g (Fanö-Ausgabe des Mealy-Schaltwerks),
 - y_{2_mo}, y_{1_mo}, g_{mo} (Fanö-Ausgabe des Moore-Schaltwerks).

1.2 Implementieren und Testen Sie Ihre Schaltung auf dem Board (d.h. lassen Sie die beiden Werke *parallel* „im Handtakt“ arbeiten; achten Sie dabei insbesondere auf die unterschiedlich schnelle Datenverarbeitung).

Reichen Sie als Lösung ein vollständiges Projekt „Fanö“ ein. Benennen Sie die Signale so, wie sie im Blockschaltbild vorgegeben sind. Legen Sie dabei (mit PlanAhead oder direkt im ucf-File) folgende Zuordnung fest:



! Das Projekt muss so vorbereitet sein, dass man zum Funktionstest den FPGA-Baustein nur noch (mit „iMPACT“) konfigurieren muss.



- Sinnvolles ergänzendes Experiment (muss nicht eingereicht werden):
Führen Sie x direkt, d.h. unsynchronisiert zu („asynchron einfallendes Eingangssignal“) und demonstrieren/beobachten Sie die
 - „durchschaltende“ Wirkung eines Mealy-, und die
 - „speichernde“ Wirkung eines Moore-Schaltwerks.

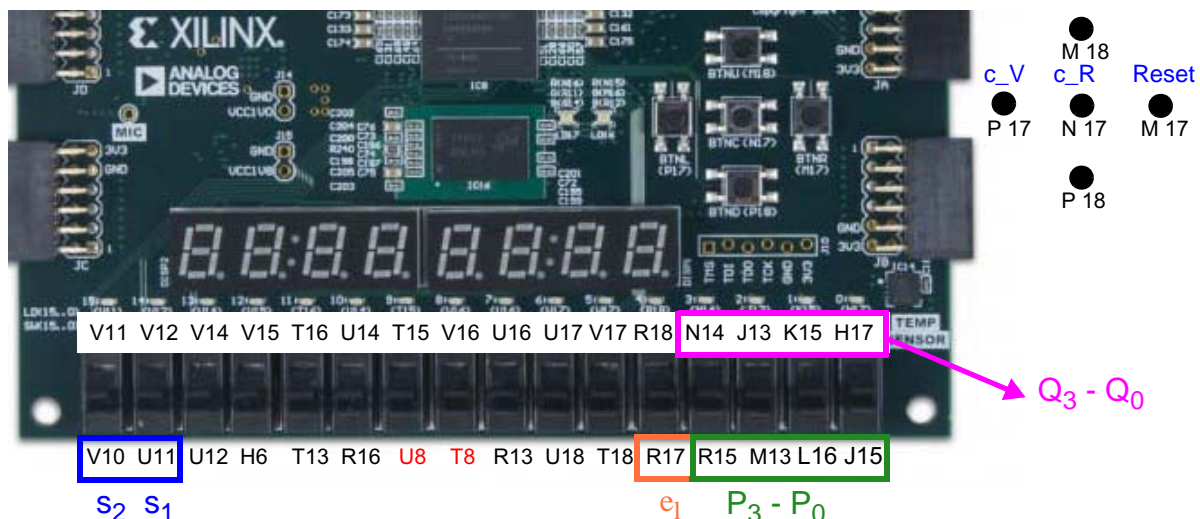
2. Aufgabe: 4-Bit Möbius-Zähler

Spezifizieren und implementieren Sie - durch eine geringfügige Änderung der aus der Vorlesung bekannten Spezifikation eines steuerbaren Schieberegisters (s. VHDL-Skript S. 63 oder GdS-Skript S. 179) - u.a. einen 4-Bit Möbius-Zähler.

D.h. *Reset (asynchron) auf $Q_{anf} = „0000“$, Vorderflankentaktung, entprellter Handtakt und Steuerung über die Steuersignale s_2 und s_1 wie folgt:*

(s_2, s_1)	Funktion
00	Halten
01	Rechtsschieben - unter Nachzug des Wertes von Eingangssignal e_1
10	4-Bit Möbius-Zähler
11	Laden einer beliebigen 4-stelligen Binärvokabel P

Reichen Sie als Lösung ein vollständiges Projekt „Möbius“ ein. Legen Sie dabei (mit PlanAhead oder direkt im ucf-File) folgende Zuordnung fest:

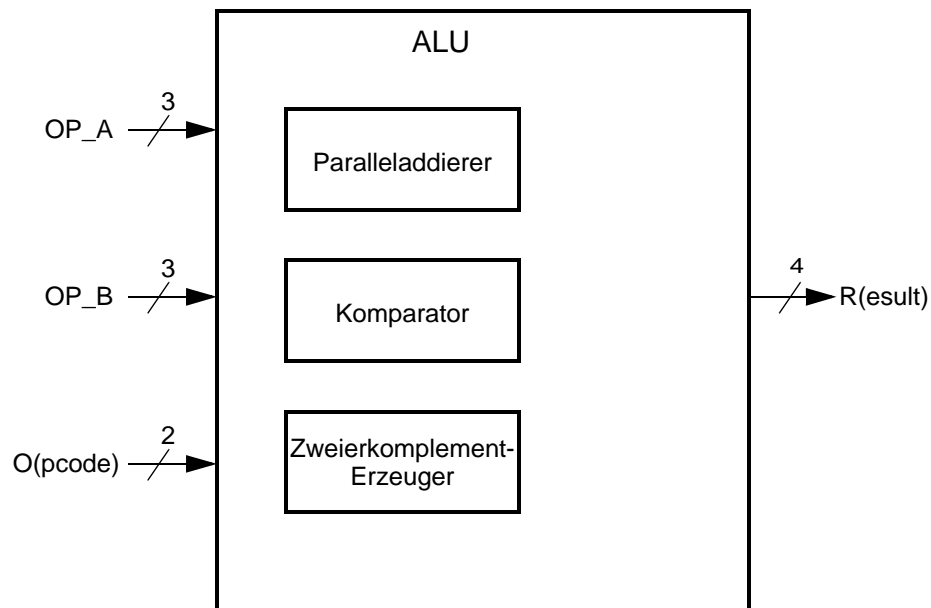


! Das Projekt muss so vorbereitet sein, dass man zum Funktionstest den FPGA-Baustein nur noch (mit „iMPACT“) konfigurieren muss.

3. Aufgabe: „Mini-ALU“ unter Verwendung *arithmetisch-logischer* Operationen.

Spezifizieren und implementieren Sie eine „Mini-ALU,“ wie sie in dem unten gezeigten (*unvollständigen*) Blockschaltbild gezeigt ist. D.h. die ALU soll umfassen:

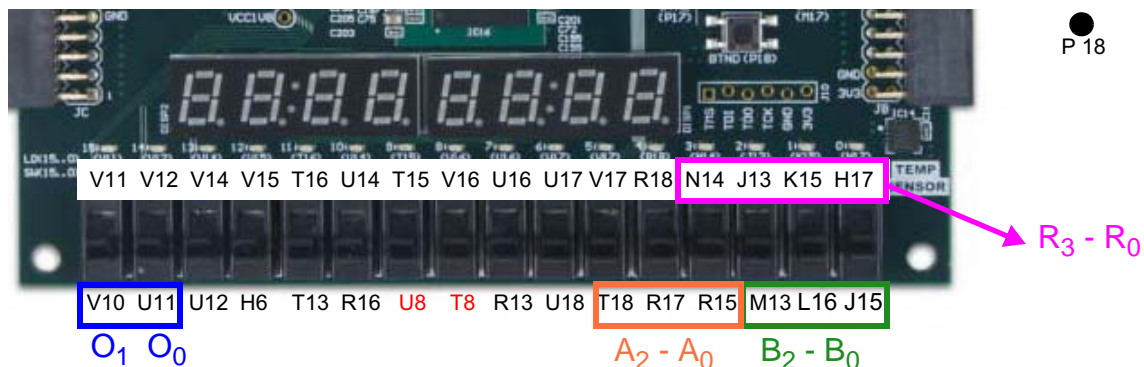
- einen Paralleladdierer (Summanden à 3 Bit),
 - einen Komparator (mit Operanden à 3 Bit), wobei y_u und y_w wie in der 2. Aufgabe von Ü.1 definiert sind,
 - eine Schaltung zur Bildung des Zweierkomplements für eine 3-Bit-Vokabel (s. Ü.1, A.3).
- Die aktuell gewünschte Funktion soll über die Steuersignale O_1 und O_2 einstellbar sein wie in der Ansteuertabelle gezeigt. Zur Realisierung benötigen Sie eine weitere bekannte elementare Systemkomponente. (Es ist empfehlenswert, zunächst das Blockschaltbild um diese Komponente nebst Verschaltung zu ergänzen.)



(O_1, O_0)	Operation	Codierung des Ergebnisses (R_3, R_2, R_1, R_0)
00	$OP_A + OP_B$ (kein Eingangsübertrag)	Caus , Sum ₂ , Sum ₁ , Sum ₀
1-	Vergleich zwischen OP_A und OP_B (=, <, >)	0, 0, y _u , y _w
01	Zweierkomplement (OP_A)	0, Zw ₂ , Zw ₁ , Zw ₀

!!! Spezifizieren Sie die ALU durch eine *einzig*e VHDL-Verhaltensbeschreibung (ein *einzig*es entity-architecture-Paar) unter Verwendung *arithmetisch-logischer* Operationen.

Legen Sie dabei (mit PlanAhead oder direkt im ucf-File) folgende Zuordnung fest:



! Das Projekt muss so vorbereitet sein, dass man zum Funktionstest den FPGA-Baustein nur noch (mit „iMPACT“) konfigurieren muss.

4. Aufgabe: „Prelldemo“ (mit ungesteuertem T-FF)

Demonstrieren Sie das Prellen eines Tasters wie folgt:

- a) Realisieren Sie zunächst ein vorderflankengetaktetes D-FF wie in Ü.7 (A.3) hergeleitet, also
 - die „Alt-Variante“ (d.h. bei gleichzeitiger Änderung von D mit $c+$ wird der „alte“ Wert von D registriert),
 - hasardarme Spezifikation auf Gatterebene (logische Gleichungen),
 - Ausgabe $Q (= Y)$ und $\bar{Q} (= \bar{Y})$
- b) Ergänzen Sie (auf Gleichungsebene) ein Reset-Signal (active high).
- c) Erklären Sie D zum internen Signal und koppeln Sie den invertierten FF-Ausgang (\bar{Q}) auf den D-Eingang zurück; hierdurch entsteht ein ungesteuertes T-FF, welches mit jeder Flanke $c+$ „kippt“, d.h. seinen Wert ändert ($Q_{n+1} = \bar{Q}_n$).
- d) Zeigen Sie Q und \bar{Q} über benachbarte LEDs an und legen Sie das Taktsignal c direkt auf einen Taster (z.B. P17); demonstrieren Sie nun den Prelleffekt durch wiederholtes (ggf. hartnäckiges :-) Betätigen des Tasters.

Allgemeine Hinweise:

- Lösungsabgabe in den bekannten Gruppen (wie bei der 1. pÜ) am Korrektursystem.
- Testatgespräch:
 - Jede Gruppe muss ihre Lösungen wieder im Rahmen eines kurzen Testatgesprächs präsentieren (wobei jeder Gruppenteilnehmer zu jeder Aufgabe befragt werden kann). Jede Gruppe muss dazu vollständig erscheinen (also nicht nur ein Stellvertreter).
 - Organisation:
Die Testatgespräche finden statt in der Zeit vom **20. - 24.6.2016**.
Die Termine sind die gleichen wie beim ersten Mal. Wenden Sie sich bei Terminfragen an Ihren Betreuer (welcher derselbe ist wie bei der 1. pÜ).
 - Die Testatgespräche finden wieder in der Kommunikationszone A-E statt.
 - Zur Präsentation der Lösungen - wenn möglich - einen eigenen Laptop mitbringen.

Wir wünschen viel Erfolg und Freude beim Entwerfen !