## Entwurf und Implementierung digitaler Schaltungen mit VHDL

# 1. Übung

#### 1. Aufgabe:

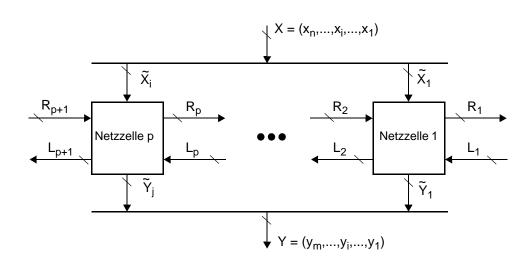
In einem U-Bahnnetz mit den Linien 0 bis 9 werden Monatskarten für je eine Linie ausgegeben. Auf jeder Karte ist im Dualcode die entsprechende Linie verschlüsselt. Der Fahrgast darf die auf gleichen Streckenabschnitten verkehrenden Linien mit seiner - nur für eine Linie gültigen - Fahrkarte benutzen. Am Streckenabschnitt, in dem die Linien 1, 2, 6, 7 und 8 verkehren, soll ein Kontrollgerät dem Kontrolleur die Kontrolle der Fahrkarten ermöglichen und Tarifverstöße durch eine Lampe optisch signalisieren.

In diesem Kontrollgerät stellt eine Karten-Leseeinheit der Lampen-Steuerung die dualcodierte Liniennummer bereit (Binäreingänge  $x_4$ ,  $x_3$ ,  $x_2$ ,  $x_1$ ). Darauf soll der Ausgang y der Steuerung ggf. die Lampe für den Tarifverstoß ansteuern: Liegt ein Verstoß gegen die Fahrtregeln vor, dann liegt am Ausgang y eine 1; ansonsten wird mit y = 0 signalisiert, dass kein Verstoß vorliegt.

- 1.1 Stellen Sie die Funktionstabelle der Schaltfunktion f für die Lampen-Steuerung auf.
- 1.2 Tragen Sie f in ein KV-Diagramm ein und bestimmen Sie daraus die disjunktive Minimalform.
- 1.3 Zeichnen Sie den logischen Schaltplan des Schaltnetzes.

## 2. Aufgabe:

In einem <u>iterativen Schaltnetz</u> werden *gleich gebaute* Zellen zu einer Kette zusammengeschaltet (s. Bild). Jede Zelle erhält einen Teil  $\widetilde{X}_i$  der Eingangsbelegung X und erzeugt (i. Allg.) einen Anteil  $\widetilde{Y}_j$  der Ausgangsbelegung Y. Die i-te Zelle kommuniziert mit ihrem rechten Nachbarn (i. Allg.) über die Verbindungen  $R_i$  und  $L_i$ , mit dem linken über  $R_{i+1}$  und  $L_{i+1}$ . Die Endzellen (Nr. 1 und p) können i.a. vereinfacht werden. (Im konkreten Einzelfall müssen nicht alle im Bild gezeigten Kommunikationssignale zwischen den Zellen vorhanden sein; gezeigt ist der allgemeinst mögliche Fall. Es kann auch sein, dass einzelne Netzzellen (direkt) gar keinen Anteil  $\widetilde{Y}_i$  zur Ausgangsbelegung Y beisteuern.)



VHDL - 1. Übung - 1 - rw © HPI

Entwerfen Sie einen Vergleicher - als iteratives Schaltnetz - für den (ziffernweisen) Vergleich zweier nichtnegativer n-stelliger Dualzahlen  $A = a_n ... a_2 a_1$  und  $B = b_n ... b_2 b_1$ .

Dieser Vergleicher soll jeweils anzeigen, ob A = B, A < B oder A > B ist. Das Vergleichsergebnis soll über die Vergleicher-Ausgangssignale  $y_u$  und  $y_w$  wie folgt angezeigt werden:

	У <sub>u</sub>	$y_{w}$
A = B	1	0
A > B	0	1
A < B	0	0

Der Vergleicher soll folgendermaßen arbeiten: Zuerst werden die beiden höchstwertigsten Ziffern  $a_n$  und  $b_n$  verglichen. Sind sie ungleich, so steht das Endergebnis bereits fest: Im Falle  $a_n > b_n$  ist auch A > B und im Falle  $a_n < b_n$  ist auch A < B. Sind die beiden Ziffern jedoch gleich, so wird das nächst niederwertige Ziffernpaar  $(a_{n-1}, b_{n-1})$  verglichen. Sind diese Ziffern ungleich, so steht wieder das Endresultat fest; sind sie jedoch gleich, so muß das nächste Paar verglichen werden u.s.w.

- 2.1 Überlegen Sie sich, welche Ein- und Ausgangssignale eine Zelle benötigt, und zeichnen Sie das Strukturbild des iterativen Schaltnetzes.
- 2.2 Stellen Sie die Funktionstabelle einer Zelle auf, geben Sie mit Hilfe von KV-Diagrammen die konjunktiven Minimalformen für die Ausgangssignale an, und zeichnen Sie ein NOR-NOR-Schaltnetz einer Zelle.
- 2.3 Lassen sich die erste und letzte Zelle des iterativen Schaltnetzes vereinfachen, und wenn ja, wie?

#### 3. Aufgabe:

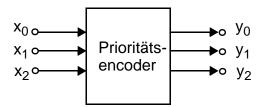
Wie Ihnen bekannt ist, kann man das Zweierkomplement einer n-stelligen Binärvokabel  $X = x_n ... x_2 x_1$  durch Komplementieren und anschliessende Addition von 1 bestimmen. Hierzu gibt es eine einfache Umsetzungssmöglichkeit:

Man bestimmt zunächst die niederwertigste Stelle der Binärvokabel mit einer 1, und komplementiert anschliessend alle Stellen links davon (z.B.:  $0010 = 2 \rightarrow \text{durch}$  Komplementieren der beiden höchstwertigen Stellen erhält man 1110 = -2). Sie sollen nun ein *iteratives* Schaltnetz entwerfen, das dies leistet.

- 3.1 Welche Ein- und Ausgänge hat jede Zelle (Interpretation)?
- 3.2 Stellen Sie die Funktionstabelle des Schaltnetzes einer Zelle auf und leiten Sie hieraus für jede Funktion des Bündels eine Gleichung ab.
- Zeichnen Sie das iterative (Gatter-)Schaltnetz zur Berechnung des Zweierkomplements einer fünfstelligen Binärvokabel. Wie vereinfachen sich die erste und letzte Zelle?

### 4. Aufgabe: Prioritätsencoder

Es gilt, einen sog. Prioritätsencoder für drei Eingangsvariablen als Schaltnetz zu entwerfen.



Dieser soll eine 3-stellige Eingangsbelegung  $X = (x_2, x_1, x_0)$  jeweils daraufhin untersuchen, ob

- mindestens eine Eingangsvariable gleich 1 ist, und, für diesen Fall,
- die am weitesten links stehende 1 detektieren, d.h. den Index p der ihr zugeordneten Eingangsvariablen x<sub>p</sub> ausgeben.

Zur Anzeige des Ergebnisses dienen die drei Ausgangsvariablen y<sub>2</sub>, y<sub>1</sub> und y<sub>0</sub>:

- y<sub>2</sub> soll genau dann den Wert 1 annehmen, wenn mindestens eine Eingangsvariable gleich 1 ist.
- Für den Fall  $y_2 = 1$  soll über  $y_1$  und  $y_0$  der Index p (der detektierten Eingangsvariablen  $x_p$ ) im Dualcode angezeigt werden.

Beispiel: 
$$(x_2, x_1, x_0) = 0\underline{1}1 \Rightarrow x_P = x_1 \Rightarrow (y_1, y_0) = 01$$

- Für den Fall  $y_2 = 0$  sind die Werte von  $y_1$  und  $y_0$  (für die Umgebung) irrelevant. Stellen Sie die Funktionstabelle der Schaltfunktionen  $f_2$ ,  $f_1$  und  $f_0$  auf unter der Annahme, dass die Umgebung alle möglichen Eingangsbelegungen liefern kann (d.h. keinerlei Eingabebeschränkungen bestehen).

Hintergrundinformation zur möglichen Anwendung des Prioritätsencoders:

Wird mit  $x_i = 1$  (jeweils) das Auftreten eines Ereignisses vom Typ  $e_i$  gemeldet (i = 0, 1, 2), und weist man diesen drei Ereignistypen unterschiedliche Prioritäten zu nämlich  $e_2$  die höchste, und  $e_0$  die niedrigste - dann detektiert der Prioritätsencoder aus der Menge der aktuell gemeldeten Ereignisse jeweils dasjenige mit der höchsten Priorität.

VHDL - 1. Übung - 3 - rw © HPI