

Juan Carlos Llamas Núñez 3º DG DNI: 11867802-D.

## Memoria manuscrita (Práctica 4).

### 1.- Recursos necesarios en la implementación.

Para la implementación del multiplicador de 4bits iterativo se requieren 23 Slice LUTs todos ellos como LUTs de lógica y 27 Slice Register todos ellos como FlipFlops.

### 2.- Indicar la frecuencia máxima de trabajo.

Para este diseño, el Worst Negative Slack es de 7,150 ns y el Worst Hold Slack es de 0,180 ns. Por tanto, la frecuencia máxima de trabajo es de 350,9 MHz.

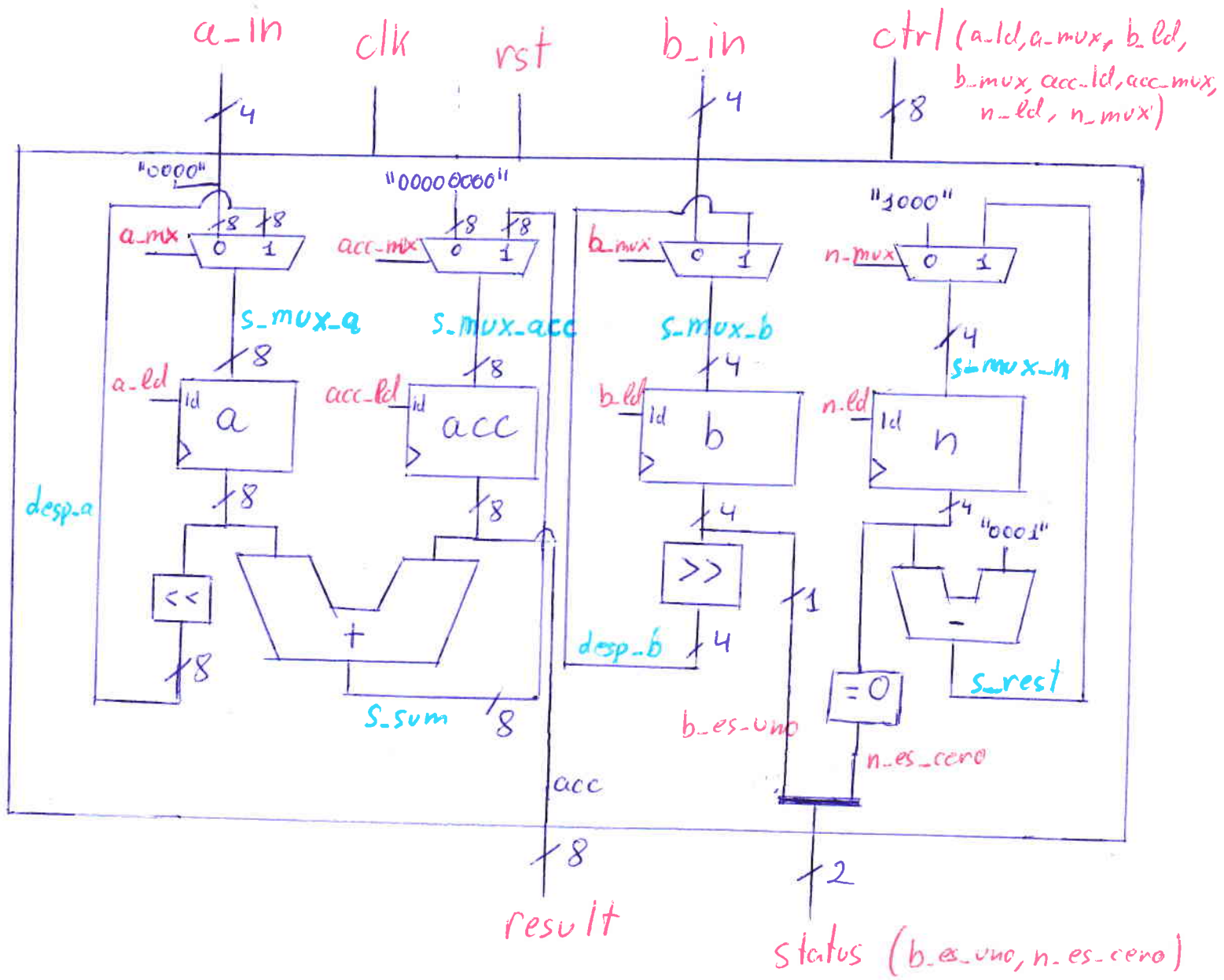
### 3.- Detallar el camino crítico: puntos inicial y final y lógica que atraviesa.

El camino crítico es aquel asociado al WNS. En este caso, dicho camino es el que conecta el registro `n-reg[3]`, es decir, un registro de la variable `n` en la ruta de datos con el registro `FSM-sequential-estado-actual-reg[1]`, es decir, un registro de bit del estado actual en la unidad de control.

Los recursos que se atraviesan son:

WS → BUFGCTRL\_X0Y0 → SLICE\_X1Y123 → SLICE\_X1Y139

4.- Diagrama de bloques de la ruta de datos.



S.- Diagrama de transición de estados y tabla de salidas de la UC.

	a_ld	a_mux	b_ld	b_mux	acc_ld	acc_mux	n_ld	n_mux	done
S0	0	-(0)	0	-(0)	0	-(0)	0	-(0)	1
S1	1	0	1	0	1	0	1	0	0
S2	0	-(0)	0	-(0)	0	-(0)	0	-(0)	0
S3	1	1	1	1	1	1	1	1	0
S4	1	1	1	1	0	-(0)	1	1	0

