

Ej. 1 — (2.0 puntos) Diseñar el diagrama ASM, la ruta de datos y la tabla de salidas de la unidad de control de un sistema algorítmico que calcule los 16 primeros términos de una secuencia k -bonacci.

En una secuencia k -bonacci, el término enésimo, B_n , es la suma de los k términos anteriores. Por ejemplo:

- Si $k = 2$ y los dos primeros términos son $B_0 = 1, B_1 = 1$ tendríamos la conocida secuencia Fibonacci: 1, 1, 2, 3, 5, 8, 13, ...
- Si $k = 3$ y los 3 primeros términos son $B_0 = 1, B_1 = 2, B_2 = 3$ tendríamos la secuencia: 1, 2, 3, 6, 11, 20, 37, ...
- Si $k = 4$ y los 4 primeros términos son $B_0 = 1, B_1 = 1, B_2 = 2, B_3 = 2$ tendríamos la secuencia: 1, 1, 2, 2, 6, 11, 21, 40, ...

Fijese que a partir del término $k + 1$, se puede hallar el término enésimo, B_n , como el resultado de multiplicar por dos el término B_{n-1} y restarle el término B_{n-k-1} :

$$B_n = 2 \cdot B_{n-1} - B_{n-k-1}$$

Por ejemplo en el caso de $k = 3$ y los tres primeros términos $B_0 = 1, B_1 = 2, B_2 = 3$ entonces el siguiente término es la suma de los tres primeros términos $B_3 = 1 + 2 + 3 = 6$. A partir de aquí, los siguientes términos son:

- $B_4 = 2 \cdot 6 - 1 = 6 + 3 + 2 = 11$
- $B_5 = 2 \cdot 11 - 2 = 11 + 6 + 3 = 20$
- $B_6 = 2 \cdot 20 - 3 = 20 + 11 + 6 = 37$
- ...
- $B_n = 2 \cdot B_{n-1} - B_{n-4}$

El sistema tiene cuatro entradas y una salida. Las entradas son: `clk`, `rst`, `ini` y `k`. La entrada `k` es de 3 bits, expresado en binario puro y su valor siempre será $2 \leq k \leq 7$. La salida es `fin`. El sistema comienza a funcionar cuando la señal `ini` se pone a 1. Cuando se complete el cálculo el sistema volverá al estado inicial, en el que la señal `fin` es igual a 1. El sistema dispone de una memoria SRAM de 16 palabras de 8 bits cuyas k primeras palabras son los k primeros términos de la secuencia. El sistema deberá rellenar esta memoria con los términos siguientes de la secuencia.

En la ruta de datos se puede usar la memoria SRAM síncrona 16x8 bits, de un solo puerto y modo de escritura `READ_FIRST`, registros, registros con desplazamiento, **un máximo de dos** contadores módulo 16, un **único** sumador/restador de 8 bits y los elementos combinatoriales adicionales que se consideren necesarios.

$$Z_i = \begin{cases} A_i & \text{si hay al menos un uno en } (A_{i-1}, \dots, A_0) \text{ y hay al menos un uno en } (B_{i-1}, \dots, B_0) \\ A_i \text{ AND } B_i & \text{si hay al menos un uno en } (A_{i-1}, \dots, A_0) \text{ y no hay ningún uno en } (B_{i-1}, \dots, B_0) \\ A_i \text{ OR } B_i & \text{si no hay ningún uno en } (A_{i-1}, \dots, A_0) \text{ y hay al menos un uno en } (B_{i-1}, \dots, B_0) \\ B_i & \text{si no hay ningún uno en } (A_{i-1}, \dots, A_0) \text{ y no hay ningún uno en } (B_{i-1}, \dots, B_0) \end{cases}$$

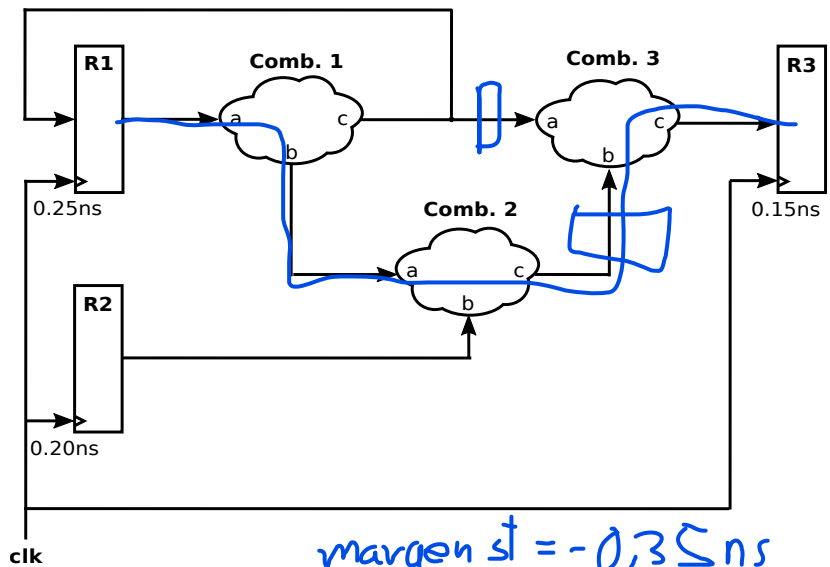
3. Suponiendo que todas las puertas de dos y tres entradas tienen un retardo t y las puertas de cuatro entradas tienen un retardo $2 \cdot t$, calcular el retardo del camino crítico en el diseño del apartado anterior para $n = 15$. En el caso de haber usado inversores, suponer que su retardo es despreciable.

Ej. 3 — (1.25 puntos) Dado el circuito de la figura, los valores de propagación de los componentes combinacionales son los siguientes:

- $Comb,1(a \rightarrow b) = Comb(a \rightarrow c) = 0,5ns$
- $Comb,2(a \rightarrow c) = Comb(b \rightarrow c) = 1,4ns$
- $Comb,3(a \rightarrow c) = Comb(b \rightarrow c) = 0,5ns$

Los valores en las líneas de reloj son el retardo de propagación desde la fuente de reloj hasta la entrada de reloj. Los parámetros de los registros son:

- $t_{clk-2-q} = 0,15ns$
- $t_{setup} = 0,20ns$
- $t_{hold} = 0,10ns$



margen $st = -0,35ns$

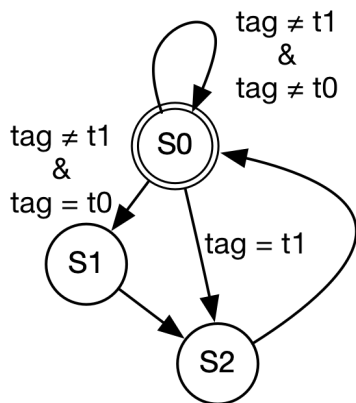
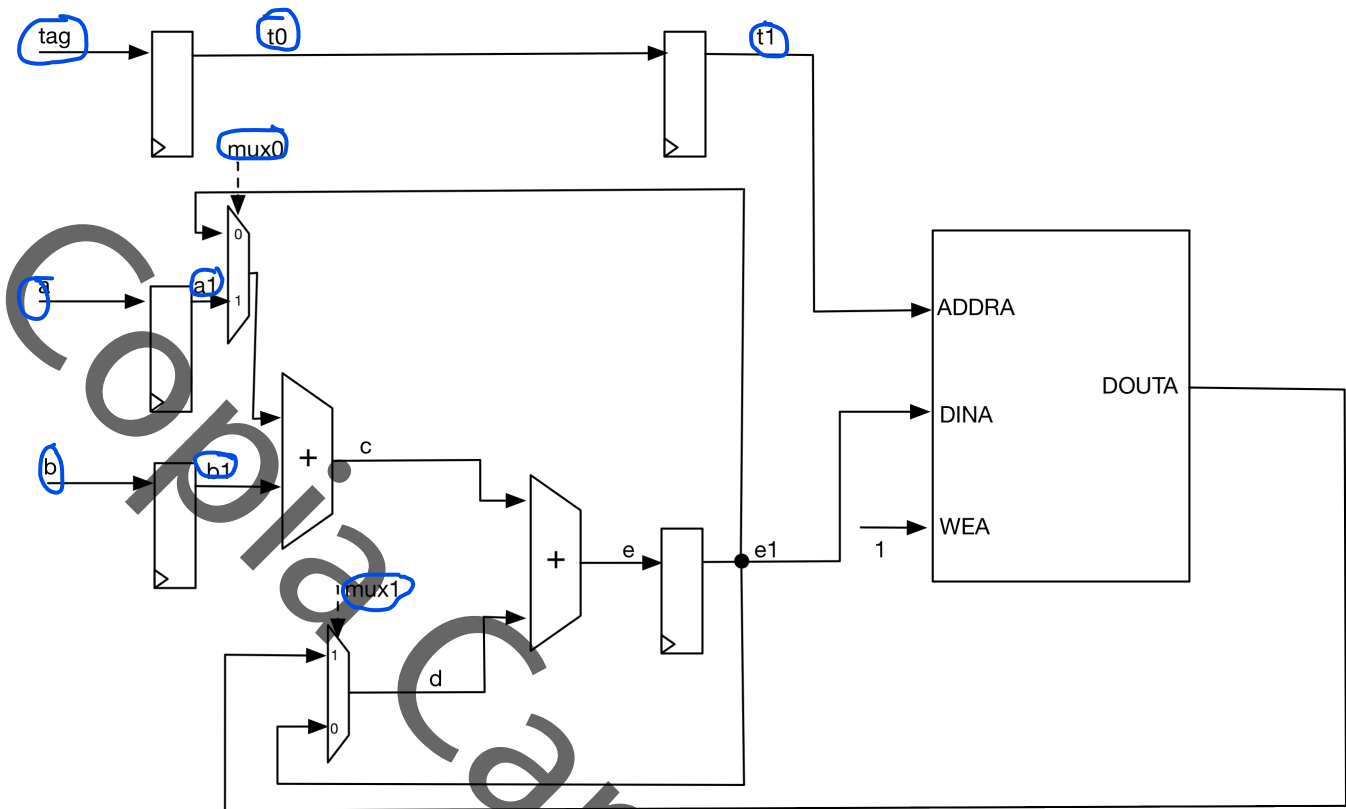
1. Encontrar el camino crítico y justificar si el circuito puede funcionar correctamente a 400 MHz.

2. Indicar la máxima frecuencia a la que puede funcionar correctamente. $f = 350MHz$

3. ¿Sería posible, mediante segmentación, que el circuito funcionase a 400 MHz? Si es el caso, indíquese dónde habría que ubicar los registros de segmentación para hacerlo posible; y compruébese si efectivamente, el circuito segmentado puede funcionar a 400 MHz. Supóngase que el retardo de reloj de el/los nuevo(s) registro(s) es de 0.10 ns.

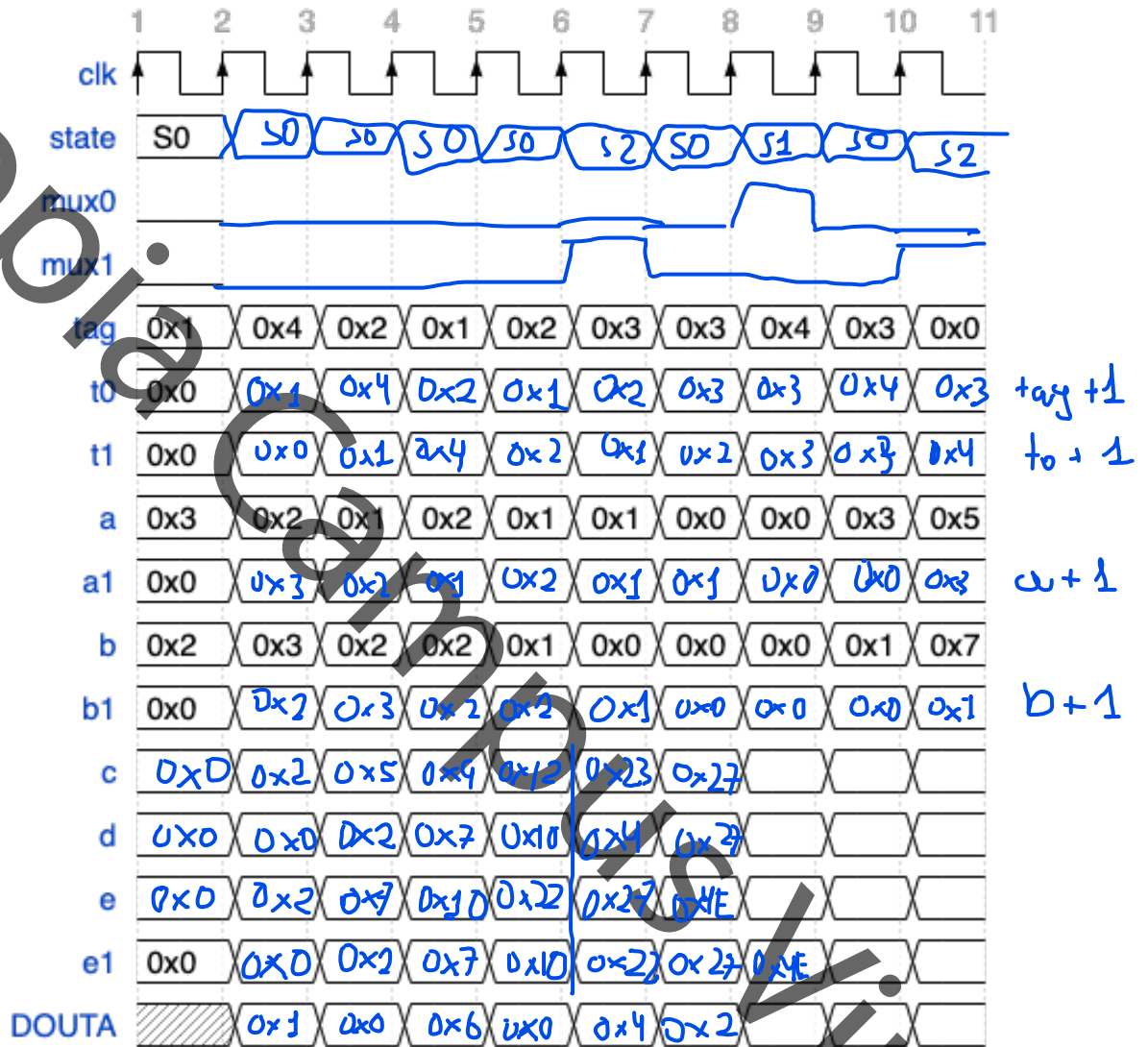
Nuevo margen $\approx 0,1ns$

Ej. 4 — (1.25 puntos) Completar el cronograma correspondiente al siguiente sistema e indicar el contenido final de la memoria SRAM. Las entradas al sistema son tag, a, b, clk y rst. Considerar que la memoria es síncrona y funciona en modo READ_FIRST y ALWAYS_ENABLE.



SRAM	
ADDR	DATA
0x00	0x01
0x01	0x06
0x02	0x04
0x03	0x03
0x04	0x00
0x05	0x02

Tabla de salidas UC		
State	mux0	mux1
S0	0	0
S1	1	0
S2	0	1



SRAM

ADDR	DATA	Evolución de los valores
0x00	0x01	0x00 0x00
0x01	0x06	0x02 0x22
0x02	0x04	0x10
0x03	0x03	
0x04	0x00	0x07
0x05	0x02	

Ej. 5 — (0.5 puntos) Empleando una memoria Block RAM de Xilinx de tamaño 512x32 bits implemente una memoria de 2048x16 bits que pueda usarse para operaciones de lectura. Indique claramente las conexiones de las señales de control así como la anchura y bits usados para formar los buses. ¿Cuántos ciclos de reloj son necesarios para realizar una lectura? ¿Podría escribirse en la memoria? Justifique la respuesta.

Copia Campus Virtual