



UNIVERSIDAD COMPLUTENSE  
MADRID

Ejercicios del ALUMNO

APELLIDOS	Llamas Núñez	D.N.I. n.º	11867802-D
NOMBRE	Juan Carlos	GRUPO	2º B
ASIGNATURA	Laboratorio TOC	N.º DE MATRICULA	
CURSO	3º DG	FECHA	18/10/2020

En este documento, que pretende ser la memoria manuscrita, me dispongo a explicar los pasos que he seguido para la elaboración de la primera parte de la práctica 1. Ante el desconocimiento acerca de cómo realizar este tipo de documentos iré relatando la secuencia de pasos que he dado en la elaboración de la práctica.

En primer lugar he creado un proyecto para el sumador binario de 4 bits. Tras la configuración inicial del proyecto he creado los archivos `adder.vhd` y `divider.vhd`. En el archivo `adder.vhd` he transcrito el código de las transparencias relativo al sumador binario de 4 bits mientras que el archivo `divider.vhd` lo he dejado vacío puesto que esta semana no tengo la posibilidad de ir al laboratorio y seguir la clase de manera presencial. Tras ello he creado un archivo testbench para la simulación con nombre `tb-adder4b.vhd` y basado en el que se nos proporcionó en Campus Virtual. He ejecutado la simulación y el componente funciona de manera correcta como se puede apreciar en el archivo adjunto `simulacion_lab1a.png` en el que también aparece el "nombre de equipo" del sistema (en referencia al "host en el que se está corriendo la simulación").

Tras ello, y aún siendo consciente de que no voy a poderlo probar en el laboratorio sobre la Basys3, he añadido el archivo de pins (pins.xdc). En él, asocio cada una de las entradas del sumador a un switch y las salidas a un LED para poder ver el resultado. Por último he generado el correspondiente Bitstream

Para la práctica 1b he creado 2 proyectos distintos: uno para simular el registro paralelo y otro para implementarlo con un divisor de tensión. En primer lugar he creado el proyecto para la simulación. En él he creado un archivo register.vhd en el que he trasladado el código de las transparencias con alguna pequeña modificación. Después he creado un archivo tb\_registro.vhd sobre el que simularlo.

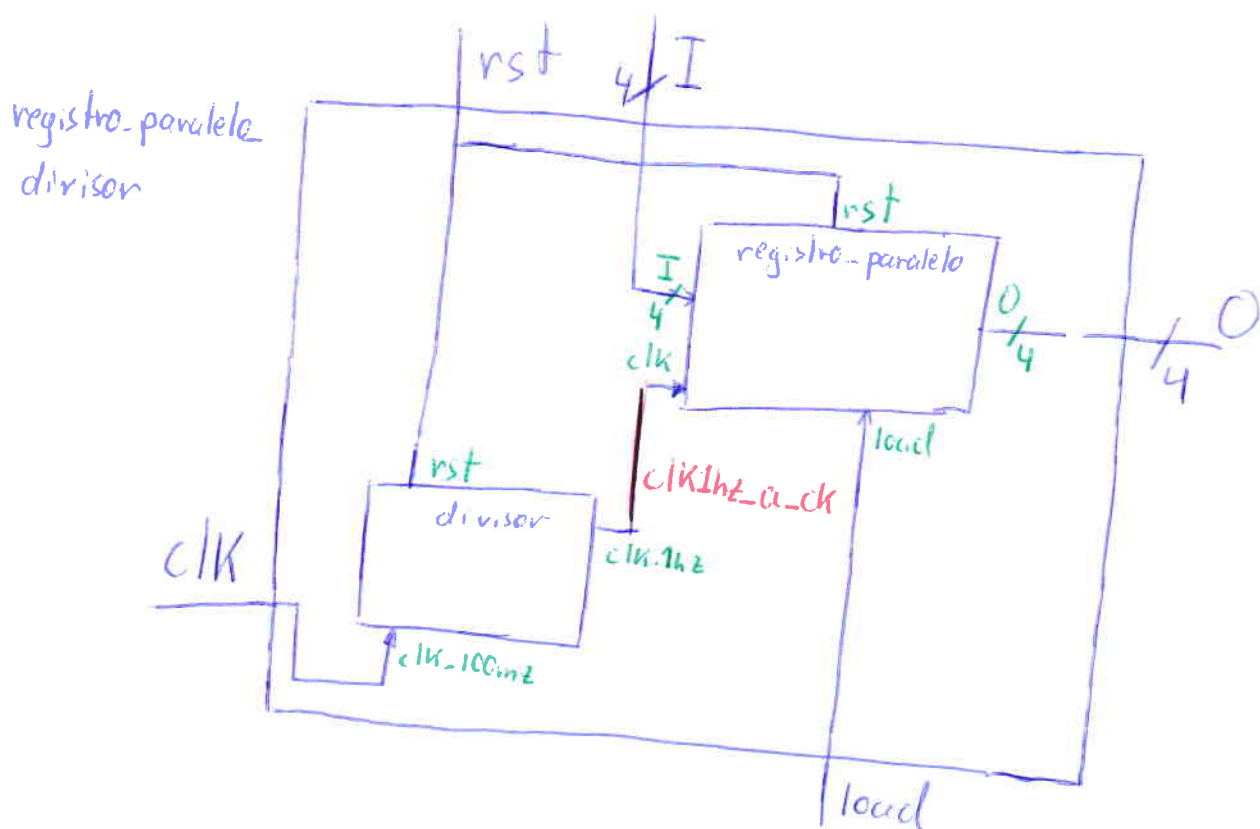
Tras modificar el archivo de testbench que se nos proporcionaba (no contaba con el load, los nombres de las entradas eran distintos y asumía un registro de un único bit de entrada en lugar de 4 bits), he procedido a realizar la simulación. En el archivo simulacion\_lab1b.png se puede apreciar que el registro hace lo que se espera de él.

Por último he creado el proyecto para implementar el registro con divisor de frecuencia (aunque yo no lo voy a poder probar en la Basys3).

Para este último proyecto evento con 3 archivos de fuentes de diseño: reg-div.vhd, registro.vhd y divisor.vhd.

El archivo registro es el mismo que el del proyecto anterior y el archivo divisor es el que se nos proporcionó vía Campus Virtual.

El archivo reg-div, que es el más alto de la jerarquía, incluye a los 2 componentes y establece las conexiones para crear el registro con divisor de frecuencia con un comportamiento esperado. Esquemáticamente:



Tras ello he sobreescribido en el archivo pins.xdc las entradas y salidas correspondientes asignando 4 switches a la entrada I, un switch a rst, un switch a load y 4 LEDs a O, además de descomentar lo relativo al reloj. Finalmente he generado el archivo de bits.