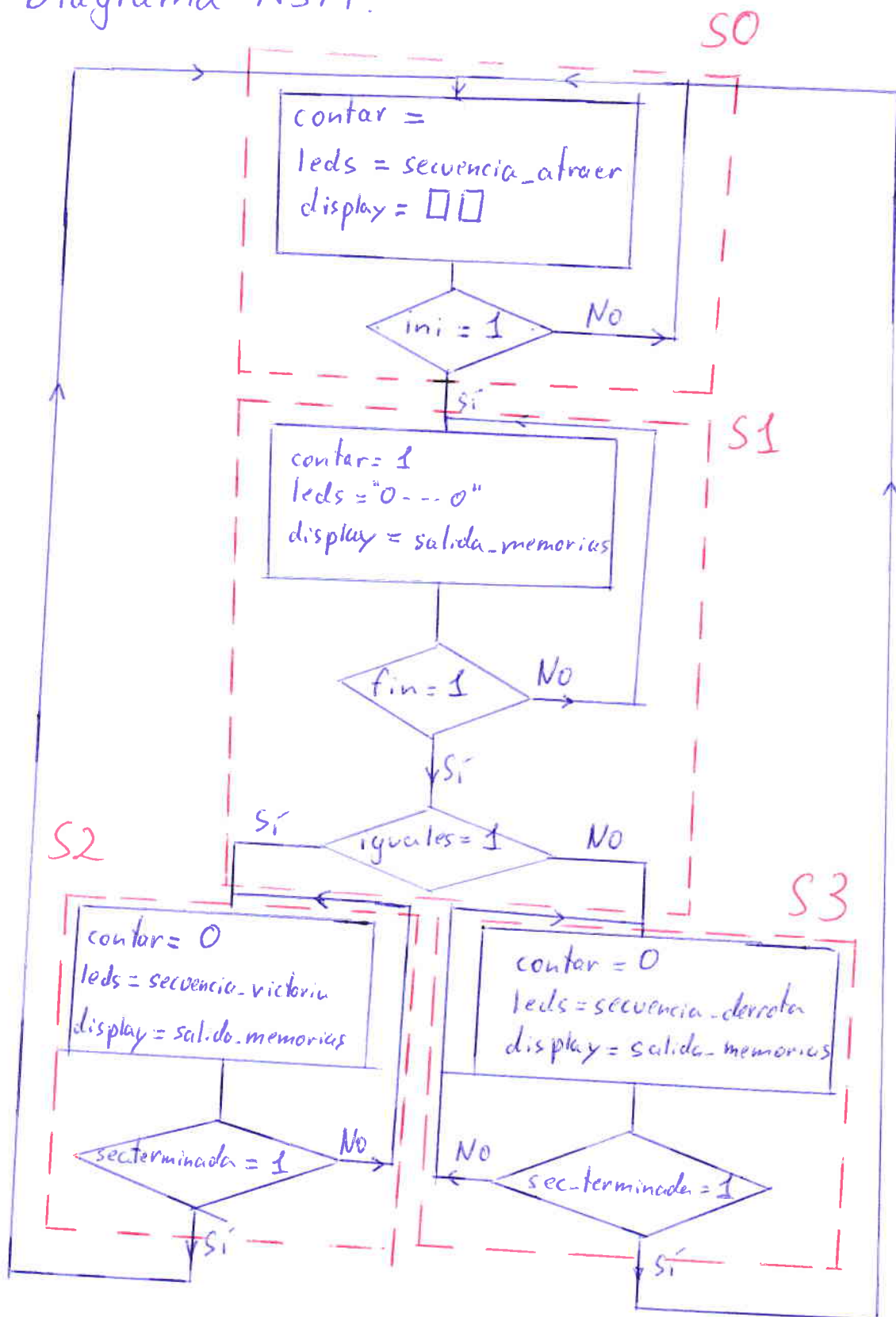
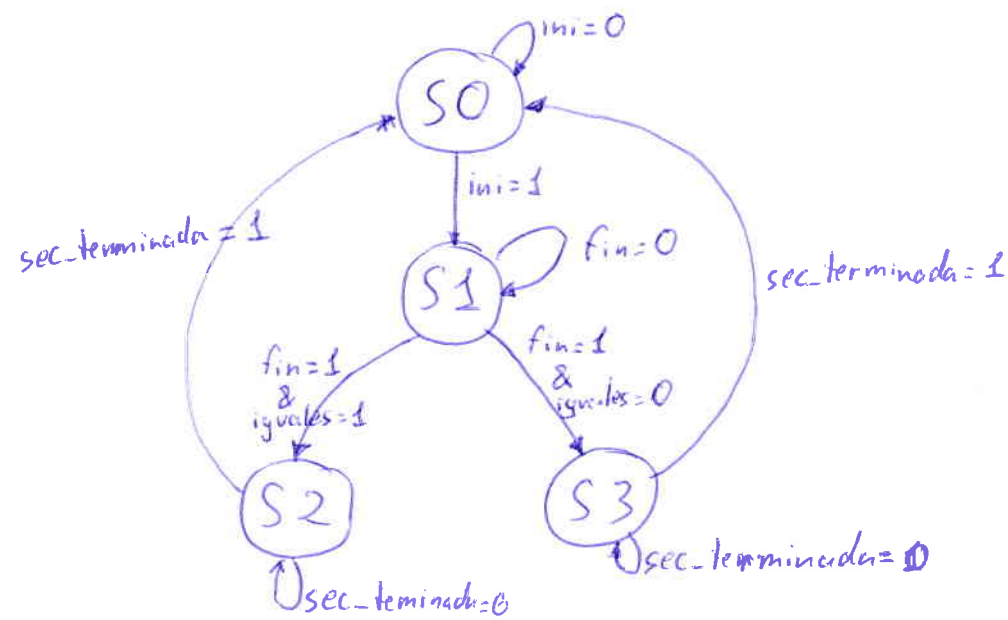


Práctica 5.

1. Diagrama ASM.

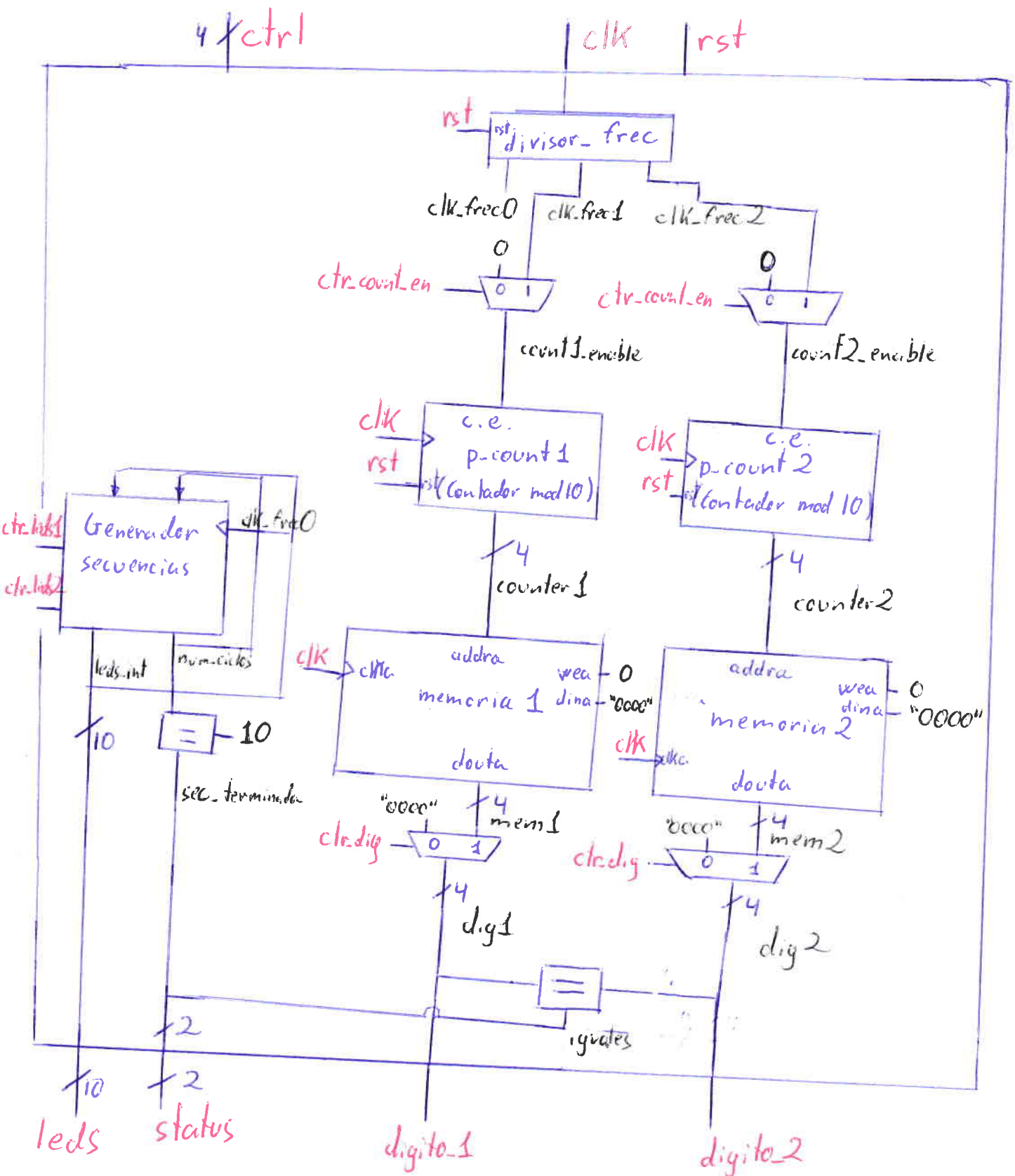


2.- Diseño de la UC : diagrama de transición de estados y tabla de salidas.



	ctr_dig	ctr_count=en	ctr_leds1	ctr_leds2
S0	0	0	0	1
S1	1	1	0	0
S2	1	0	1	1
S3	1	0	1	0

3.-Diseño del camino de datos: diagrama de bloques del camino de datos



4.- Análisis del camino crítico.

El camino crítico es aquel asociado al WNS. En este caso el WNS es 5,344 ns y la frecuencia máxima a la que trabaja este circuito es 214,78 MHz. El camino crítico tiene como origen la memoria 2 y como destino el registro 0 de la FSM del estado actual. Este camino atraviesa los siguientes componentes:

RAMB18-X1Y12 \rightarrow SLICE_X48Y35 \rightarrow SLICE_X44Y35 \rightarrow SLICE_X38Y35
(LUT3) (LUT6) (LUT6)

5.- Localización de las BRAMs en la FPGA.

La celda en la que está localizada la memoria 1 es RAMB19-X1Y14, en la región de X1Y0 y a la derecha de la mayoría de los SLICES que utilizamos.

La memoria 2 está es RAMB18-X1Y12, en la región de reloj X1Y0 y ligeramente debajo de la memoria 1.