

Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro



Laboratório de Sistemas Digitais

2016/2017 – 2º Semestre

Curso de Engenharia de Computadores e Telemática

Projecto – FPGA

Milestone Intermédia

Autores:

Bruno Filipe Oliveira Aguiar, N.º Mec. 80177

João Manuel André Coelho, N.º Mec. 80335

Especificações do sistema

- Clock
- Divisor de Frequência
- 4 Debouncers
- 2 Contadores de pontuações
- Contador de Sets
- Máquina de estados (Moore)
- 3 7SegDecoders

Arquitetura do sistema

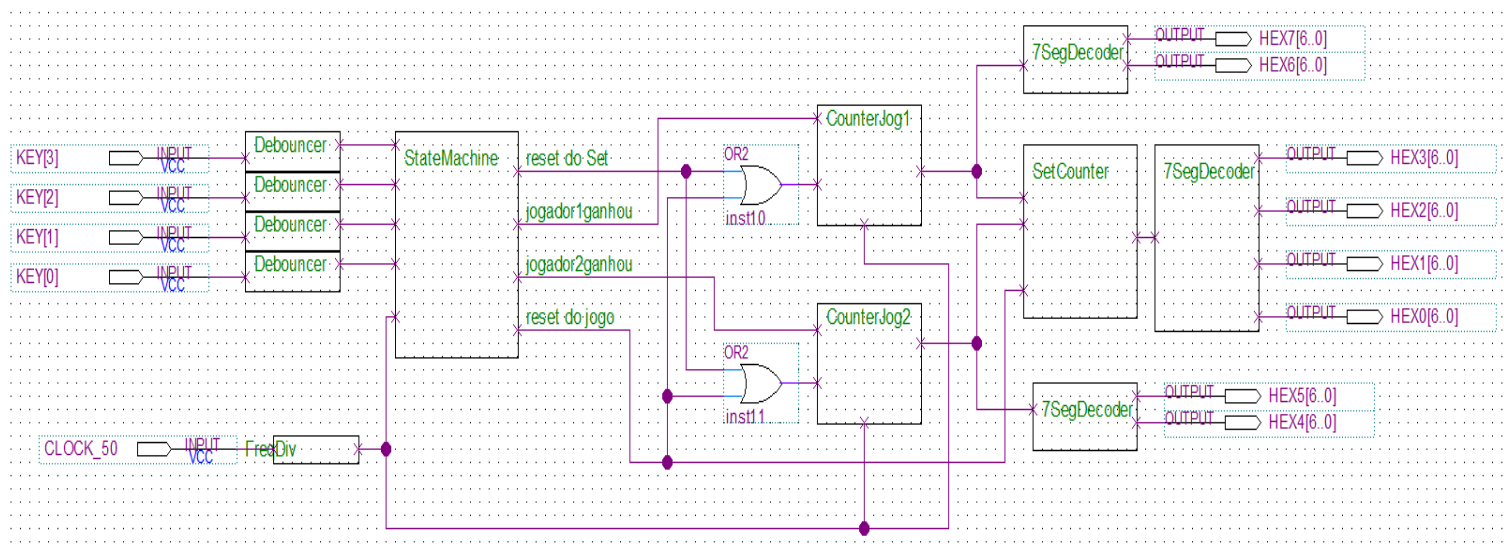


Figura 1.1 – Arquitetura do sistema

Abordagem Faseada de Desenvolvimento e Validação

O projeto será desenvolvido em duas fases principais. A primeira fase corresponde à criação da máquina de estados pois é o centro do projeto. Antes disso, serão necessários 4 debouncers, um para cada botão. As saídas dos debouncers, agora com sinais “limpos”, irão controlar as 4 entradas da máquina de estados. Esta máquina de estados terá 4 saídas: “reset do set”, “jogador1ganhou”, “jogador2ganhou” e “reset do jogo”. A saída “reset do set” irá reiniciar as pontuações dos jogadores nos seus respectivos contadores. As saídas “jogador1ganhou” e “jogador2ganhou” controlam as pontuações dos jogadores. Sempre que um ponto é marcado para o jogador 1, a saída “jogador1ganhou” ativa e o seu contador incrementa, e o mesmo se sucede com o jogador 2. A saída “reset do jogo” reinicia as pontuações do set atual e as pontuação global dos sets.

A segunda fase do projeto caracteriza-se por fazer os restantes componentes como os contadores de pontuações e os 7SegDecoders. O objetivo do CounterJogX (sendo X o número do jogador) é, ao receber um sinal que lhe permite saber quando é marcado um ponto desse mesmo jogador, ir incrementando um sinal que regista o número total de pontos marcados.

Quando o jogador X conseguir a pontuação máxima do set e/ou 2 pontos de avanço, ganha o set e o SetCounter incrementa um set ganho para esse jogador.

De seguida, o SetCounter analisa os sets de cada jogador e ganha quem leva a melhor de 5 sets, acabando por mostrar no display o jogador ganhador, em que para tal efeito usamos um decoder (7SegDecoder).

As pontuações dos dois jogadores são sempre mostradas durante o set por outros displays hexadecimais da FPGA usando a mesma lógica do decoder ligado ao SetCounter.

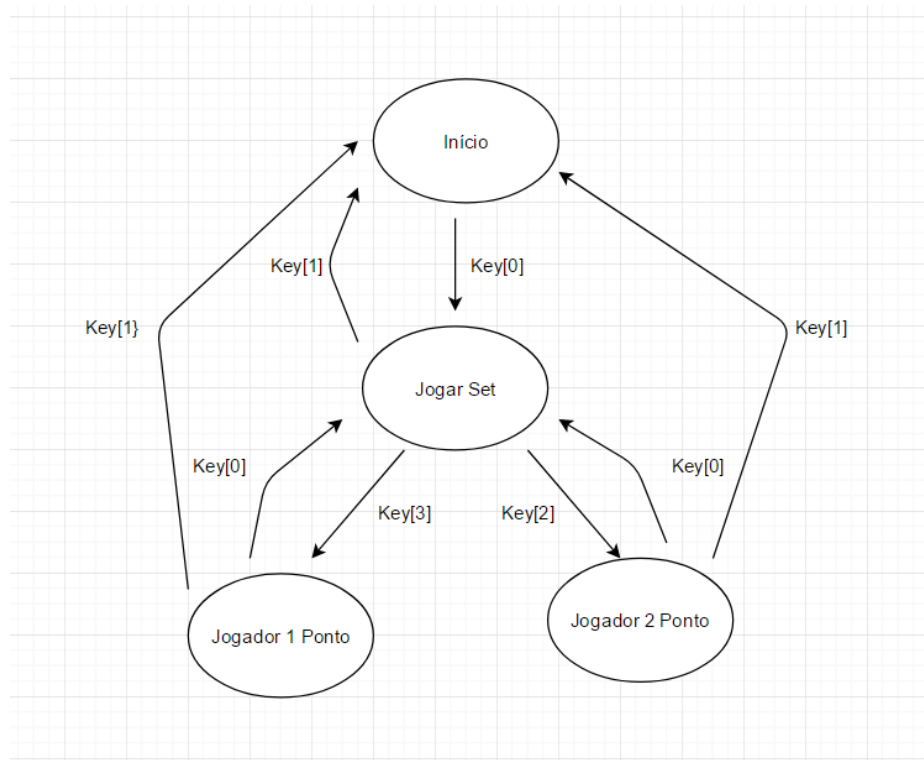


Figura 1.2 – Diagrama da máquina de estados

Divisão do Trabalho de Grupo

Bruno Aguiar - Contador de pontuações e Contador de Sets

João Coelho - 7SegDecoders e Divisor de Frequência

Máquina de estados, revisões finais e testes em conjunto.

Manual do Utilizador

Este projeto consiste num marcador de um jogo de voleibol. Quando o utilizador pressiona o botão KEY[0], dá-se início ao primeiro set do jogo (que decorre até aos 25 pontos ou, no caso de ficar 24-24, até haver uma diferença de 2 pontos) apresentando o resultado nos displays de sete segmentos do Kit DE2-115. Durante cada set, os pontos do jogador 1 são marcados através do botão KEY[3] e os pontos do jogador 2 através do botão KEY[2]. Se, por alguma razão, o utilizador acha que o jogo atual foi injusto, pode fazer reiniciar completamente o jogo premindo o botão KEY[1]. No final de cada set há um intervalo que mostra quem ganhou, e só ao premir o botão KEY[0] é que se dá início ao seguinte set.

No final do jogo, nos displays de sete segmentos é apresentado o vencedor. Para começar um novo jogo, basta pressionar o botão KEY[0].