

Jan Coleen Estilo															
ST-7L - Exam Part 2															
Clock Cycle 3															
Instruction Status		j	k		Issue	Execute	Write Result					Busy	Address		
LD	F8	12+	R9			1 2-					Load1	Yes	12+R9		
LD	F1	13+	R8			2 3-					Load2	Yes	13+R8		
LD	F3	97+	R7			3					Load3	Yes	97+R7		
MUL	F3	F7	F1								Load4	No			
ADD	F4	F8	F9												
ADD	F5	F4	F7												
MUL	F1	F2	F3												
ADD	F0	F8	F11												
MUL	F11	F12	F13												
Reservation Status				S1	S2	RS for j	RS for k								
Time	Name	Busy	Op	Vj	Vk	Qj	Qk								
	0 Add1														
	0 Add2														
	0 Add3														
	0 Mul1														
	0 Mul2														
	0 Mul3														
Register Result Status															
Clock		F0	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13
	3		Load2		Load3					Load1					
Clock Cycle 10															
Instruction Status		j	k		Issue	Execute	Write Result					Busy	Address		
LD	F8	12+	R9			1 2-4	5				Load1	No			
LD	F1	13+	R8			2 3-5	6				Load2	No			
LD	F3	97+	R7			3 4-6	7				Load3	No			
MUL	F3	F7	F1			4 7-					Load4	No			
ADD	F4	F8	F9			5 6-10									
ADD	F5	F4	F7			6									
MUL	F1	F2	F3			7									
ADD	F0	F8	F11			8 9-									
MUL	F11	F12	F13			9									
Reservation Status				S1	S2	RS for j	RS for k								
Time	Name	Busy	Op	Vj	Vk	Qj	Qk								
	0 Add1	Yes	ADD	M(A1)	R(F9)										
	5 Add2	Yes	ADD		R(F7)	Add1									
	3 Add3	Yes	ADD	M(A1)	R(F11)										
	11 Mul1	Yes	MUL	R(F7)	M(A2)										
	15 Mul2	Yes	MUL	R(F2)			Mul1								
	15 Mul3	Yes	MUL	R(F12)	R(F13)										
Register Result Status															
Clock		F0	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13
	10	Add3	Mul2		Mul1	Add1	Add2			M(A1)			Mul3		

Clock Cycle 15															
Instruction Status															
Instruction Status	j	k		Issue	Execute	Write Result					Busy	Address			
LD	F8	12+	R9		1	2-4	5				Load1	No			
LD	F1	13+	R8		2	3-5	6				Load2	No			
LD	F3	97+	R7		3	4-6	7				Load3	No			
MUL	F3	F7	F1		4	7-					Load4	No			
ADD	F4	F8	F9		5	6-10	11								
ADD	F5	F4	F7		6	12-									
MUL	F1	F2	F3		7										
ADD	F0	F8	F11		8	9-13	14								
MUL	F11	F12	F13		9	15-									
Reservation Status															
Time	Name	Busy	Op	Vj	Vk	Qj	Qk								
0	Add1	No													
1	Add2	Yes	ADD	M(A4)	R(F7)										
0	Add3	No													
6	Mul1	Yes	MUL	R(F7)	M(A2)										
15	Mul2	Yes	MUL	R(F2)			Mul1								
14	Mul3	Yes	MUL	R(F12)	R(F13)										
Register Result Status															
Clock		F0	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13
15		M(A5)	Mul2		Mul1	M(A4)	Add2			M(A1)			Mul3		
Last Clock Cycle															
Instruction Status															
Instruction Status	j	k		Issue	Execute	Write Result					Busy	Address			
LD	F8	12+	R9		1	2-4	5				Load1	No			
LD	F1	13+	R8		2	3-5	6				Load2	No			
LD	F3	97+	R7		3	4-6	7				Load3	No			
MUL	F3	F7	F1		4	7-21	22				Load4	No			
ADD	F4	F8	F9		5	6-10	11								
ADD	F5	F4	F7		6	12-16	17								
MUL	F1	F2	F3		7	23-37	38								
ADD	F0	F8	F11		8	9-13	14								
MUL	F11	F12	F13		9	15-29	30								
Reservation Status															
Time	Name	Busy	Op	Vj	Vk	Qj	Qk								
0	Add1	No													
0	Add2	No													
0	Add3	No													
0	Mul1	No													
0	Mul2	No													
0	Mul3	No													
Register Result Status															
Clock		F0	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13
38		M(A5)	M(A9)		M(A7)	M(A4)	M(A6)			M(A1)			M(A8)		