

# Implementación automatizada de redes neuronales para sistemas embebidos

Plan de trabajo proyecto especialización en sistemas embebidos

Autor: Ing. Jose David Alvarado Moreno  
Director: Ing. Federico G. Zacchigna



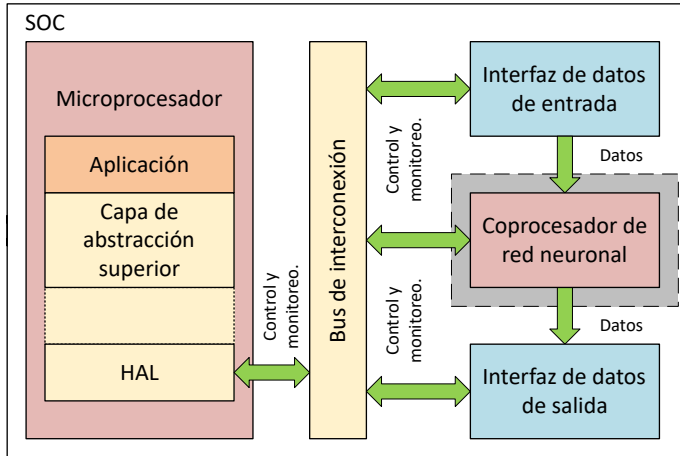
**FACULTAD  
DE INGENIERIA**

Universidad de Buenos Aires

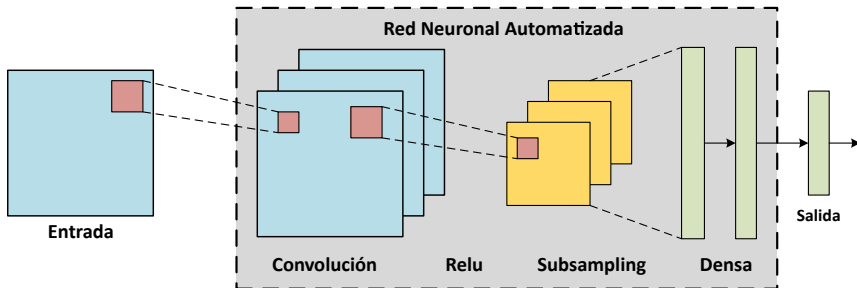
# Contenido

- 1 Descripción
- 2 Interesados
- 3 Propósito del proyecto
- 4 Alcances del proyecto
- 5 Requerimientos del proyecto
- 6 Diagrama actividades
- 7 Diagrama de Gantt
- 8 Gestion de riesgos
- 9 Gestion de calidad

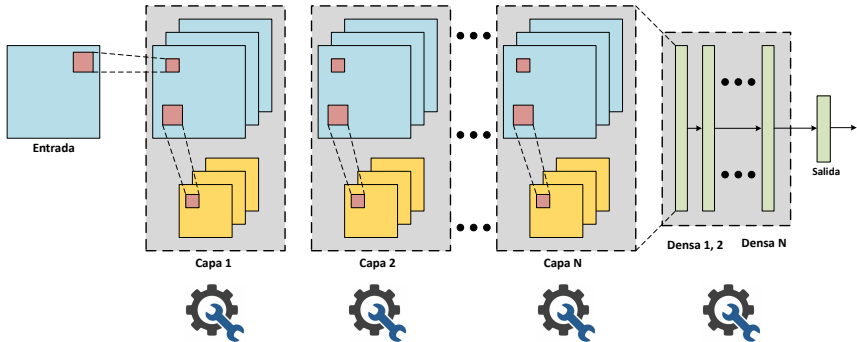
# Descripción I



# Descripción II



# Descripción III



Parámetros: Tamaño de los datos de entrada, números de capas, valores de los pesos de la red neuronal, seleccionar métodos de activación.

# Interesados I



**Laboratorio de  
Sistemas Embebidos**



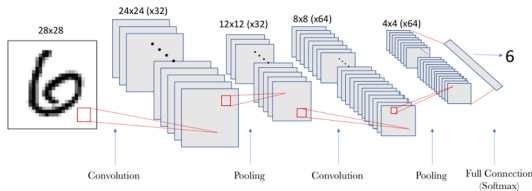
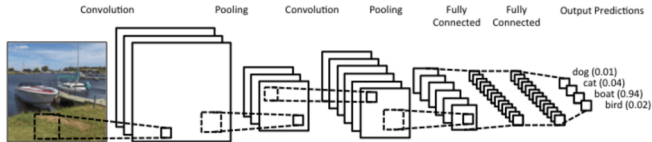
**RECONOCIMIENTO DE PATRONES**



**COMUNIDAD ACADÉMICA**

# Propósito del proyecto I

Con este proyecto se busca realizar un **coprocesador automatizado** para redes neuronales utilizando un **sistema embebido** compuesto por **SoC-FPGA**.



# Alcances del proyecto I

## Incluye:

- Un sistema para general el **modelo de alto nivel** de red neuronal utilizando una herramienta de software especializada (Keras).
- Un **coprocesador** de redes neuronales convolucionales automatizadas.
- Reportes de los **resultados de validación** del sistema.

## No incluye:

El presente proyecto no incluye realizar procesos de optimización, no se utilizaran dispositivos adicionales a la FPGA **PYNQ-Z2**.



# Requerimientos del proyecto I

Modelo de alto nivel.

Cuantización.

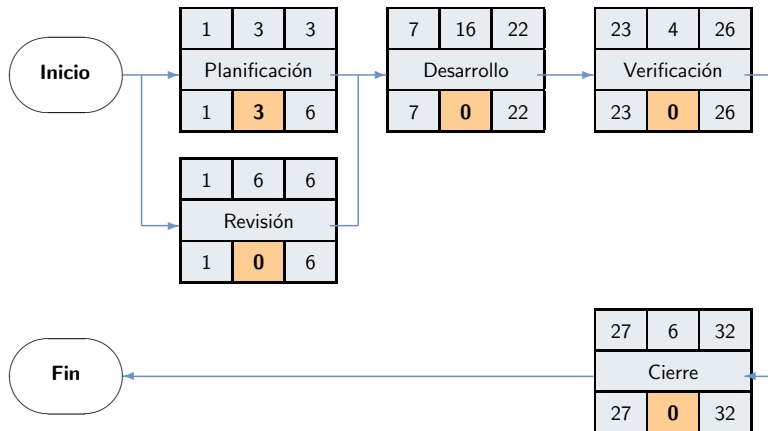
Arquitectura de alto nivel.

Micro-arquitectura.

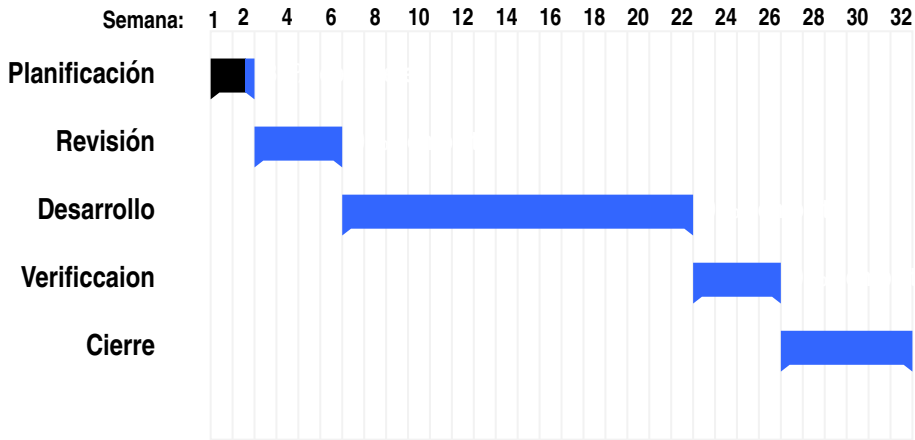
Integración de HW-SW.

Verificación y validación.

# Diagrama actividades I



# Diagrama de Gantt I



# Gestion de riesgos I

Riesgo 1: La FPGA seleccionada no tiene los **recursos de hardware mínimos** para implementar la red neuronal. ( $S = 6$ ,  $O = 3$ )

Riesgo 2: El código HDL generado por la herramienta de alto nivel **no es posible sintetizarlo** para la implementación en la FPGA. ( $S = 5$ ,  $O = 3$ )

Riesgo 3: Obtener **porcentajes de acierto bajos** al realizar la prueba GR debido a el parámetro definido para la cuantización. ( $S = 3$ ,  $O = 2$ )

Riesgo 4: **Retrasos** para realizar las actividades. ( $S = 8$ ,  $O = 2$ )

Riesgo 5: **Fallas** en la placa TUL PYNQ-Z2. ( $S = 10$ ,  $O = 1$ )

# Gestion de calidad I

Se comprobará que la **interfaz de streaming** de datos para todas las capas de la red neuronal cumpla los requisitos funcionales.

Se comprobará que se pueda obtener los datos de la **Golden Reference**.

Se comprobará que se puedan modificar en la herramienta de HW el **número de multiplicadores** por cada capa.

Se realizará pruebas para verificar y validar que se pueda **modificar los características** de la red neuronal.

Se realizará pruebas para evaluar el **comportamiento de la herramienta** de HW.

# Gracias por su atención

## Preguntas ?