

## **TRABAJO ESPECIAL DE GRADO**

### **ADAPTACIÓN DE SISTEMA DE CONTROL DIGITAL PARA CONVERTIDOR ESTÁTICO C.A./C.C.**

Presentando ante la Ilustre Universidad Central de Venezuela por el Br. Maitán J., José D., para optar por el título de Ingeniero Electricista.

**Caracas, 2018**

## **TRABAJO ESPECIAL DE GRADO**

### **ADAPTACIÓN DE SISTEMA DE CONTROL DIGITAL PARA CONVERTIDOR ESTÁTICO C.A./C.C.**

**PROFESOR GUÍA: Ing. Rafael Rivero, M. Sc.**

**TUTOR INDUSTRIAL: Ing. Miguel Arellano**

Presentando ante la Ilustre Universidad Central de Venezuela por el Br. Maitán J., José D., para optar por el título de Ingeniero Electricista.

**Caracas, 2018**

## **CONSTANCIA DE APROBACIÓN**

**Caracas, 2018**

Los abajo firmantes, miembros del Jurado designado por el Consejo de Escuela de Ingeniería Eléctrica, para evaluar el Trabajo Especial de Grado presentado por el bachiller José Daniel Maitán Jiménez, titulado:

### **“ADAPTACIÓN DE SISTEMA DE CONTROL DIGITAL PARA CONVERTIDOR ESTÁTICO C.A./C.C.”**

Consideran que el mismo cumple con los requisitos exigidos por el plan de estudios conducente al Título de Ingeniero Electricista en la mención de Electrónica y Control, y sin que ello signifique que se hacen solidarios con las ideas expuestas por el autor, lo declaran **APROBADO**.

Ing. Wilmer Malpica, Ph.D.

Jurado

Ing. José Romero, M.Sc.

Jurado

Ing. Rafael Rivero, M.Sc.

Profesor Guía

Ing. Miguel Arellano

Tutor Industrial

## **DEDICATORIA**

A mis padres, Stella Jiménez y José Luis Maitán, por su apoyo, ejemplo y amor desde el primer día.

A mi hermano, Luis Nicolás Maitán, por inspirarme a dar lo mejor de mí y dejar un ejemplo a seguir.

A Omaira Gutiérrez y Belén Gutiérrez, por abrirme las puertas de su hogar, aconsejarme y prestar su ayuda incondicional cuando más lo necesité.

A Verónica R. Gutiérrez, por darme su apoyo, comprensión y amor incondicional durante toda esta travesía.

A mis abuelos, José N. Jiménez, Eugenio Maitán, Rosalía Villarruel y Lucrecia Herrera, por apoyarme y darme su cariño desde el día en que nací.

A Dios, por permitirme llegar a este punto de mi vida.

## **RECONOCIMIENTOS Y AGRADECIMIENTOS**

A la Universidad Central de Venezuela, la cual fue mi hogar durante todos estos años de estudio y me dio las herramientas y conocimientos para afrontar el futuro.

A mi tutor industrial, Miguel Arellano y a mi profesor guía, Rafael Rivero, quienes mediante sus enseñanzas, consejos y regaños me mantuvieron en el camino correcto para culminar este trabajo de grado.

A la Fundación Instituto de Ingeniería para Investigación y Desarrollo Tecnológico, la cual me abrió sus puertas y suministró materiales y recursos para lograr el desarrollo de este trabajo de grado.

Al personal del laboratorio del Centro de Ingeniería Eléctrica y Sistemas, Gliver, Gabriel, Tomás, Hermes y Alan; por sus consejos y apoyo.

Al ingeniero Jorge Unamo, por prestarme su apoyo y material de investigación como base para el desarrollo de este trabajo de grado.

A mis amigos, Juan, David F., Elohin, Jessica, Karen, Francisco, Josef, Mario, David R., Valeria y Maryan solo por mencionar algunos; por acompañarme durante todos estos años y compartir los buenos y malos momentos.

**José Daniel Maitán Jiménez**

## **ADAPTACIÓN DE SISTEMA DE CONTROL PARA CONVERTIDOR ESTÁTICO CA/CC**

**Profesor Guía: Ing. Rafael Rivero, M.Sc. Tutor Industrial: Ing. Miguel Arellano.**  
**Tesis. Caracas. UCV. Facultad de Ingeniería. Escuela de Ingeniería Eléctrica.**  
**Ingeniero Electricista. Opción: Electrónica y Control. FIIIDT. 2018. 173 h. +**  
**Anexos.**

**Palabras claves:** Sistemas de control; Electrónica de potencia; Tarjetas Electrónicas; FPGA; Rectificación Trifásica Controlada; Convertidores Estáticos; Innovación; Transferencia tecnológica.

**Resumen.** En la actualidad las fuentes de CC poseen una gran demanda dentro de los sectores industrial, militar, de energías alternativas y energías renovables, solo por mencionar algunos. A su vez, las mismas pueden ser utilizadas para aplicaciones como cargadores de baterías, rectificadores, accionamiento de motores de CC, entre otros. Es de esta forma como la Fundación Instituto de Ingeniería para la Investigación y Desarrollo Tecnológico (FIIIDT) plantea la adaptación del sistema de control para un convertidor estático CA/CC previamente construido con una potencia máxima de salida de 60 kW, basándose en el uso de tarjetas de desarrollo equipadas con un FPGA como elemento principal.

El presente trabajo de grado, del tipo experimental, se basa teóricamente en los conceptos de electrónica de potencia y sistemas de control. De esta forma, utilizando las fuentes bibliográficas correspondientes en conjunto con el apoyo y materiales suministrados por parte de la FIIIDT, se plantea un proyecto de investigación factible al nivel de un trabajo de grado de un estudiante de ingeniería electrónica de pregrado.

Mediante la realización de este proyecto, se obtuvieron conocimientos y referencias para el desarrollo de este tipo de tecnologías en base a la utilización de materiales de origen nacional.

## ÍNDICE GENERAL

<b>CUBIERTA EXTERNA .....</b>	<b>i</b>
<b>ANTEPORTADA.....</b>	<b>ii</b>
<b>CONSTANCIA DE APROBACIÓN .....</b>	<b>iii</b>
<b>DEDICATORIA.....</b>	<b>iv</b>
<b>RECONOCIMIENTOS Y AGRADECIMIENTOS .....</b>	<b>v</b>
<b>RESUMEN.....</b>	<b>vi</b>
<b>ÍNDICE GENERAL .....</b>	<b>vii</b>
<b>LISTA DE FIGURAS .....</b>	<b>xiv</b>
<b>LISTA DE TABLAS .....</b>	<b>xx</b>
<b>ACRÓNIMOS Y SIGLAS.....</b>	<b>xxi</b>
<b>INTRODUCCIÓN .....</b>	<b>1</b>
<b>CAPÍTULO I. FUNDAMENTOS.....</b>	<b>4</b>
<b>1.1. PLANTEAMIENTO DEL PROBLEMA .....</b>	<b>4</b>
<b>1.2. OBJETIVOS .....</b>	<b>8</b>
<b>1.2.1. Objetivo general.....</b>	<b>8</b>
<b>1.2.2. Objetivos específicos .....</b>	<b>9</b>
<b>1.3. JUSTIFICACIÓN .....</b>	<b>9</b>
<b>CAPÍTULO II. MARCO REFERENCIAL.....</b>	<b>11</b>
<b>2.1. ANTECEDENTES DEL ESTUDIO .....</b>	<b>11</b>
<b>2.2. MARCO TEÓRICO.....</b>	<b>13</b>
<b>2.2.1. Tiristores (SCR) .....</b>	<b>13</b>

<b>2.2.1.1. Parámetros de importancia de SCRs .....</b>	<b>16</b>
<b>2.2.1.2. Circuito de disparo.....</b>	<b>17</b>
<b>2.2.1.3. Activación de SCR.....</b>	<b>18</b>
<b>2.2.1.4. Desactivación de SCR .....</b>	<b>19</b>
<b>2.2.1.5. Protección contra <i>di/dt</i> .....</b>	<b>21</b>
<b>2.2.1.6. Protección contra <i>dv/dt</i> .....</b>	<b>22</b>
<b>2.2.2. Rectificadores trifásicos .....</b>	<b>23</b>
<b>2.2.2.1. Rectificadores trifásicos no controlados.....</b>	<b>23</b>
<b>2.2.2.1.1. Efecto de inductancia de fuente .....</b>	<b>28</b>
<b>2.2.2.1.2. Tensión constante en la salida .....</b>	<b>33</b>
<b>2.2.2.2. Rectificadores trifásicos controlados.....</b>	<b>35</b>
<b>2.2.2.2.1. Efecto de inductancia de fuente .....</b>	<b>42</b>
<b>2.2.2.2.2. Conducción de corriente no continua .....</b>	<b>44</b>
<b>2.2.2.2.3. Sincronización de disparos de conducción .....</b>	<b>45</b>
<b>2.2.2.2.4. Regulación de carga .....</b>	<b>46</b>
<b>2.2.3. Arreglos de compuertas programables en campo (FPGA).....</b>	<b>47</b>
<b>2.2.4. Controladores PID.....</b>	<b>48</b>
<b>2.2.4.1. Control proporcional .....</b>	<b>50</b>
<b>2.2.4.2. Control Integral.....</b>	<b>50</b>
<b>2.2.4.3. Control derivativo .....</b>	<b>51</b>
<b>CAPÍTULO III. MARCO METODOLÓGICO.....</b>	<b>52</b>
<b>3.1. Estudio documental.....</b>	<b>52</b>
<b>3.2. Levantamiento de información .....</b>	<b>53</b>

<b>3.2.1. Alimentación trifásica/Transformador trifásico.....</b>	<b>54</b>
<b>3.2.2. Puente rectificador trifásico controlado con tiristores (SCR) .....</b>	<b>56</b>
<b>3.2.3. Filtro pasivo.....</b>	<b>57</b>
<b>3.2.4. Tarjeta de desarrollo equipada con FPGA.....</b>	<b>58</b>
<b>3.2.5. Fuentes de alimentación en CC para componentes electrónicos .....</b>	<b>59</b>
<b>3.3. Conexiones e incorporación de las nuevas tarjetas electrónicas .....</b>	<b>60</b>
<b>3.3.1. Alimentación trifásica.....</b>	<b>62</b>
<b>3.3.2. Puente rectificador trifásico.....</b>	<b>63</b>
<b>3.3.3. Circuito de acondicionamiento de pulsos de disparo .....</b>	<b>64</b>
<b>3.3.4. Filtro pasivo.....</b>	<b>66</b>
<b>3.3.5. Carga.....</b>	<b>67</b>
<b>3.3.6. Tarjeta de circuitos divisores de tensión.....</b>	<b>68</b>
<b>3.3.7. Tarjeta de aislamiento de señales .....</b>	<b>70</b>
<b>3.3.8. Circuito de ajuste de atenuación de tensión .....</b>	<b>75</b>
<b>3.3.9. Adaptador de señal bipolar a unipolar .....</b>	<b>75</b>
<b>3.3.10. Circuito divisor de alta tensión.....</b>	<b>77</b>
<b>3.3.11. Tarjeta de desarrollo equipada con FPGA.....</b>	<b>79</b>
<b>3.3.12. Interfaz usuario-máquina (HMI) .....</b>	<b>81</b>
<b>3.3.13. Fuentes de alimentación de baja tensión en CC.....</b>	<b>81</b>
<b>3.4. Análisis del lazo de control existente .....</b>	<b>82</b>
<b>3.4.1. Entrada del sistema .....</b>	<b>82</b>
<b>3.4.2. Lazo de realimentación .....</b>	<b>82</b>
<b>3.4.3. Controlador .....</b>	<b>83</b>

<b>3.4.4. Actuador .....</b>	<b>83</b>
<b>3.4.5. Planta .....</b>	<b>83</b>
<b>3.4.6. Sensor.....</b>	<b>87</b>
<b>3.5. Simulación de circuitos y del sistema de control a utilizar.....</b>	<b>87</b>
<b>3.5.1. Simulación de acondicionamiento de señales de alimentación .....</b>	<b>87</b>
<b>3.5.2. Simulación de sincronización de pulsos de disparo .....</b>	<b>89</b>
<b>3.5.3. Simulación de circuitos de acondicionamiento de pulsos de disparo..</b>	<b>90</b>
<b>3.5.4. Simulación de filtro pasivo.....</b>	<b>92</b>
<b>3.5.5. Simulación de rectificador trifásico controlado por fase a frecuencia de línea .....</b>	<b>93</b>
<b>3.5.6. Simulación de convertidor CA/CC a lazo abierto.....</b>	<b>95</b>
<b>3.5.7. Simulación de convertidor CA/CC a lazo cerrado .....</b>	<b>96</b>
<b>3.5.8. Simulación de regulación en convertidor CA/CC a lazo cerrado .....</b>	<b>99</b>
<b>3.6. Implementación del sistema de control digital mediante el uso de tarjetas de desarrollo con FPGA y lenguaje VHDL.....</b>	<b>100</b>
<b>3.6.1. Convertidores analógicos a digitales .....</b>	<b>101</b>
<b>3.6.2. Sincronización de disparos de conducción .....</b>	<b>108</b>
<b>3.6.3. Control de disparo de los tiristores .....</b>	<b>110</b>
<b>3.6.4. Controlador PID .....</b>	<b>111</b>
<b>3.6.4.1. Implementación digital del controlador PID .....</b>	<b>112</b>
<b>3.6.4.2. Modificaciones en el algoritmo del controlador PID .....</b>	<b>114</b>
<b>3.6.4.2.1. Escalamiento de componentes .....</b>	<b>114</b>
<b>3.6.4.2.2. Tiempo de muestreo .....</b>	<b>116</b>

3.6.4.2.3. Efecto de consigna en componente derivativa .....	119
3.6.4.2.4. Efecto de variaciones en la constante integral .....	120
3.6.4.2.5. Limitadores .....	122
3.6.5. Actuador .....	124
3.6.5.1. Digitalización de variables analógicas en el lazo de control.....	124
3.6.5.2. Conversión de señal de ajuste .....	127
3.6.6. Ajuste de consigna (HMI) .....	133
3.7. Pruebas prácticas bajo carga y ajustes.....	134
3.7.1. Pruebas de acondicionamiento de señales de alimentación .....	134
3.7.2. Pruebas de sincronización de pulsos de disparo .....	135
3.7.3. Pruebas de acondicionamiento de pulsos de disparo.....	135
3.7.4. Pruebas de rectificación trifásica controlada por fase a frecuencia de línea .....	135
3.7.5. Pruebas de convertidor CA/CC a lazo abierto.....	136
3.7.6. Pruebas de convertidor CA/CC a lazo cerrado.....	136
3.7.7. Pruebas de regulación en convertidor CA/CC a lazo cerrado.....	137
<b>CAPÍTULO IV. ANÁLISIS E INTERPETACIÓN DE RESULTADOS .....</b>	<b>138</b>
4.1. Acondicionamiento de señales de alimentación .....	138
4.2. Sincronización de pulsos de disparo .....	140
4.3. Acondicionamiento de pulsos de disparo .....	142
4.4. Rectificador trifásico controlado por fase a frecuencia de línea .....	145
4.5. Convertidor CA/CC a lazo abierto .....	148
4.6. Convertidor CA/CC a lazo cerrado .....	155

<b>4.7. Regulación en convertidor CA/CC a lazo cerrado .....</b>	<b>164</b>
<b>CONCLUSIONES.....</b>	<b>168</b>
<b>RECOMENDACIONES.....</b>	<b>171</b>
<b>REFERENCIAS BIBLIOGRÁFICAS .....</b>	<b>174</b>
<b>BIBLIOGRAFÍA.....</b>	<b>176</b>
<b>GLOSARIO .....</b>	<b>179</b>
<b>ANEXOS .....</b>	<b>185</b>
<b>Anexo 1. Rutina de control de convertidores analógicos a digitales en VHDL .....</b>	<b>185</b>
<b>Anexo 2. Rutina de detección de cruce por cero en VHDL .....</b>	<b>188</b>
<b>Anexo 3. Rutina de control de disparo de SCR en VHDL.....</b>	<b>190</b>
<b>Anexo 4. Rutina de controlador PID en VHDL.....</b>	<b>195</b>
<b>Anexo 5. Rutina de control de actuador en VHDL .....</b>	<b>197</b>
<b>Anexo 6. Rutina de ajuste de consigna en VHDL.....</b>	<b>199</b>
<b>Anexo 7. Diagrama de bloques del sistema de control diseñado en Quartus II .....</b>	<b>200</b>
<b>Anexo 8. Extracto de hoja de datos para SCR SKKT 92B12 E .....</b>	<b>201</b>
<b>Anexo 9. Extracto de hoja de datos para condensadores B43310.....</b>	<b>202</b>
<b>Anexo 10. Extracto de hoja de datos para FPGA modelo Cyclone I EP1C6T144C6 .....</b>	<b>203</b>
<b>Anexo 11. Extracto de hoja de datos para amplificador de instrumentación AD620 (I) .....</b>	<b>204</b>
<b>Anexo 12. Extracto de hoja de datos para amplificador de instrumentación AD620 (II) .....</b>	<b>205</b>

<b>Anexo 13. Extracto de hoja de datos para amplificador de aislamiento AD210</b>	<b>206</b>
.....	
<b>Anexo 14. Extracto de hoja de datos para ADC AD7866 (I)</b> .....	<b>207</b>
<b>Anexo 15. Extracto de hoja de datos para ADC AD7866 (II)</b> .....	<b>208</b>
<b>Anexo 16. Extracto de hoja de datos para controlador IR2110 (I)</b> .....	<b>209</b>
<b>Anexo 17. Extracto de hoja de datos para controlador IR2110 (II) .....</b>	<b>210</b>
<b>Anexo 18. Extracto de hoja de datos para transformadores de pulso SKPT 11</b>	
.....	<b>211</b>
<b>Anexo 19. Extracto de hoja de datos de multímetro UT50B de la marca UNI-T</b>	
.....	<b>212</b>
<b>Anexo 20. Plano circuital de circuitos de acondicionamiento de señales de fase y de disparo diseñados .....</b>	<b>213</b>
<b>Anexo 21. Tabla de resultados y medidas para convertidor CA/CC a lazo abierto.....</b>	<b>214</b>
<b>Anexo 22. Asignación de pines utilizada en el diseño dentro del FPGA .....</b>	<b>215</b>

## LISTA DE FIGURAS

<b>Figura 1.</b> Rectificador controlador por fase a frecuencia de línea de 60 KVA.....	6
<b>Figura 2.</b> Módulo de control basado en FPGA (EP1C6T144C6) .....	7
<b>Figura 3.</b> Símbolo y terminales de un tiristor SCR <sup>[3]</sup> .....	13
<b>Figura 4.</b> Función característica de SCR <sup>[3]</sup> .....	14
<b>Figura 5.</b> Ejemplo básico de funcionamiento de SCR <sup>[3]</sup> .....	14
<b>Figura 6.</b> Modelos simplificados de un SCR <sup>[3]</sup> .....	15
<b>Figura 7.</b> Circuito de protección de compuerta de SCR <sup>[4]</sup> .....	17
<b>Figura 8.</b> Características de desactivación de SCR <sup>[4]</sup> .....	20
<b>Figura 9.</b> Circuito pulsador con inductores limitantes de $di/dt$ <sup>[4]</sup> .....	21
<b>Figura 10.</b> Circuitos de protección $dv/dt$ .....	22
<b>Figura 11.</b> Rectificador trifásico no controlado <sup>[3]</sup> .....	23
<b>Figura 12.</b> Modelo simplificado de rectificador trifásico no controlado con corriente continua constante <sup>[3]</sup> .....	24
<b>Figura 13.</b> Formas de onda para rectificador trifásico no controlado <sup>[3]</sup> .....	25
<b>Figura 14.</b> Rectificador trifásico controlado con inductancia de fuente $L_s$ finita y una corriente continua constante <sup>[3]</sup> .....	29
<b>Figura 15.</b> Proceso de conmutación de corriente <sup>[3]</sup> .....	29
<b>Figura 16.</b> Rectificador trifásico con inductancia $L_s$ y tensión constante en CC (a). Circuito equivalente (b). Formas de ondas resultantes (c) <sup>[3]</sup> .....	34
<b>Figura 17.</b> Rectificador trifásico controlado práctico <sup>[3]</sup> .....	35

<b>Figura 18.</b> Modelo simplificado de rectificador trifásico controlado con corriente continua constante <sup>[3]</sup> .....	36
<b>Figura 19.</b> Formas de onda para rectificador trifásico controlado <sup>[3]</sup> .....	37
<b>Figura 20.</b> Función normalizada de la tensión de salida $V_d$ respecto a $V_{do}$ como función del ángulo de retardo de disparo $\alpha$ <sup>[3]</sup> .....	40
<b>Figura 21.</b> Formas de onda de tensión de salida $v_d$ para distintos ángulos de disparo en rectificador trifásico controlado (modelo idealizado) <sup>[3]</sup> .....	41
<b>Figura 22.</b> Rectificador trifásico controlado con $L_s$ y una corriente continua constante <sup>[3]</sup> .....	42
<b>Figura 23.</b> Comutación en rectificador trifásico controlado en presencia de inductancia de fuente <sup>[3]</sup> .....	43
<b>Figura 24.</b> Formas de onda para rectificador trifásico controlado con corriente no continua <sup>[3]</sup> .....	45
<b>Figura 25.</b> Regulación de rectificador trifásico controlado <sup>[3]</sup> .....	47
<b>Figura 26.</b> Arquitectura interna de un FPGA .....	48
<b>Figura 27.</b> Controlador PID incorporado a un sistema realimentado <sup>[6]</sup> .....	50
<b>Figura 28.</b> Diagrama de bloques del sistema de control del convertidor CA/CC .....	53
<b>Figura 29.</b> Panel de alimentación trifásica .....	54
<b>Figura 30.</b> Transformador trifásico $\Delta - Y$ .....	55
<b>Figura 31.</b> Módulo de SCR utilizado .....	56
<b>Figura 32.</b> Puente rectificador trifásico controlado .....	56
<b>Figura 33.</b> Inductor del filtro pasivo del convertidor CA/CC .....	57
<b>Figura 34.</b> Banco de condensadores del filtro pasivo del convertidor CA/CC .....	57
<b>Figura 35.</b> Diagrama de componentes principales de tarjeta de desarrollo equipada con FPGA .....	58

<b>Figura 36.</b> Fuentes de alimentación en CC utilizadas para el convertidor CA/CC....	59
<b>Figura 37.</b> Modelo de conexiones para convertidor de CA/ CC [8] .....	60
<b>Figura 38.</b> Diagrama de conexiones para convertidor CA/CC utilizado .....	61
<b>Figura 39.</b> Diagrama circuital de encendido y apagado del convertidor .....	63
<b>Figura 40.</b> Circuito de puente rectificador trifásico controlado .....	64
<b>Figura 41.</b> Ejemplo de circuito de control para SCR con controladores y transformadores de pulso .....	65
<b>Figura 42.</b> Filtro pasivo del convertidor CA/CC.....	66
<b>Figura 43.</b> Carga utilizada para convertidor CA/CC.....	67
<b>Figura 44.</b> Diagrama de conexiones para carga utilizada .....	68
<b>Figura 45.</b> Tarjeta de circuitos divisores de tensión.....	69
<b>Figura 46.</b> Tarjeta de aislamiento de señales .....	73
<b>Figura 47.</b> Ejemplo de circuito equivalente de acondicionamiento de señales.....	73
<b>Figura 48.</b> Plano circuital de tarjeta de aislamiento de señales.....	74
<b>Figura 49.</b> Ejemplo de circuito de ajuste de atenuación de tensión .....	75
<b>Figura 50.</b> Adaptador de señal bipolar a unipolar .....	76
<b>Figura 51.</b> Circuito divisor de alta tensión.....	78
<b>Figura 52.</b> Ejemplo de circuito acondicionador de señal de salida para convertidor CA/CC.....	78
<b>Figura 53.</b> Circuito de ajuste de consigna .....	81
<b>Figura 54.</b> Ejemplo de circuito de acondicionamiento de señal de alimentación .....	88
<b>Figura 55.</b> Ejemplo de acondicionamiento de señal de alimentación .....	88
<b>Figura 56.</b> Simulación de sincronización de disparos de SCRs del puente rectificador .....	89

<b>Figura 57.</b> Simulación de lógica de sincronización de disparos .....	90
<b>Figura 58.</b> Simulación de circuito de acondicionamiento de pulsos de disparo .....	91
<b>Figura 59.</b> Señales resultantes para simulación de circuitos de acondicionamiento de pulsos de disparo .....	92
<b>Figura 60.</b> Diagrama de Bode simulado para filtro pasivo utilizado .....	93
<b>Figura 61.</b> Ejemplo de rectificador trifásico controlado .....	94
<b>Figura 62.</b> Formas de onda resultantes para simulación de rectificador trifásico controlado.....	94
<b>Figura 63.</b> Circuito simulado de convertidor CA/CC a lazo abierto.....	95
<b>Figura 64.</b> Formas de onda resultantes para simulación de convertidor CA/CC a lazo abierto.....	96
<b>Figura 65.</b> Circuito simulado de convertidor CA/CC a lazo cerrado.....	98
<b>Figura 66.</b> Formas de onda resultantes para simulación de convertidor CA/CC a lazo cerrado.....	98
<b>Figura 67.</b> Simulación de regulación para convertidor CA/CC a lazo cerrado.....	99
<b>Figura 68.</b> Formas de ondas resultantes para simulación de regulación para convertidor CA/CC a lazo cerrado .....	100
<b>Figura 69.</b> Diagrama de bloques del sistema de control programado .....	101
<b>Figura 70.</b> Configuración de convertidor analógico a digital AD7866 utilizada.....	102
<b>Figura 71.</b> Diagrama de tiempo para interfaz serial del AD7866 .....	103
<b>Figura 72.</b> Máquina de estados para controlar los ADC AD7866 .....	104
<b>Figura 73.</b> Ciclo de histéresis utilizado en rutina de sincronización.....	110
<b>Figura 74.</b> Regla de integración rectangular hacia adelante <sup>[10]</sup> .....	113
<b>Figura 75.</b> Máquina de estados para controlador PID.....	117

<b>Figura 76.</b> Efecto de ajuste de componente derivativa <sup>[11]</sup> .....	119
<b>Figura 77.</b> Efecto de ajuste de componente integral <sup>[11]</sup> .....	121
<b>Figura 78.</b> Efecto de limitadores para controlador PID <sup>[11]</sup> .....	123
<b>Figura 79.</b> Señales unipolares acondicionadas equivalentes a tensiones de fase de transformador trifásico .....	139
<b>Figura 80.</b> Señales de sincronización obtenidas a partir de señales acondicionadas equivalentes a tensiones de fase del transformado trifásico.....	141
<b>Figura 81.</b> Trenes de pulsos de disparo en la salida de los controladores IR2110 con $\alpha=0^\circ$ .....	143
<b>Figura 82.</b> Pulsos de disparo en la salida de los circuitos de acondicionamiento de pulsos con $\alpha=0^\circ$ .....	144
<b>Figura 83.</b> Señales de salida para rectificador trifásico controlado utilizando fuente trifásica variable ( $V\emptyset = 50$ V) y carga de 120 V/60 W .....	146
<b>Figura 84.</b> Señales de salida para convertidor CA/CC a lazo abierto con carga de 3 bombillos incandescentes de 1000 W/220 V .....	150
<b>Figura 85.</b> Transitorios en la señal de salida del convertidor CA/CC a lazo abierto	152
<b>Figura 86.</b> Curva de tensión de salida en función al ángulo de disparo para convertidor CA/CC con carga de 3 bombillos incandescentes de 1000 W/220 V .....	153
<b>Figura 87.</b> Curva de flancos de retraso de disparo en función de consigna en entero para convertidor CA/CC con carga de 3 bombillos incandescentes de 1000 W/220 V .....	154
<b>Figura 88.</b> Aproximación lineal por tramos de función flancos de retraso de disparo en función de consigna en entero para convertidor CA/CC con carga de 3 bombillos incandescentes de 1000 W/220 V .....	155
<b>Figura 89.</b> Respuestas del convertidor CA/CC a lazo cerrado con ganancia unitaria .....	159

<b>Figura 90.</b> Respuestas del convertidor CA/CC a lazo cerrado con ajuste del controlador PID dentro de la zona lineal .....	161
<b>Figura 91.</b> Relación lineal de ajuste de consigna .....	162
<b>Figura 92.</b> Respuestas del convertidor CA/CC a lazo cerrado con ajuste del controlador PID dentro de la zona lineal y ajuste de consigna.....	164
<b>Figura 93.</b> Regulación de convertidor CA/CC.....	167

## LISTA DE TABLAS

<b>Tabla 1.</b> Secuencia de conducción de diodos en rectificador trifásico no controlado	27
<b>Tabla 2.</b> Secuencia de conducción de SCRs en rectificador trifásico controlado .....	38
<b>Tabla 3.</b> Sincronización de tensiones de línea con SCR en conducción natural del puente rectificador trifásico controlado .....	46
<b>Tabla 4.</b> Especificaciones del transformador utilizado en el convertidor CA/CC .....	55
<b>Tabla 5.</b> Características principales de la tarjeta de desarrollo .....	59
<b>Tabla 6.</b> Atenuación de circuitos de acondicionamiento de señales según posición de interruptores DIP .....	72
<b>Tabla 7.</b> Separación mínima de pistas en función de tensión de trabajo <sup>[9]</sup> .....	79
<b>Tabla 8.</b> Máquina de estados para ADC AD7866.....	105
<b>Tabla 9.</b> Formato de vectores de datos obtenidos por los ADC AD7866 .....	107
<b>Tabla 10.</b> Máquina de estados para controlador PID .....	118
<b>Tabla 11.</b> Respuestas del convertidor CA/CC a lazo cerrado con ganancia unitaria	158
<b>Tabla 12.</b> Ajuste de constantes de controlador PID para convertidor CA/CC a lazo cerrado.....	158
<b>Tabla 13.</b> Respuestas del convertidor CA/CC a lazo cerrado con ajuste del controlador PID dentro de la zona lineal .....	160
<b>Tabla 14.</b> Respuestas del convertidor CA/CC a lazo cerrado con ajuste del controlador PID dentro de la zona lineal y ajuste de consigna.....	163
<b>Tabla 15.</b> Regulación de convertidor CA/CC .....	167

## ACRÓNIMOS Y SIGLAS

<b>A</b>	Amperios. Unidad de corriente
<b>ADC</b>	Analogic to Digital Converter (Convertidor analógico a digital)
<b>CA</b>	Corriente Alterna.
<b>CC</b>	Corriente Continua.
<b>CPLD</b>	Complex Programmable Logic Device (Dispositivo complejo lógico programable)
<b>FIIIDT</b>	Fundación Instituto de Ingeniería para la Investigación y Desarrollo Tecnológico.
<b>FPGA</b>	Field Programmable Gate Array (Arreglo de compuertas programables de campo).
<b>FPU</b>	Floating Point Unit (Unidad de coma flotante)
<b>Hz</b>	Hertz. Unidad de frecuencia
<b>HDL</b>	Hardware Description Language (Lenguaje de descripción de hardware)
<b>HMI</b>	Human Machine Interface (Interfaz humano-máquina)
<b>I</b>	Intensidad de corriente.
<b>IGBT</b>	Insulated Gate Bipolar Transistor (Transistor bipolar de puerta aislada).
<b>LSB</b>	Less Significant Bit (Bit menos significativo)
<b>LUT</b>	Look Up Table (Tabla de consulta)
<b>MSB</b>	Most Significant Bit (Bit más significativo)
<b>NMC</b>	Número máximo de combinaciones
<b>P</b>	Potencia promedio, activa o real
<b>PIC</b>	Peripheral Interface Controller (Controlador de interfaz periférico/Microncontrolador)
<b>PID</b>	Controlador Proporcional, Integral y Derivativo.
<b>PLL</b>	Phase Locked Loop (Lazo de seguimiento de fase)

<b>PWM</b>	Pulse With Modulation (Modulación de ancho de pulso)
<b>Q</b>	Potencia reactiva
<b>RMS</b>	Root Mean Square (Valor cuadrático medio).
<b>S</b>	Potencia aparente.
<b>SCR</b>	Silicon Controlled Rectifier (Rectificador controlado de silicio).
<b>V</b>	Tensión
<b>VA</b>	Voltampere. Unidad de potencia aparente
<b>VHDL</b>	VHSIC Hardware Description Language (Lenguaje de descripción de hardware de alta velocidad)
<b>VHSIC</b>	Very High Speed Integrated Circuit (Circuito integrado de muy alta velocidad)
<b>VLL</b>	Tensión de línea trifásica.
<b><math>\omega</math></b>	Frecuencia angular. (rad/s).
<b>W</b>	Watt(Vatio). Unidad de potencia.
<b>ZCD</b>	Zero Crossing Detector (Detector de cruce por cero).

## **INTRODUCCIÓN**

Con el creciente desarrollo tecnológico en la actualidad es necesario para las empresas y laboratorios poseer equipos que cumplan con un conjunto de estándares de calidad para asegurar la productividad y buen desempeño de trabajo dentro de los mismos. Este desarrollo ha originado la necesidad de capacitar y formar cada vez más profesionales dentro del área, capaces de investigar y desarrollar proyectos de mediana y gran envergadura. Es por ello que en la República Bolivariana de Venezuela se han creado instituciones dedicadas a la formación de profesionales técnicos y de investigación, tales como el Instituto Venezolano de Investigaciones Científicas (IVIC), el Instituto de Estudios Avanzados (IDEA) y la Fundación Instituto de Ingeniería para la Investigación y Desarrollo Tecnológico (FIIIDT), las cuales brindan servicios tecnológicos donde se destacan como una de las primordiales características la transferencia de tecnología.

Un ejemplo de estos equipos se presenta en la forma de las fuentes de alimentación de corriente continua, de las cuales se espera un alto rendimiento, buena regulación y un amplio rango de potencia de salida.

Dentro de estos lineamientos, la FIIIDT ha desarrollado un convertidor de corriente alterna a continua capaz de otorgar valores máximos de  $60\text{ kW} / 600\text{V} / 100\text{ A}$ , y un convertidor de corriente continua a alterna de  $20\text{ kVA}$ , construidos mediante análisis, investigación y uso de tecnologías de desarrollo nacional.

En el presente proyecto se desarrolla la adaptación del sistema de control digital para el convertidor CA/CC previamente mencionado, utilizando tarjetas de desarrollo equipadas con arreglos de compuertas de campo programables (mejor conocidas por su nombre en inglés Field Programmable Gate Array o su acrónimo FPGA), de manera tal que se obtenga un correcto desempeño respecto a sus especificaciones de rendimiento, regulación y potencia de salida.

Mediante el desarrollo del presente proyecto, se plantean tanto la obtención de referencias teóricas para futuros trabajos de investigación que abarquen la temática presentada, como el mejoramiento del convertidor estático CA/CC de alta potencia desarrollado por la FIIIDT, el cual podrá ser utilizado como sustituto de las fuentes de alimentación de CC de alta potencia basadas en el uso de máquinas rotativas y así, proveer de energía a equipos industriales o de laboratorio con alto consumo eléctrico. De esta forma, se obtendrán beneficios en las áreas de mantenimiento, costos, rendimiento y espacio, solo por mencionar algunas.

El presente tomo se encuentra dividido en 4 capítulos, dentro de los cuales se han abarcado en detalle los datos recopilados durante el desarrollo del trabajo de grado.

En el capítulo I se plantea la problemática existente dentro de la FIIIDT referente al actual convertidor CA/CC con su antiguo sistema de control, lo cual conlleva al planteamiento de las interrogantes a ser resueltas y al establecimiento de objetivos a ser logrados en el desarrollo de este trabajo de grado. Ya enmarcados los objetivos, se finaliza con la justificación del proyecto realizado.

El capítulo II presenta el marco referencial, en el cual se abarcan tanto los antecedentes del estudio como el marco teórico, donde a su vez, se presentan todos los conceptos y principios teóricos manejados a lo largo del proyecto.

Durante el desarrollo del capítulo III se presenta el marco metodológico. En el mismo, se describen las fases en las cuales se dividió el proyecto, además de los métodos, técnicas, diseños, simulaciones y procedimientos utilizados durante el desarrollo del trabajo de grado.

En el capítulo IV se presentan todos los resultados experimentales obtenidos y se realiza su correspondiente análisis e interpretación a partir de los datos teóricos descritos en el capítulo II y la metodología y datos obtenidos a partir de las simulaciones realizadas en el capítulo III.

Una vez finalizados estos capítulos, se presentan una serie de conclusiones y recomendaciones, las cuales han sido desarrolladas con el fin de presentar datos de interés y de referencia para futuras investigaciones.

Como sección final se presentan una serie de anexos, dentro los cuales se encuentran tanto las rutinas de control programadas dentro del sistema en el lenguaje descriptivo VHDL como extractos de las hojas de datos correspondientes a los principales dispositivos semiconductores utilizados durante el desarrollo del trabajo de grado.

# **CAPÍTULO I**

## **FUNDAMENTOS**

### **1.1. PLANTEAMIENTO DEL PROBLEMA**

Una de las bases dentro del estudio de la ingeniería eléctrica es el uso de fuentes de energía eléctrica. Las mismas, se encargan de suministrar la energía necesaria para el funcionamiento de los equipos, sistemas y componentes eléctricos y/o electrónicos a utilizar. Esta energía puede presentarse tanto en la forma de corriente alterna (CA) como corriente continua (CC).

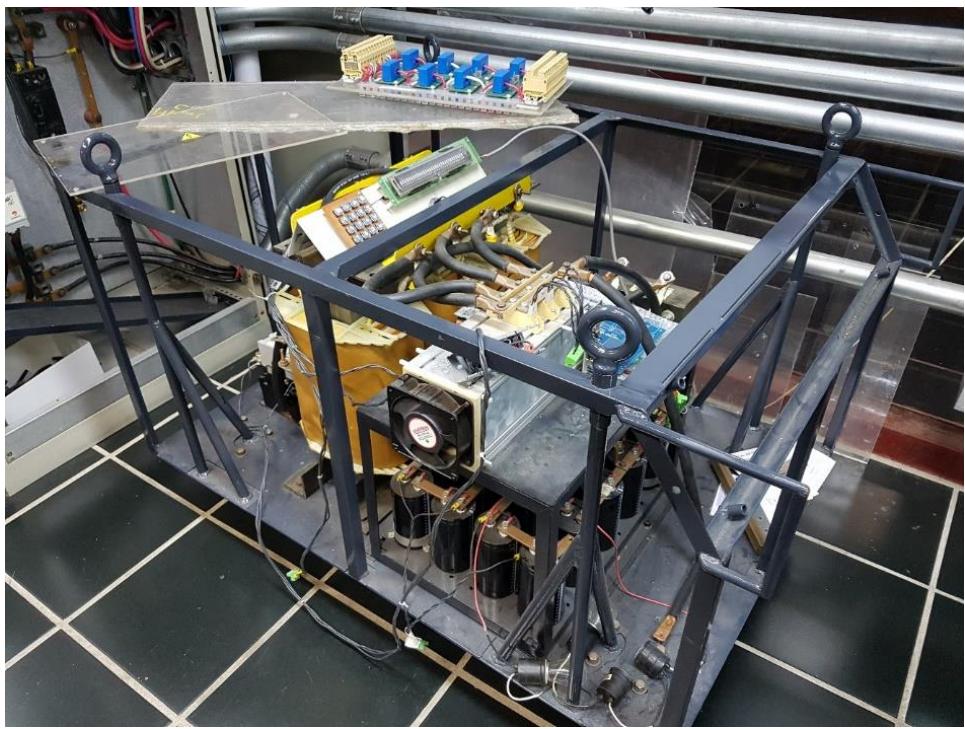
Las fuentes de alimentación de CC son dispositivos capaces de suministrar una tensión constante en CC a las cargas conectadas a las mismas. Dependiendo de su diseño, una fuente de alimentación en CC puede utilizar una tensión en CA como su fuente de energía. Estas pueden clasificarse básicamente como fuentes de alimentación lineales o comutadas. Las fuentes lineales tienen un diseño relativamente simple, que puede llegar a ser más complejo cuanto mayor es la corriente que deben suministrar, sin embargo, su regulación de tensión es poco eficiente. Una fuente comutada, de la misma potencia que una lineal, será más pequeña y normalmente más eficiente, pero será más compleja y por tanto más susceptible a averías.

En la actualidad, los desarrollos tecnológicos han llevado a la necesidad de crear fuentes de alimentación que mezclen las mejores características de ambos tipos de fuentes de alimentación de CC, logrando así la obtención de fuentes con diseños relativamente simples, de tamaño aceptable, eficientes y robustas, sin olvidar aspectos como presentación y control de las mismas de manera sencilla y segura.

De la misma forma, con este avance tecnológico se ha presentado la necesidad de desarrollar sistemas de control capaces de administrar, controlar, dirigir o regular el comportamiento de otros sistemas y dispositivos, de manera que se obtengan respuestas deseadas según consignas previamente establecidas y se reduzcan las probabilidades de obtener alguna falla.

Actualmente, la FIIIDT cuenta con un equipo convertidor CA/CC (presentado en la **Figura 1**) con valores máximos de salida de  $60 \text{ kVA} / 600V / 100 \text{ A}$ . El mismo funciona en base al uso de rectificación trifásica controlada y una lógica de control basada en el uso conjunto de:

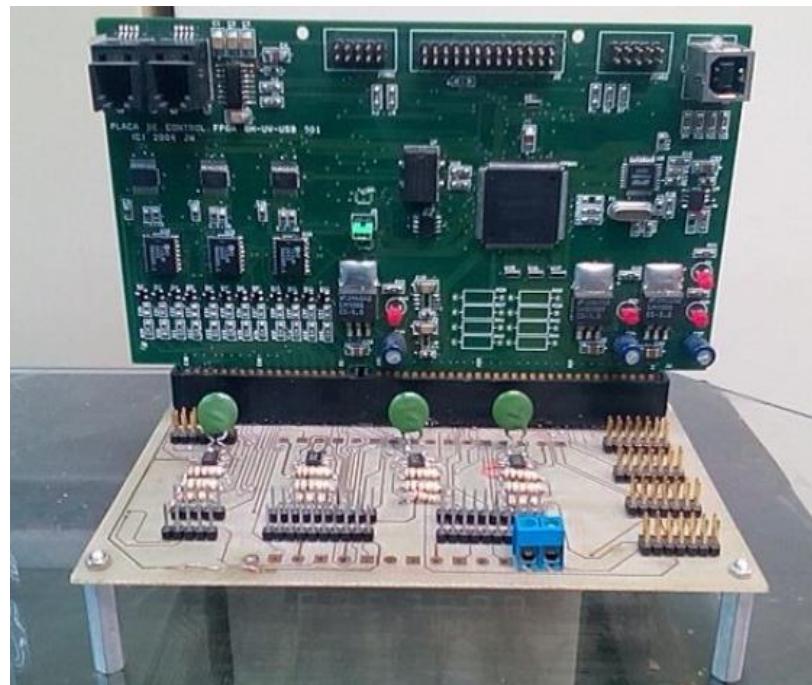
- (a) Una tarjeta embebida equipada con un dispositivo complejo lógico programable (mejor conocido por su nombre en inglés Complex Programmable Logic Device o su acrónimo CPLD) y un microcontrolador PIC.
- (b) Una fuente de tensión comercial de  $5 \text{ V}$  y  $12 \text{ V}$ .
- (c) Una tarjeta visualizadora, funcionando en conjunto con un panel de control y una perilla con codificador rotatorio.



**Figura 1.** Rectificador controlador por fase a frecuencia de línea de 60 KVA

Con anterioridad, este convertidor fue diseñado para cumplir con el requerimiento de disponer de una fuente de CC de alta potencia en el laboratorio de la FIIDT, contando la misma con especificaciones como un alto rendimiento, buena regulación y un amplio rango de potencia de salida. Sin embargo, mediante el uso de la tecnología y diseño previamente señalados, se obtuvo un funcionamiento inestable en la salida del convertidor a nivel de control y de regulación al momento de variar la carga utilizada. Este comportamiento inestable se presenta debido a diversos factores, entre los cuales figuran el comportamiento no lineal del sistema de rectificación trifásica controlada, problemas de sintonización del controlador PID implementado y problemas con la lógica de control de la sección de regulación diseñada previamente, lo cual es expresado por Unamo en [1].

Es aquí donde se presenta la utilidad en el uso de las tarjetas de desarrollo basadas en el uso de FPGA (presentada en la **Figura 2**), las cuales han sido diseñadas, fabricadas y ensambladas en la FIIIDT, proponiendo así la opción de adaptar la lógica de control del convertidor existente para obtener un mejor desempeño en su salida utilizando una tecnología más versátil que los CPLD, sin mencionar el uso de equipo y tecnología con desarrollo nacional.



**Figura 2.** Módulo de control basado en FPGA (EPIC6T144C6)

A partir de estos puntos previamente establecidos y buscando obtener la información necesaria para la adaptación del sistema de control, se plantean las siguientes interrogantes:

- (a) ¿Es posible adaptar el sistema de control digital para un convertidor CA/CC previamente construido utilizando tarjetas electrónicas equipadas con FPGA?

- (b) ¿Puede realizarse el levantamiento de información del convertidor estático CA/CC actualmente construido?
- (c) ¿Pueden incorporarse las tarjetas electrónicas equipadas con FPGA al sistema de control del convertidor estático CA/CC actualmente construido?
- (d) ¿Es posible realizar la simulación tanto de los circuitos como del sistema de control implicados en el funcionamiento del convertidor CA/CC?
- (e) ¿Es posible implementar la lógica de control anteriormente desarrollada en el lenguaje descriptivo VHDL utilizando las tarjetas electrónicas equipadas con FPGA?
- (f) ¿Es posible mejorar el desempeño del convertidor CA/CC previamente construido?

## **1.2. OBJETIVOS**

### **1.2.1. Objetivo general**

Adaptar un sistema de control digital existente mediante el uso de una tarjeta electrónica equipada con FPGA para el convertidor CA/CC suministrado por la FIIDT.

### **1.2.2. Objetivos específicos**

- (a) Describir los planos, especificaciones y funcionamiento del convertidor estático CA/CC existente.
- (b) Incorporar las tarjetas electrónicas equipadas con FPGA diseñadas por la FIIIDT en el lazo de control del convertidor CA/CC.
- (c) Analizar la técnica de control previamente utilizada.
- (d) Realizar las simulaciones de los circuitos y del sistema de control a implementar.
- (e) Implementar la técnica de control identificada utilizando las tarjetas electrónicas equipadas con FPGA y el lenguaje descriptivo VHDL.
- (f) Evaluar el desempeño y regulación bajo carga del convertidor estático CA/CC utilizando el sistema de control adaptado.

### **1.3. JUSTIFICACIÓN**

Como se ha señalado anteriormente, todo dispositivo o circuito eléctrico requiere de una fuente de alimentación capaz de proporcionar la energía eléctrica necesaria para permitir que los mismos funcionen.

En la actualidad, los convertidores CA/CC poseen demanda dentro de diversos sectores: industrial, comercial, militar, de energías alternativas, de energías renovables, entre otros. De manera puntual, los mismos poseen múltiples aplicaciones, tales como fuentes de alimentación, cargadores de baterías, equipos de soldadura y accionamiento de motores de CC, solo por mencionar algunas.

Cabe destacar que mediante el desarrollo de este trabajo de grado se promueve el uso de circuitos con electrónica de potencia para la obtención de convertidores estáticos, es decir, fuentes de energía eléctrica con alta potencia de salida que excluyen el uso de máquinas rotativas para el funcionamiento de las mismas, obteniendo así beneficios como reducción de costos, facilidad de mantenimiento, actualización de tecnologías, aumento de la productividad y reducción de espacios ocupados por los equipos. De igual forma, la inclusión de un sistema de control digital para el convertidor señalado otorga ventajas como simplicidad, mejor regulación, respuestas acordes a las necesidades del usuario y reducción de fallas.

Mediante el desarrollo del presente trabajo de grado se han evaluado las capacidades de las tarjetas de desarrollo equipadas con FPGA diseñadas y ensambladas en la FIIIDT, promoviendo así la solución de requerimientos y problemáticas en cualquier sector mediante el uso de tecnologías de desarrollo nacional.

## CAPÍTULO II

### MARCO REFERENCIAL

#### 2.1. ANTECEDENTES DEL ESTUDIO

La trabajo de grado desarrollado en [1] por Unamo ha servido como base principal en el desarrollo del proyecto actual. Un extracto del resumen de este trabajo de grado se presenta a continuación:

*“Existen necesidades de laboratorio para una fuente DC de muy alta potencia que sin embargo posea una buena regulación y bajo ruido. Para este tipo de caso siempre ha sido utilizado un elemento lineal de control de la tensión de salida; el inconveniente es que inclusive desde potencias bajas, la disipación del elemento de control se hace prohibitiva, por lo que se usan métodos alternos de regulación, tales como control de fase y sistemas conmutados. Estos sistemas adolecen de problemas de regulación y de ruido. Sin embargo, realizando una combinación de ambas propuestas (lineal y conmutada) se puede obtener una fuente con baja disipación de potencia y excelente regulación. Por ello se ha diseñado y construido una fuente DC de 15 kW que cumpla con las características de versatilidad, buena regulación y bajo ruido. El sistema de control utilizado se basa en un grupo de microcontroladores PIC y CPLD en configuración maestro-esclavo y un protocolo [...] de comunicación I2C. [...]. La comunicación entre la fuente y la interfaz está fundamentada en el estándar RS232.” [1]*

Como es posible observar, este proyecto ha sido previamente desarrollado utilizando tarjetas electrónicas equipadas con CPLD y microprocesadores PIC, obteniendo así una potencia de salida de  $15\text{ kW}$ . Dentro del desarrollo de este convertidor se utilizaron 3 sistemas de control interconectados, funcionando en conjunto para lograr obtener los resultados esperados. De esta forma, el convertidor anterior estuvo compuesto por:

- (a) Un sistema de control realimentado, encargado de controlar la tensión de salida no regulada de un rectificador trifásico controlado mediante el uso de un controlador PID.
- (b) Un sistema de regulación basado en el uso de un transistor IGBT y cuyo principio de funcionamiento mezcla la regulación lineal y la regulación conmutada.
- (c) Una interfaz gráfica diseñada en LabVIEW, la cual utiliza los datos adquiridos por el sistema para presentar las señales leídas de manera gráfica y numérica. De igual forma, mediante una serie de rutinas de comunicación esta interfaz permite el ajuste de las variables involucradas en el funcionamiento del convertidor.

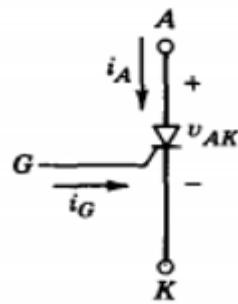
Mediante el análisis y comprensión de este trabajo de grado desarrollado anteriormente, ha sido posible tomar datos de referencia y puntos de partida para lograr la adaptación e implementación de la lógica de control a utilizar para el convertidor CA/CC bajo estudio.

## 2.2. MARCO TEÓRICO

Para un mejor entendimiento del diseño implementado, se presentan a continuación una serie de conceptos que fueron utilizados durante el desarrollo del mismo:

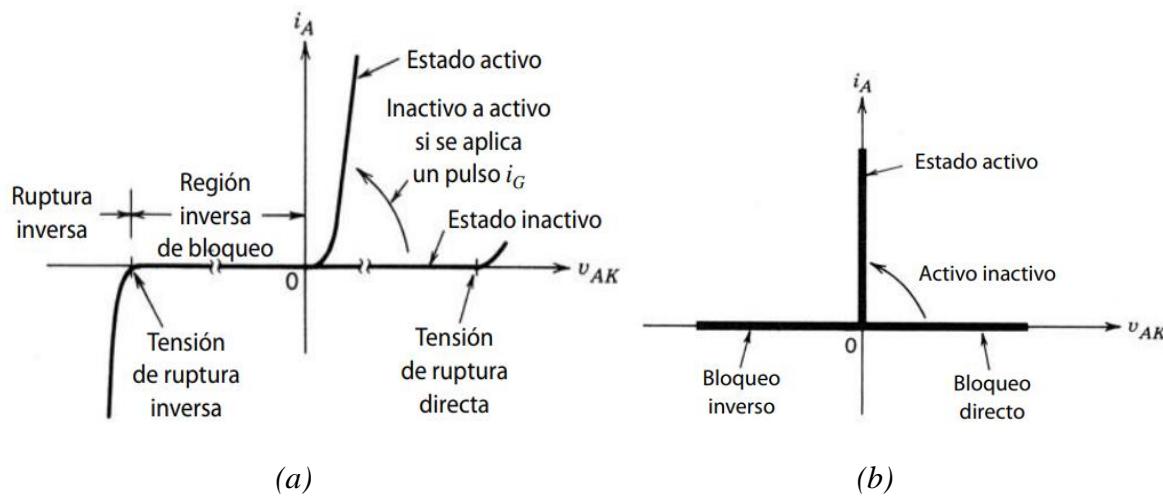
### 2.2.1. Tiristores (SCR)

Alloza define a los tiristores como “componentes electrónicos semiconductores que utilizan realimentación interna para producir una conmutación” [2]. Uno de los componentes de este grupo de semiconductores viene dado en la forma de los rectificadores controlados de silicio (en inglés Silicon Controlled Rectifier o SCR). Estos dispositivos son unidireccionales y su funcionalidad se asemeja a la de los diodos, siendo los mismos capaces de permitir la conducción de corriente desde su terminal de ánodo (A) hacia su terminal de cátodo (K), bloqueando el paso de corriente en sentido inverso. La diferencia de estos respecto a los diodos recae en que estos dispositivos permiten el control del instante en el cual el SCR inicia la conducción. Esto se logra mediante la inclusión de un terminal de control de compuerta (G), el cual puede observarse en la *Figura 3*:

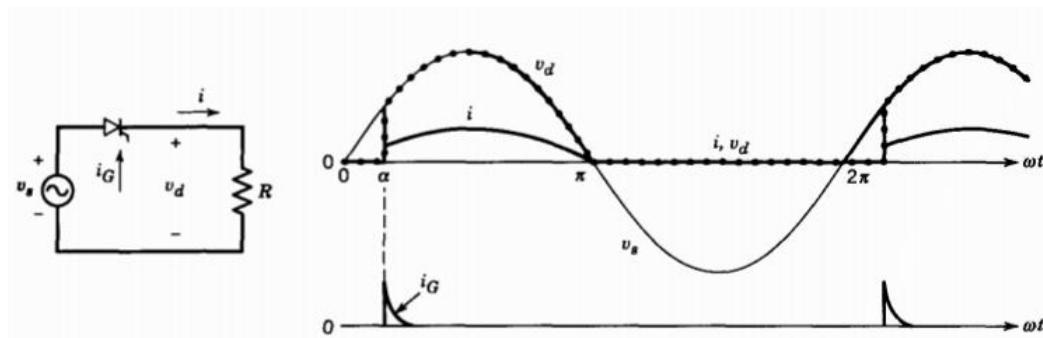


*Figura 3. Símbolo y terminales de un tiristor SCR* [3]

Para entender mejor el funcionamiento de este dispositivo se presenta su función característica en la **Figura 4(a)**, su versión simplificada en la **Figura 4(b)** y un ejemplo de funcionamiento en la **Figura 5**. En estas, se aprecia el comportamiento similar a un diodo, con regiones de bloqueo, zona de conducción y punto de ruptura inversa. Sin embargo, cabe destacar que los SCR actúan como interruptores controlados, permaneciendo en estado inactivo hasta aplicar un pulso de corriente en el terminal de compuerta G para hacerlos comutar y entrar al estado activo o de conducción.

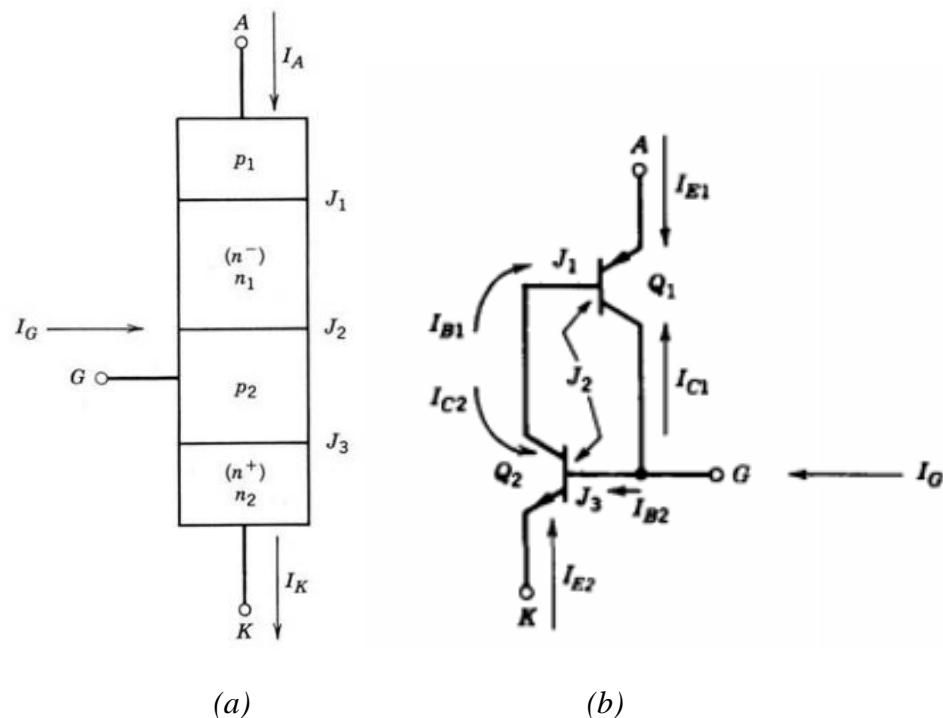


**Figura 4.** Función característica de SCR <sup>[3]</sup>



**Figura 5.** Ejemplo básico de funcionamiento de SCR <sup>[3]</sup>

En la **Figura 6(a)** se aprecia el modelo unidimensional de un SCR, en el cual se observa cómo este dispositivo está conformado por 3 uniones PNPN. Un circuito equivalente aproximado compuesto por un transistor NPN y un transistor PNP se presenta en la **Figura 6(b)**, donde se observa cómo los SCR pueden ser representados por un par de transistores realimentados.



**Figura 6.** Modelos simplificados de un SCR<sup>[3]</sup>

Al introducir un pulso de corriente de duración finita a través del terminal de compuerta del tiristor, sus transistores internos entrarán en estado de conducción, y se mantendrán en este estado hasta que la corriente circulante desde el ánodo al cátodo disminuya su magnitud hasta un valor menor a una cantidad denominada corriente de mantenimiento ( $I_H$ ).

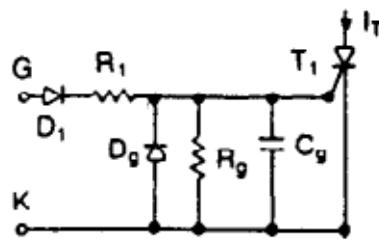
### 2.2.1.1. Parámetros de importancia de SCRs

- (a) **Corriente directa de pico no repetitiva ( $I_{TSM}$ )**: Corriente máxima que puede soportar el tiristor durante un cierto periodo de tiempo en sentido directo.
- (b) **Corriente de enganche ( $I_L$ )**: Mínima corriente de ánodo que permite la commutación del tiristor desde su estado de bloqueo a un estado activo.
- (c) **Corriente de mantenimiento( $I_H$ )**: Mínima corriente de ánodo que permite mantener al tiristor en su estado activo.
- (d) **Tensión inversa de pico repetitivo ( $V_{RRM}$ )**: Valor máximo de tensión repetitiva en sentido inverso que se puede aplicar durante un cierto período de tiempo con el terminal de compuerta en circuito abierto.
- (e) **Tensión directa de pico repetitivo( $V_{DRM}$ )**: Valor máximo de tensión repetitiva en sentido directo para el cual se garantiza que no hay commutación con el terminal de compuerta en circuito abierto.
- (f) **Tensión inversa de pico no repetitiva( $V_{RSM}$ )**: Valor máximo de tensión no repetitiva que se puede aplicar en sentido inverso durante un cierto período de tiempo con el terminal de compuerta en circuito abierto.
- (g) **Tensión mínima de commutación por compuerta( $V_{GT}$ )**: Mínima tensión de compuerta que asegura el disparo del tiristor al presentarse tensión en sentido directo del ánodo al cátodo del mismo.
- (h) **Corriente mínima de commutación por compuerta( $I_{GT}$ )**: Mínima corriente de compuerta que asegura el disparo del tiristor.

### 2.2.1.2. Circuito de disparo

“En los convertidores basados en el uso de tiristores se manejan diversos niveles de tensión en cada uno de los terminales del mismo. El circuito de potencia está sujeto a una alta tensión, por lo general mayor a 100 V, y el circuito de compuerta se mantiene a una baja tensión, típicamente en el orden de los 12 a 30 V. Por esta razón se requiere de un circuito de aislamiento entre el tiristor y su circuito generador de pulso de compuerta. Este aislamiento se puede lograr mediante el uso de transformadores de pulso u optoacopladores.

La salida de estos circuitos de compuerta se conecta entre la compuerta y cátodo de los tiristores, junto con otros componentes de protección de compuerta presentados en la **Figura 7**. La resistencia  $R_1$  amortigua cualquier oscilación transitoria y limita la corriente de compuerta, mientras que la resistencia  $R_g$  aumenta la capacidad  $dv/dt$  del tiristor, reduce el tiempo de desactivación y aumenta las corrientes de mantenimiento y de enganche. El capacitor  $C_g$  elimina los componentes de ruido de alta frecuencia, aumenta la capacidad  $dv/dt$  y el tiempo de retraso de la compuerta. El diodo  $D_g$  protege la compuerta de una tensión negativa, mientras que el diodo  $D_1$  permite el paso exclusivo de pulsos positivos.” [4]



**Figura 7.** Circuito de protección de compuerta de SCR<sup>[4]</sup>

### 2.2.1.3. Activación de SCR

Rashid describe en [4]: “Un tiristor se activa incrementando la corriente del ánodo. Esto se puede llevar a cabo mediante una de las siguientes formas:

1. **Térmica:** Si la temperatura de un tiristor es alta, habrá un aumento en el número de pares electrón-hueco, lo que aumentará las corrientes de fuga. Este hará que las ganancias internas del tiristor  $\alpha_1$  y  $\alpha_2$  aumenten. Debido a la acción regenerativa,  $(\alpha_1 + \alpha_2)$  puede tender a la unidad y el tiristor puede activarse.
2. **Luz:** Si se permite que la luz llegue a las uniones de un tiristor, aumentarán los pares electrón-hueco, pudiéndose activar el tiristor.
3. **Alta tensión:** Si la tensión directa de ánodo a cátodo es mayor a la tensión de ruptura directa fluirá una corriente de fuga suficiente para iniciar una activación regenerativa. Este tipo de activación puede resultar destructiva por lo que se debe evitar.
4.  **$dv/dt$ :** Si la velocidad de elevación de la tensión ánodo-cátodo es alta, la corriente de carga de las uniones capacitivas puede ser suficiente para activar el tiristor. Un valor alto de corriente de carga puede dañar el tiristor; por lo que el dispositivo debe protegerse de un  $dv/dt$  alto.
5. **Corriente de compuerta:** Si un tiristor está polarizado de manera directa, la inyección de una corriente de compuerta al aplicar una tensión positiva de compuerta entre la compuerta y el cátodo activará el tiristor. Conforme aumenta la corriente de compuerta, se reduce la tensión de bloqueo directo. Al diseñar

el circuito de control de compuerta se deben tomar en cuenta los siguientes puntos:

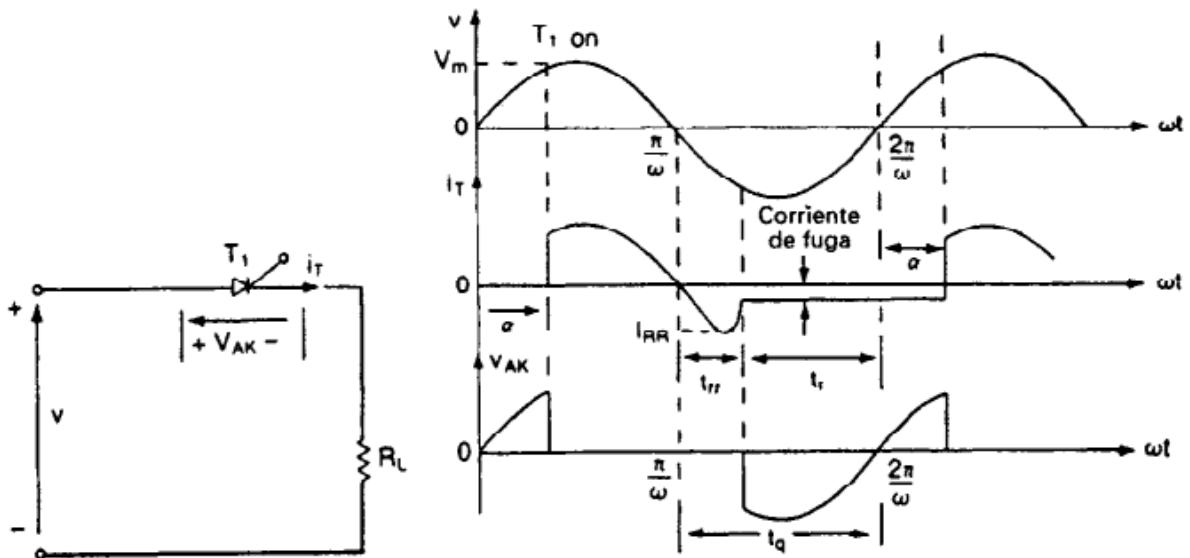
- La señal de compuerta debe eliminarse después de activarse el tiristor. Una señal continua de compuerta aumentaría la pérdida de potencia en la unión de la compuerta.
- Mientras el tiristor presente polarización inversa, no debe haber señal de compuerta; de lo contrario, el tiristor puede fallar debido a una corriente de fuga incrementada.
- El ancho del pulso de la compuerta debe ser mayor que el tiempo requerido para que la corriente del ánodo se eleve al valor de corriente de mantenimiento  $I_H$ .”

#### 2.2.1.4. Desactivación de SCR

“Un tiristor que está en estado activo se puede desactivar reduciendo la corriente directa a un nivel por debajo de la corriente de mantenimiento  $I_H$  durante un tiempo lo suficientemente largo, de tal manera que todos los portadores en exceso en las cuatro capas del tiristor sean barridos o recombinados.

Debido a las 2 uniones  $pn$  exteriores  $J_1$  y  $J_3$ , las características de desactivación deberían ser similares a las de un diodo, con la exhibición de un tiempo de recuperación inverso  $t_{rr}$  y una corriente de recuperación de pico inverso  $I_{RR}$ . En un circuito convertidor, comutado por línea, en el que la tensión de entrada es alterna, aparece una tensión inversa a través del tiristor inmediatamente después de que la corriente directa pasa a través de un valor cero. Esta tensión inversa acelerará el proceso de

desactivación, al barrer los portadores en exceso de las uniones  $pn$   $J_1$  y  $J_3$ . La unión  $pn$  interior  $J_2$  requerirá de un tiempo conocido como tiempo de recombinación  $t_{rc}$  para recombinar los portadores en exceso. Una tensión inversa negativa reduciría dicho tiempo de recombinación. Este tiempo de desactivación  $t_q$  es la suma del tiempo de recuperación inverso  $t_{rr}$  y el tiempo de recombinación  $t_{rc}$ . Al final de la desactivación, se desarrolla una capa de agotamiento a través de la unión  $J_2$ , y el tiristor recupera su capacidad de soportar tensión directa.



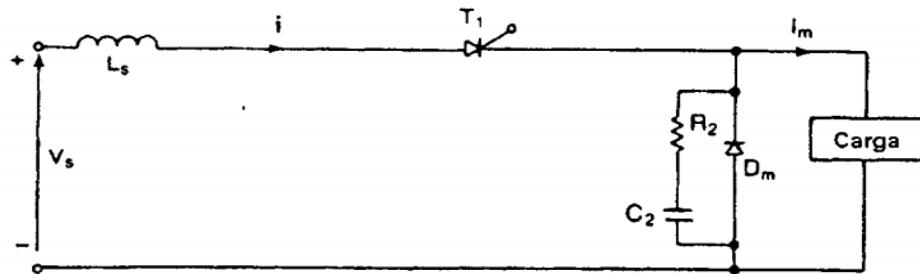
**Figura 8. Características de desactivación de SCR [4]**

El tiempo desactivación  $t_q$  es el valor mínimo del intervalo de tiempo entre el instante en que la corriente desactivación se ha reducido a cero y el instante en que el tiristor es capaz de soportar una tensión directa sin activarse. Este tiempo de desactivación depende del valor pico de la corriente de estado activo y de la tensión instantánea de estado activo.” [4]

### 2.2.1.5. Protección contra $di/dt$

“Un tiristor requiere de un tiempo mínimo para dispersar la conducción de la corriente en forma uniforme a través de las uniones. Si la velocidad de elevación de la corriente del ánodo es muy alta en comparación con la velocidad de dispersión del proceso de activación, aparecerá un punto de calentamiento, debido a una alta densidad de corriente, por lo que el dispositivo puede fallar, debido a una temperatura excesiva.

Los dispositivos prácticos deben protegerse contra un  $di/dt$  alto. Como ejemplo se considera el circuito presentado a continuación:



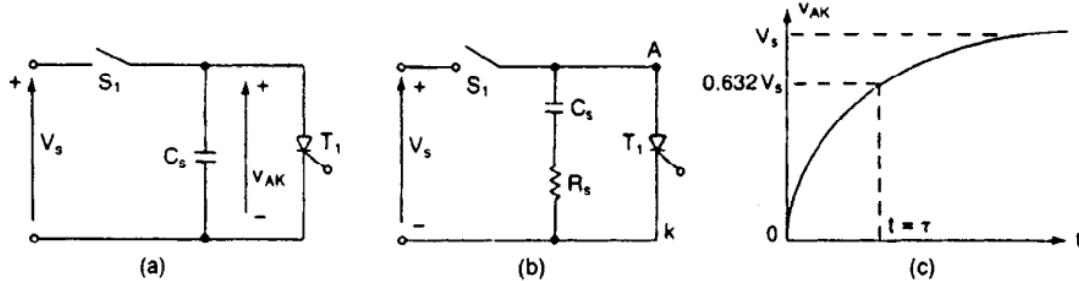
*Figura 9. Circuito pulsador con inductores limitantes de  $di/dt$  [4]*

Bajo una operación de régimen permanente,  $D_m$  conduce cuando el tiristor  $T_1$  está desactivado. Si  $T_1$  se dispara cuando  $D_m$  aún está conduciendo,  $di/dt$  puede resultar muy alto y solamente limitado por la inductancia dispersa del circuito. En la práctica,  $di/dt$  se limita al añadir un inductor en serie  $L_S$ , de forma tal que el  $di/dt$  directo sea.” [4]

$$\frac{di}{dt} = \frac{V_S}{L_S}$$

### 2.2.1.6. Protección contra $dv/dt$

Si el interruptor  $S_1$  de la *Figura 10(a)* se cierra en  $t = 0$ , se aplicará un escalón de tensión a través del tiristor  $T_1$ , por lo que  $dv/dt$  puede ser lo suficientemente alto para activar el dispositivo. El  $dv/dt$  se puede limitar conectando el capacitor  $C_S$ . Cuando el tiristor  $T_1$  se active, la corriente de descarga del capacitor estará limitada por el resistor  $R_S$  de la *Figura 10(b)*.



*Figura 10. Circuitos de protección  $dv/dt$*

Con un circuito  $RC$  conocido como circuito de freno o snubber, la tensión a través del tiristor se elevará de forma exponencial (*Figura 10(c)*), y el circuito  $dv/dt$  puede encontrarse aproximadamente a partir de:

$$\frac{dv}{dt} = \frac{0,632V_s}{\tau} = \frac{0,632V_s}{R_S C_S}$$

El valor de la constante de tiempo del freno  $\tau$  se puede determinar a partir de un valor conocido de  $dv/dt$ . El valor de  $R_S$  se encuentra a partir de la corriente descarga  $I_{TD}$ :

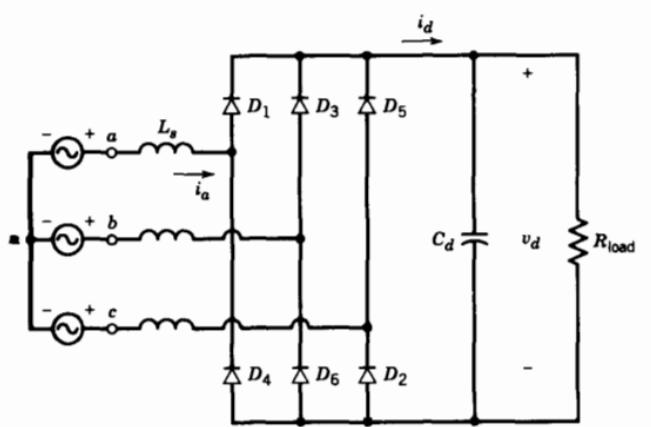
$$R_S = \frac{V_S}{I_{TD}}$$

Por lo general, se utiliza la misma red  $RC$  o de freno, tanto para la protección  $dv/dt$  como para suprimir la tensión transitoria debido al tiempo de recuperación inversa.

## 2.2.2. Rectificadores trifásicos

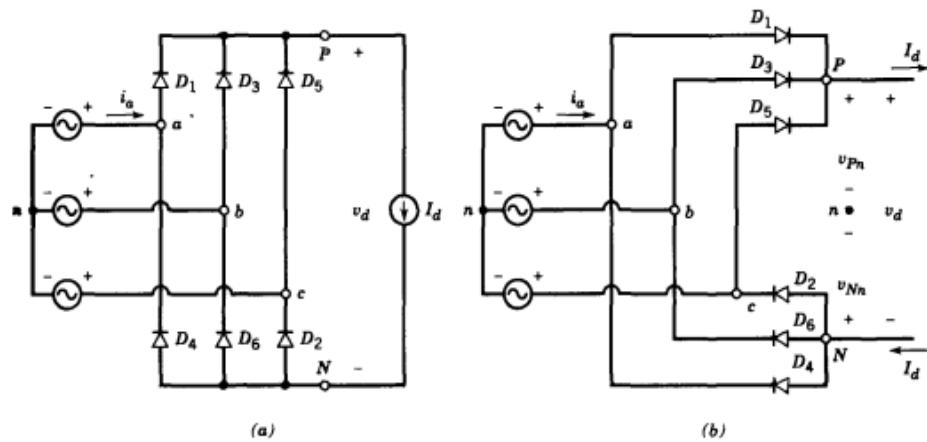
### 2.2.2.1. Rectificadores trifásicos no controlados

Para entender el funcionamiento de este tipo de rectificadores se plantea primero el funcionamiento de un rectificador trifásico no controlado descrito por Mohan, Undeland y Robbins en [3]. Este tiene como diferencia principal la utilización de diodos en vez de SCRs. En la *Figura 11* se presenta el modelo circuital de un rectificador trifásico de este tipo.



*Figura 11. Rectificador trifásico no controlado* [3]

Para explicar de manera más sencilla el funcionamiento de este tipo de rectificador, se procede a presentar su modelo ideal con el valor de las inductancias de fuente  $L_S = 0$ , eliminando el condensador de carga  $C_d$  y colocando una fuente de corriente continua  $I_d$  como carga.

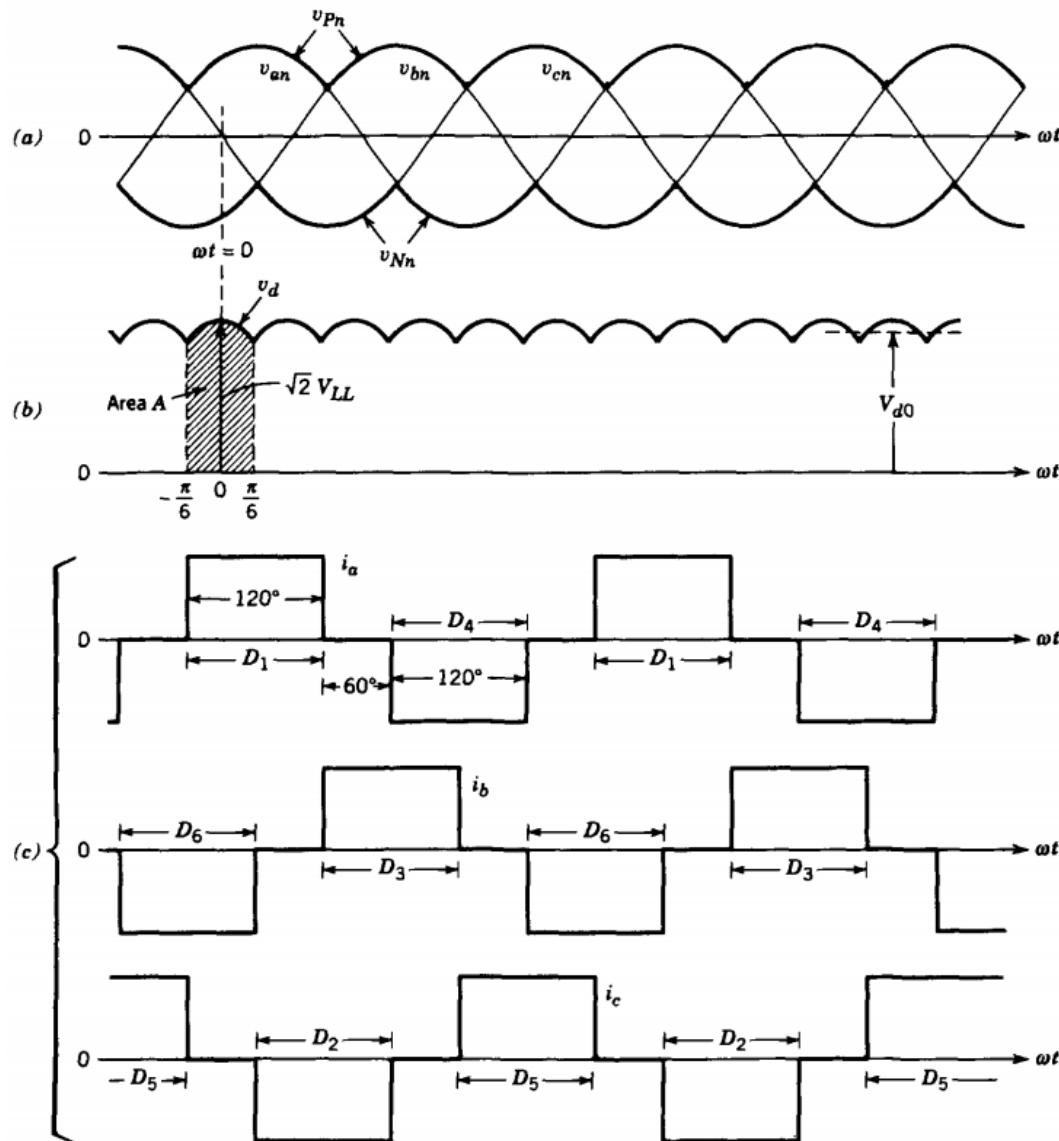


**Figura 12.** Modelo simplificado de rectificador trifásico no controlado con corriente continua constante <sup>[3]</sup>

En este modelo simplificado, la corriente  $I_d$  fluye a través de un diodo del grupo superior y un diodo del grupo inferior en cualquier momento dado. De esta forma, el diodo cuyo ánodo se encuentre a mayor potencial en el grupo superior permitirá la conducción, mientras que los otros 2 entrarán en estado inverso. En el grupo inferior, el diodo cuyo cátodo se encuentre al menor potencial permitirá la conducción, mientras que los otros 2 entrarán en estado inverso.

Para observar este comportamiento de forma gráfica, se presentan las formas de onda respectivas del circuito rectificador trifásico no controlado en la **Figura 13**.

En la **Figura 13(a)** se aprecia en la parte superior la tensión  $v_{Pn}$ , la cual es la tensión de salida en el punto  $P$  (**Figura 12**) respecto al punto neutro en CA. De forma similar,  $v_{Nn}$  representa la tensión de salida en el punto  $N$  respecto a neutro.



**Figura 13.** Formas de onda para rectificador trifásico no controlado <sup>[3]</sup>

Aplicando la ley de tensiones de Kirchhoff, la tensión de salida en el lado de CC será igual a una de las posibles tensiones de línea:

$$v_d = v_{Pn} - v_{Nn} \quad (1)$$

$v_d$ = Tensión de salida para rectificador trifásico no controlado (V)

$v_{Pn}$ = Tensión de salida en terminal superior P respecto a neutro (V)

$v_{Nn}$ = Tensión de salida en terminal inferior N respecto a neutro (V)

De esta manera, la forma de onda instantánea de  $v_d$  consistirá en 6 segmentos iguales por ciclo de frecuencia de línea (es decir con una frecuencia igual a 6 veces la frecuencia de alimentación del rectificador). Es por esta razón que a este convertidor se le conoce como rectificador de 6 pulsos. Cada uno de estos segmentos corresponde a una de las 6 posibles combinaciones de tensión línea a línea, tal como se aprecia en la **Figura 13(b)**. A su vez, en la **Figura 13(c)** se puede apreciar cómo cada diodo del puente rectificador conducirá durante  $120^\circ$ , lo cual implica que cada combinación de dos diodos (uno de la parte superior del puente y uno de la parte inferior) conducirá durante un total de  $60^\circ$ . También se aprecia cómo la numeración de los diodos está dada para identificar el orden de conducción de los mismos en la secuencia 1, 2, 3, 4, 5, 6; la cual ha sido representada en la **Tabla 1**.

**Tabla 1.** Secuencia de conducción de diodos en rectificador trifásico no controlado

Período, rango de $\theta$	Par de diodos en conducción
$30^\circ \text{ a } 90^\circ$	D <sub>6</sub> y D <sub>1</sub>
$90^\circ \text{ a } 150^\circ$	D <sub>1</sub> y D <sub>2</sub>
$150^\circ \text{ a } 210^\circ$	D <sub>2</sub> y D <sub>3</sub>
$210^\circ \text{ a } 270^\circ$	D <sub>3</sub> y D <sub>4</sub>
$270^\circ \text{ a } 330^\circ$	D <sub>4</sub> y D <sub>5</sub>
$330^\circ \text{ a } 360^\circ \text{ y } 0^\circ \text{ a } 30^\circ$	D <sub>5</sub> y D <sub>6</sub>

Para obtener el valor promedio de la tensión de salida en CC, es suficiente considerar uno de los 6 segmentos de la forma de onda de salida y obtener su valor promedio en un intervalo de  $60^\circ$  (el período de cada uno de los 6 pulsos de salida). De esta forma, tomando como origen temporal el instante  $t = 0$  en la *Figura 13(b)*:

$$v_d = v_{ab}$$

$$v_d = \sqrt{2}V_{LL} \cos(\omega t) \quad \left( \text{Para } -\frac{\pi}{6} < \omega t < \frac{\pi}{6} \right)$$

$$A = \int_{-\frac{\pi}{6}}^{\frac{\pi}{6}} \sqrt{2}V_{LL} \cos(\omega t) d(\omega t) = \sqrt{2}V_{LL}$$

$$V_{do} = \frac{1}{\pi} \int_{-\frac{\pi}{6}}^{\frac{\pi}{6}} \sqrt{2}V_{LL} \cos(\omega t) d(\omega t) = \frac{3}{\pi} A = \frac{3}{\pi} \sqrt{2}V_{LL}$$

$$V_{do} = 1,35V_{LL} \quad (2)$$

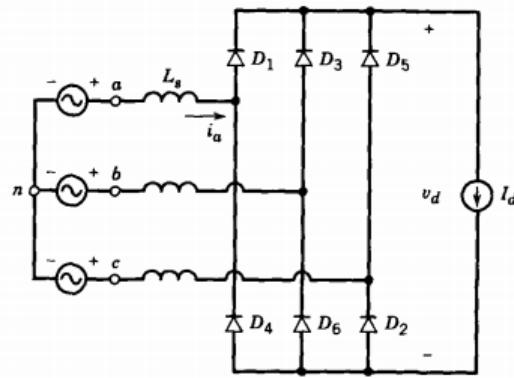
$\omega$ = Frecuencia angular (rad/s)

$V_{LL}$ = Tensión efectiva de línea utilizada en el rectificador trifásico (V)

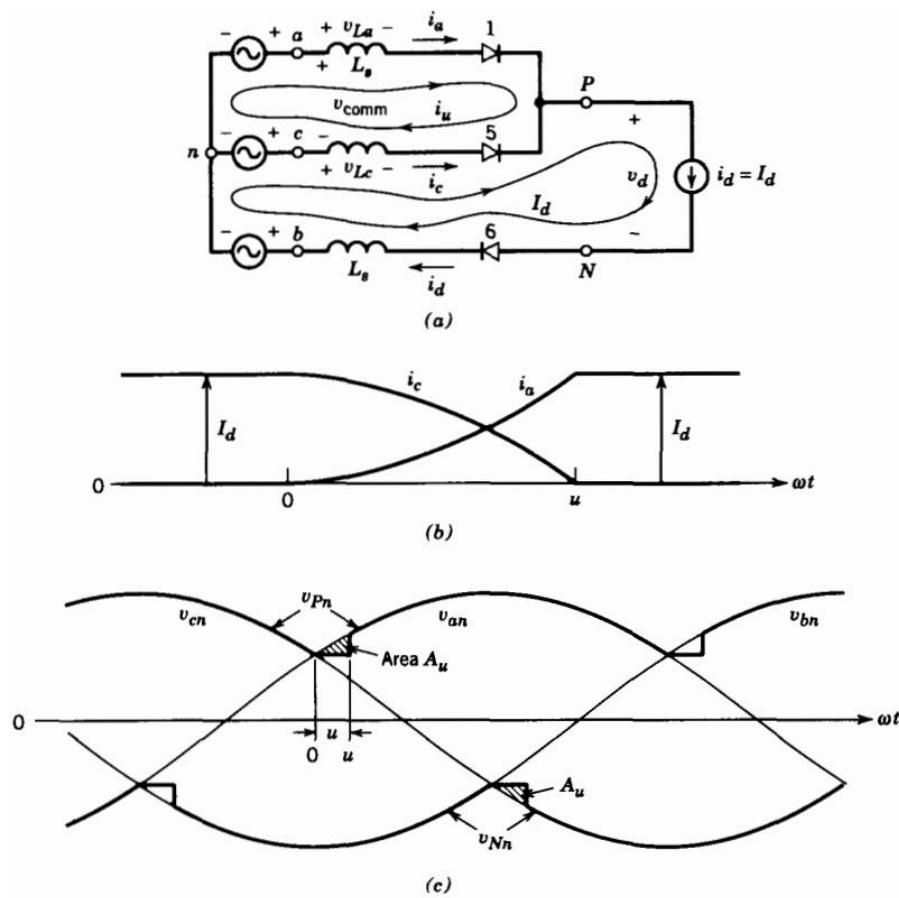
$V_{do}$ = Tensión promedio de salida para rectificador trifásico no controlado (V)

### 2.2.2.1.1. Efecto de inductancia de fuente

Al incluir la inductancia de fuente  $L_S$  en el lado de CA del convertidor y representar el lado de CC con una fuente de corriente  $I_d$  se obtiene el circuito planteado en la **Figura 14**, en el cual la conmutación de corriente no será instantánea. En esta sección se analizará solo una de las conmutaciones de corriente, debido a que todas las demás son idénticas en un circuito balanceado. De esta forma, se considera la conmutación de corriente desde el diodo  $D_5$  al diodo  $D_1$ , con el origen temporal tomado como  $t$  o  $\omega t = 0$ . Antes de instante, la corriente  $i_d$  se encontrará fluyendo a través de los diodos  $D_5$  y  $D_6$ . Esto se observa con mayor detalle en la **Figura 15(a)**.



**Figura 14.** Rectificador trifásico controlado con inductancia de fuente  $L_s$  finita y una corriente continua constante <sup>[3]</sup>



**Figura 15.** Proceso de conmutación de corriente <sup>[3]</sup>

La conmutación de corriente presentada solo involucra a las fases  $a$  y  $c$ , siendo la tensión de conmutación:

$$v_{conm} = v_{an} - v_{cn} \quad (3)$$

La corriente de conmutación  $i_u$  fluye debido al camino generado por un corto circuito, el cual se forma gracias a la conducción del diodo  $D_5$ . En términos de corrientes de mallas, se obtiene:

$$i_a = i_u$$

$$i_c = I_d - i_u \quad (4)$$

Estas corrientes pueden ser observadas en la **Figura 15(b)**, donde  $i_u$  aumenta desde cero a un valor igual a  $I_d$  al terminar el intervalo de conmutación  $\omega t_u = u$ . En el circuito de la **Figura 15(a)**:

$$v_{La} = L_s \frac{di_a}{dt} = L_s \frac{di_u}{dt} \quad (5)$$

$$v_{Lc} = L_s \frac{di_c}{dt} = L_s \frac{d(I_d - i_u)}{dt} = -L_s \frac{di_u}{dt} \quad (6)$$

De esta forma, aplicando la ley de tensiones de Kirchhoff en la malla superior del circuito en la **Figura 15(a)**:

$$v_{conm} = v_{an} - v_{cn} = v_{La} - v_{Lc} = 2L_S \frac{di_u}{dt} \quad (7)$$

$$L_S \frac{di_u}{dt} = \frac{v_{an} - v_{cn}}{2} \quad (8)$$

Y multiplicando ambos lados por  $\omega$  e integrando en (8):

$$\omega L_S \int_0^{I_d} di_u = \int_0^u \frac{v_{an} - v_{cn}}{2} d(\omega t) \quad (9)$$

Donde el origen temporal se asume al principio de la commutación de corriente. Con esta elección de origen temporal, es posible expresar la tensión de línea dentro de la integración en (9) como:

$$v_{an} - v_{cn} = \sqrt{2}V_{LL}\sin(\omega t) \quad (10)$$

Obteniendo así:

$$\omega L_S \int_0^{I_d} di_u = \omega L_S I_d = \frac{\sqrt{2}V_{LL}(1 - \cos(u))}{2} \quad (11)$$

De esta forma, si la conmutación de corriente fuera instantánea debido a una inductancia de fuente  $L_S$  nula, entonces la tensión  $v_{Pn}$  sería igual a  $v_{an}$ . Sin embargo, debido al valor finito de  $L_S$  y durante  $0 < \omega t < \omega t_u$  en la **Figura 15(c)**:

$$v_{Pn} = v_{an} - L_S \frac{di_u}{dt} = \frac{v_{an} + v_{cn}}{2} \quad (12)$$

Donde la tensión sobre la inductancia  $L_S$  representa la caída de la tensión  $v_{Pn}$  durante el intervalo de conmutación mostrado en la **Figura 15(c)**. La integral de esta caída de tensión es el área  $A_u$ , la cual según (11) es:

$$A_u = \omega L_s I_d \quad (13)$$

Esta área, equivalente a la tensión en la salida del rectificador, se “pierde” en cada intervalo de  $60^\circ$ , tal como se muestra en la **Figura 13(c)** y la **Tabla 1**. Debido a esto, la tensión promedio en CC presente en la salida del rectificador disminuye de su valor  $V_{do}$ , siendo la caída de tensión debido a la conmutación:

$$\Delta V_d = \frac{\omega L_s I_d}{\frac{\pi}{3}} = \frac{3}{\pi} \omega L_s I_d \quad (14)$$

Por lo tanto, la tensión promedio de salida tomando en cuenta los intervalos de conmutación es equivalente a:

$$V_d = V_{do} - \Delta V_d = 1,35V_{LL} - \frac{3}{\pi}\omega L_s I_d \quad (15)$$

Donde  $V_{do}$  es la tensión promedio de salida con conmutación instantánea al ser la inductancia de fuente  $L_S$  igual a 0 (tal como se demostró en (2)).

#### 2.2.2.1.2. Tensión constante en la salida

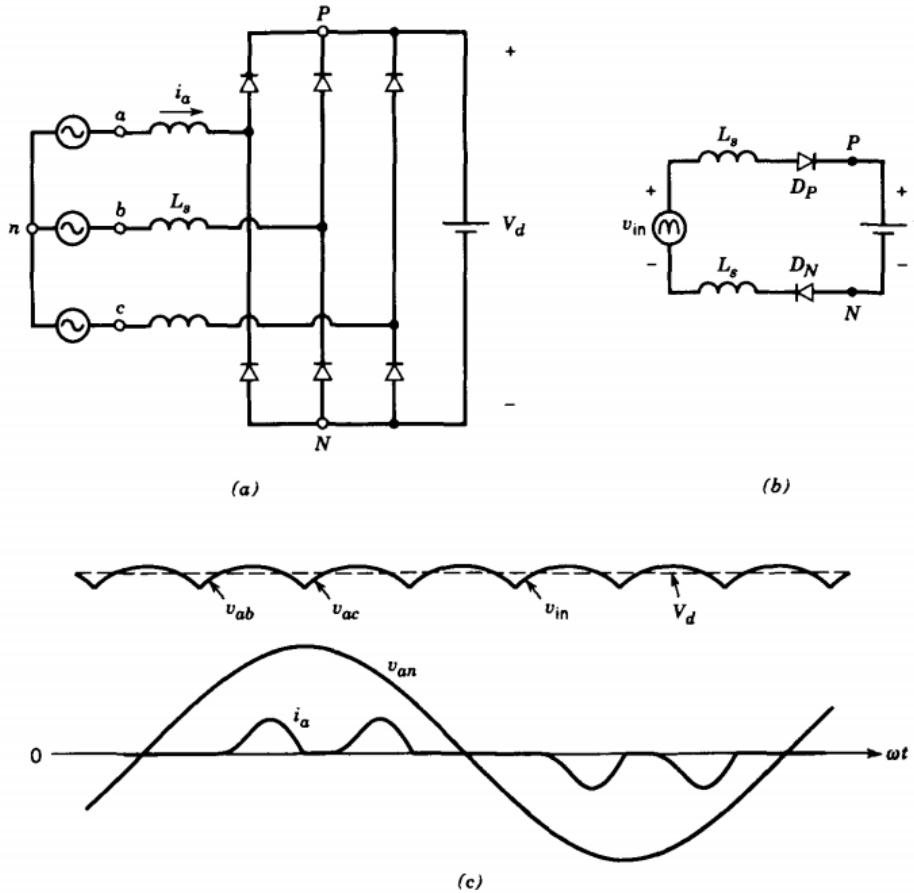
Al tomar el circuito de la **Figura 11** y utilizar un condensador de gran valor en la salida del rectificador se puede obtener como aproximación el circuito mostrado en la **Figura 16(a)**. Para simplificar el análisis de este circuito se asume que la corriente en la salida no fluye de forma continua, y por lo tanto solo 2 diodos (uno del grupo superior y uno del grupo inferior) conducen en cualquier instante de tiempo. Al asumir esto, se obtiene el circuito presentado en la **Figura 16(b)**, donde la tensión de entrada está conformada por segmentos de tensiones de línea, tal como se muestra en la **Figura 16(c)**. El diodo  $D_P$  corresponde a los diodos  $D_1$ ,  $D_3$  y  $D_5$  del grupo superior; mientras que el diodo  $D_N$  corresponde a los diodos  $D_2$ ,  $D_4$  y  $D_6$  del grupo inferior.

Al analizar las formas de onda de la **Figura 16(c)**, se observa cómo los diodos  $D_P$  y  $D_N$  correspondientes comienzan a conducir al ser la tensión  $v_{in}$  (compuesta por los segmentos de tensiones de línea) mayor a  $V_d$ . Esta corriente resultante llega a su máximo valor en el instante en el cual la tensión  $v_{in}$  coincide de nuevo con la tensión  $V_d$ , pero en este caso disminuyendo la primera respecto a la segunda. Esto se da debido a que, según la ley de tensiones de Kirchhoff:

$$v_{in} = 2v_{L_S} + V_d$$

$$v_{L_S} = \frac{v_{in} - V_d}{2} \quad (16)$$

Y recordando la expresión de corriente de un inductor:



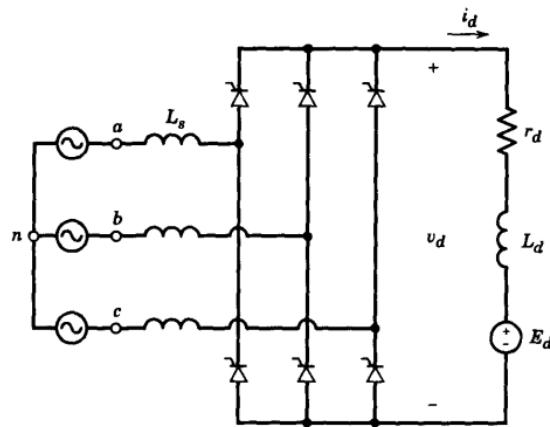
**Figura 16.** Rectificador trifásico con inductancia  $L_s$  y tensión constante en CC (a). Circuito equivalente (b). Formas de ondas resultantes (c) [3]

$$i_L = \frac{1}{L} \int_{t_o}^t v_L(t) dt + i(t_o) \quad (17)$$

De esta forma, la tensión  $v_{L_S}$  tendrá un valor positivo hasta el instante de intersección de  $v_{in}$  (disminuyendo) con  $V_d$ , momento el cual esta empezará a disminuir hasta que la corriente resultante vuelva a un valor nulo.

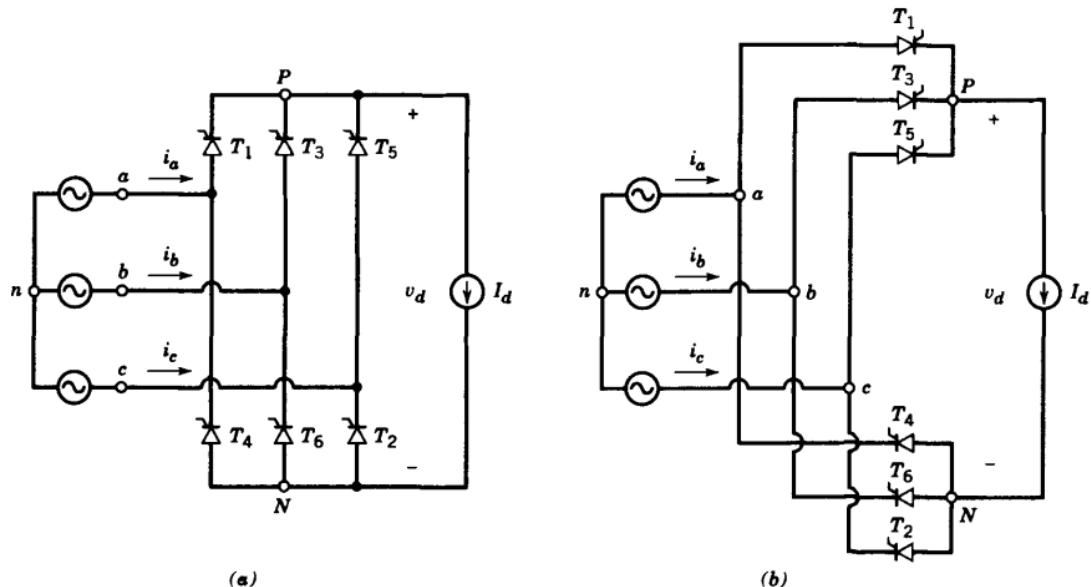
### 2.2.2.2. Rectificadores trifásicos controlados

En la **Figura 17** se observa el modelo circuitual de un rectificador trifásico controlado. Como en el caso anterior, se procederá a analizar en la **Figura 18** un modelo idealizado con las inductancias de fuente  $L_S = 0$  y una fuente de corriente constante  $I_d$  como carga para explicar de manera más sencilla el funcionamiento de este tipo de rectificadores. Para medir el instante de conducción de los SCR se introduce el concepto de ángulo de disparo (también conocido como ángulo de retraso de disparo)  $\alpha$ .



**Figura 17.** Rectificador trifásico controlado práctico [3]

Al igual que en el caso anterior, la corriente  $I_d$  fluirá en cualquier momento a través de uno de los tiristores del grupo superior ( $T_1, T_3$  y  $T_5$ ) y uno del grupo inferior ( $T_2, T_4$  y  $T_6$ ). Si se introducen pulsos de corriente de forma continua en los terminales de compuerta G de los SCR, estos actuarían como diodos, y su comportamiento sería igual al descrito anteriormente para el rectificador trifásico no controlado. Bajo esta condición de pulsos de activación constantes en los SCR (ángulo de disparo  $\alpha$  igual a  $0^\circ$ ), la forma de onda de salida se presenta en la **Figura 19(a)**.

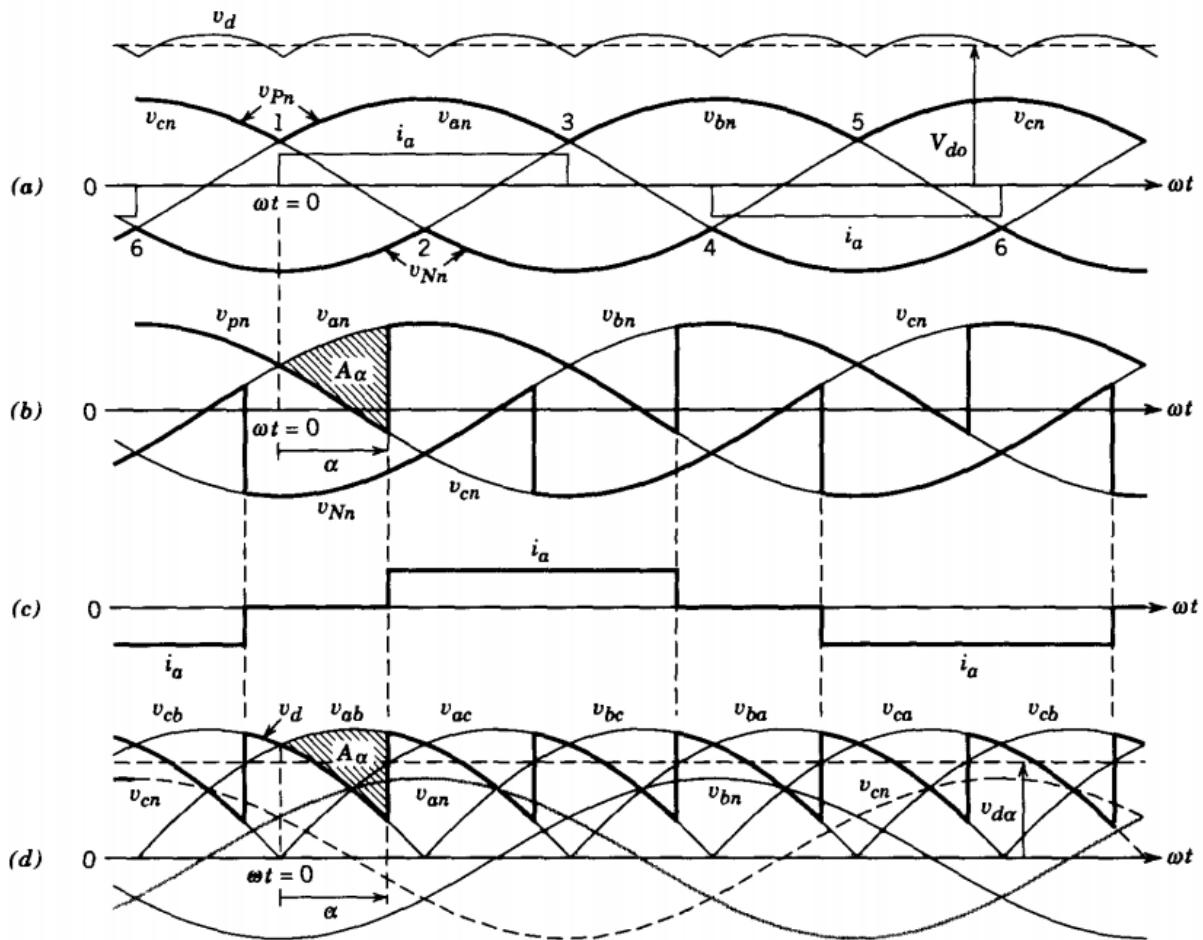


**Figura 18.** Modelo simplificado de rectificador trifásico controlado con corriente continua constante [3]

Para este caso en particular, la tensión promedio de salida en CC será igual al caso anterior del rectificador trifásico controlado:

$$V_{d\alpha} = V_{do} = 1,35V_{LL}$$

$V_{d\alpha}$  = Tensión promedio de salida para rectificador trifásico controlado (V)



**Figura 19.** Formas de onda para rectificador trifásico controlado <sup>[3]</sup>

El efecto del ángulo de disparo  $\alpha$  en el convertidor se observa a partir de la **Figura 19(b)** hasta la **Figura 19(d)**. En la **Figura 19(b)** se observa cómo los SCR seguirán conduciendo hasta el instante  $\omega t = \alpha$ , momento en el cual el SCR correspondiente comuta permitiendo la conducción de corriente a través del SCR al

cual se le aplica el pulso de corriente en su terminal de compuerta G. De esta forma, en la **Figura 19(c)** se observa el retraso del instante de conducción con respecto a la **Figura 19(a)**, mientras que en la **Figura 19(d)** se observa la forma de onda de la tensión resultante de salida  $v_d$ . Cabe destacar que esta tensión de salida equivale a 6 pulsos resultantes de las posibles combinaciones de tensiones de línea, siendo la diferencia principal respecto a la **Figura 13(b)** la deformación de estos pulsos según el valor del ángulo de retraso de disparo  $\alpha$ .

Al igual que en el caso anterior, se presenta el orden de conducción de los SCR en el puente rectificador trifásico para un mejor entendimiento del mismo en la **Tabla 2**. La diferencia con la **Tabla 1** radica en que a los ángulos correspondientes al instante de conducción natural de los SCR se les suma el ángulo de retraso de disparo  $\alpha$ , correspondiente al instante en el cual se aplica el pulso de corriente en el terminal de compuerta G de cada SCR.

**Tabla 2.** Secuencia de conducción de SCRs en rectificador trifásico controlado

Período, rango de $\theta$	Par de SCRs en conducción
$\alpha + 30^\circ \leq \theta \leq \alpha + 90^\circ$	T <sub>6</sub> y T <sub>1</sub>
$\alpha + 90^\circ \leq \theta \leq \alpha + 150^\circ$	T <sub>1</sub> y T <sub>2</sub>
$\alpha + 150^\circ \leq \theta \leq \alpha + 210^\circ$	T <sub>2</sub> y T <sub>3</sub>
$\alpha + 210^\circ \leq \theta \leq \alpha + 270^\circ$	T <sub>3</sub> y T <sub>4</sub>
$\alpha + 270^\circ \leq \theta \leq \alpha + 330^\circ$	T <sub>4</sub> y T <sub>5</sub>
$\alpha + 330^\circ \leq \theta \leq 360^\circ \text{ y } \alpha + 0^\circ \leq \theta \leq \alpha + 30^\circ$	T <sub>5</sub> y T <sub>6</sub>

La expresión de tensión promedio de salida  $V_{d\alpha}$  puede ser obtenida mediante el análisis de la **Figura 19(b)** y la **Figura 19(d)**. En las mismas se observa cómo el área sombreada  $A_\alpha$  correspondiente al retraso de conducción ocasionado por el ángulo  $\alpha$  resulta en una reducción del área  $A$  (marcada en la **Figura 13(b)**) bajo cada uno de los 6 pulsos en la forma de onda salida con duración de  $60^\circ$ . De esta forma, se puede expresar la tensión promedio de salida  $V_{d\alpha}$  utilizando la expresión mostrada en (18):

$$V_{d\alpha} = V_{do} - \frac{A_\alpha}{\pi/3} \quad (18)$$

Para calcular el valor del área  $A_\alpha$  de la **Figura 19(b)** y la **Figura 19(d)**, se procede a realizar la integral de  $v_{an} - v_{cn}$ , lo cual equivale a la tensión de línea  $v_{ac}$ . Esto se confirma en la **Figura 19(d)**, donde el área  $A_\alpha$  es equivalente a la integral de  $v_{ab} - v_{cb}$ , lo cual equivale también a  $v_{ac}$ . De esta forma, tomando como origen temporal el instante  $\omega t = 0$  en las **Figura 19(b)** y **22(d)**:

$$v_{ac} = \sqrt{2}V_{LL} \sin(\omega t)$$

$$A_\alpha = \int_0^\alpha \sqrt{2}V_{LL} \sin(\omega t) d(\omega t) = \sqrt{2}V_{LL}(1 - \cos(\alpha)) \quad (19)$$

$\alpha =$  Ángulo de retraso de disparo en los SCR del puente rectificador trifásico controlado ( $^\circ$ )

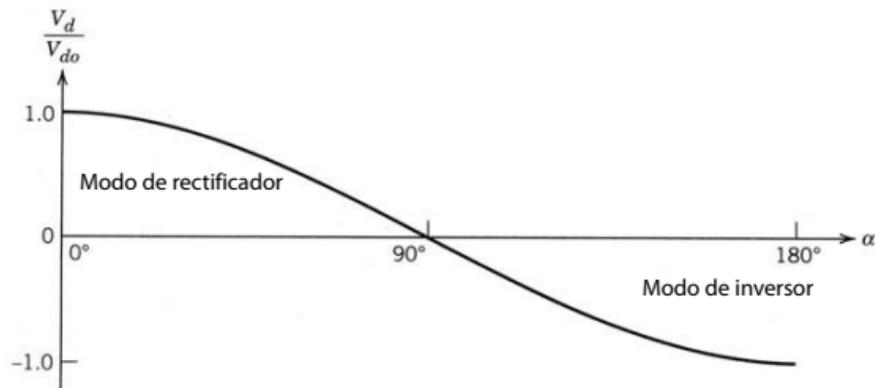
Sustituyendo el valor de  $V_{do}$  previamente determinado en (2) y el valor  $A_\alpha$  determinado en (19) en (18) se obtiene:

$$V_{d\alpha} = \frac{3\sqrt{2}V_{LL}}{\pi} - \frac{3\sqrt{2}V_{LL}}{\pi} + \frac{3\sqrt{2}V_{LL}\cos(\alpha)}{\pi} = \frac{3\sqrt{2}V_{LL}\cos(\alpha)}{\pi}$$

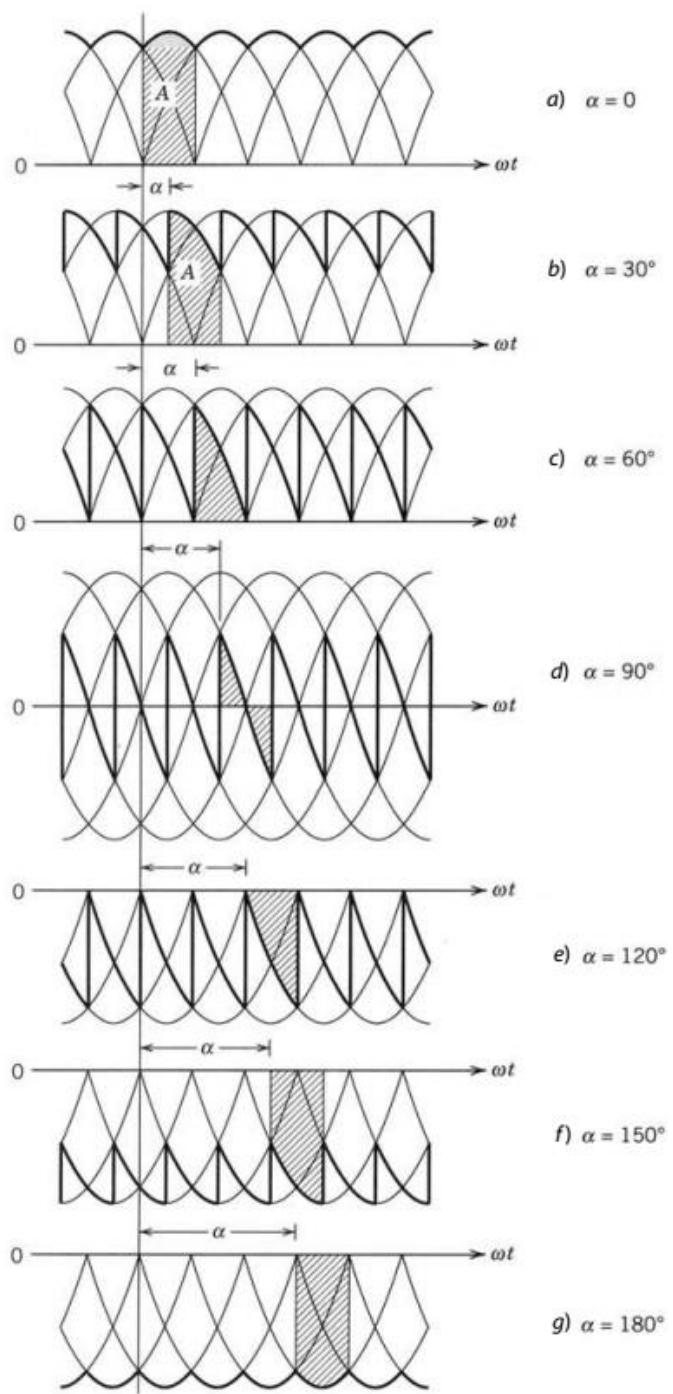
$$V_{d\alpha} = 1,35V_{LL}\cos(\alpha) = V_{do}\cos(\alpha) \quad (20)$$

Ya conocido el comportamiento de la tensión de salida se presentan las formas de ondas para distintos ángulos de disparo en la **Figura 21**. En esta se aprecia cómo a medida que aumenta el ángulo de disparo  $\alpha$  se disminuye la tensión promedio de salida en CC (o visto gráficamente, disminuye el área de la zona sombreada A):

Es de importancia denotar que a partir del valor de  $90^\circ$  en el ángulo de retraso de disparo, el rectificador pasa a trabajar en su modo de inversor. Para mostrar de forma gráfica lo anteriormente planteado se presenta la **Figura 20**, donde se observa la función normalizada de este tipo de rectificadores y sus zonas de trabajo en modo de rectificador y en modo de inversor según el ángulo de disparo.



**Figura 20.** Función normalizada de la tensión de salida  $V_d$  respecto a  $V_{do}$  como función del ángulo de retardo de disparo  $\alpha$ <sup>[3]</sup>

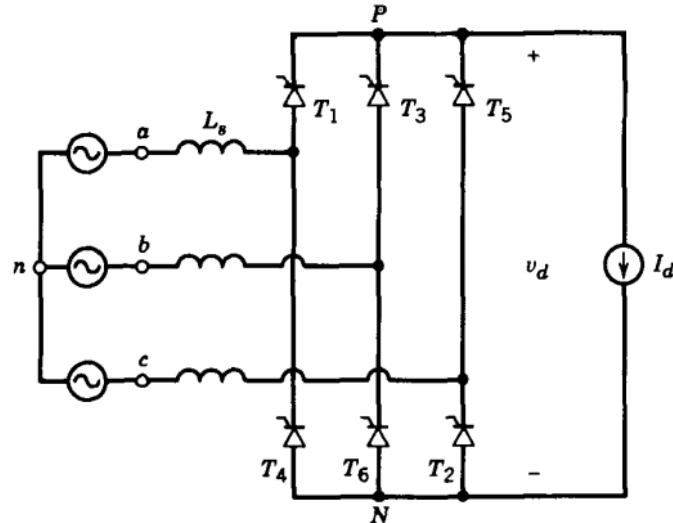


**Figura 21.** Formas de onda de tensión de salida  $v_d$  para distintos ángulos de disparo en rectificador trifásico controlado (modelo idealizado) [3]

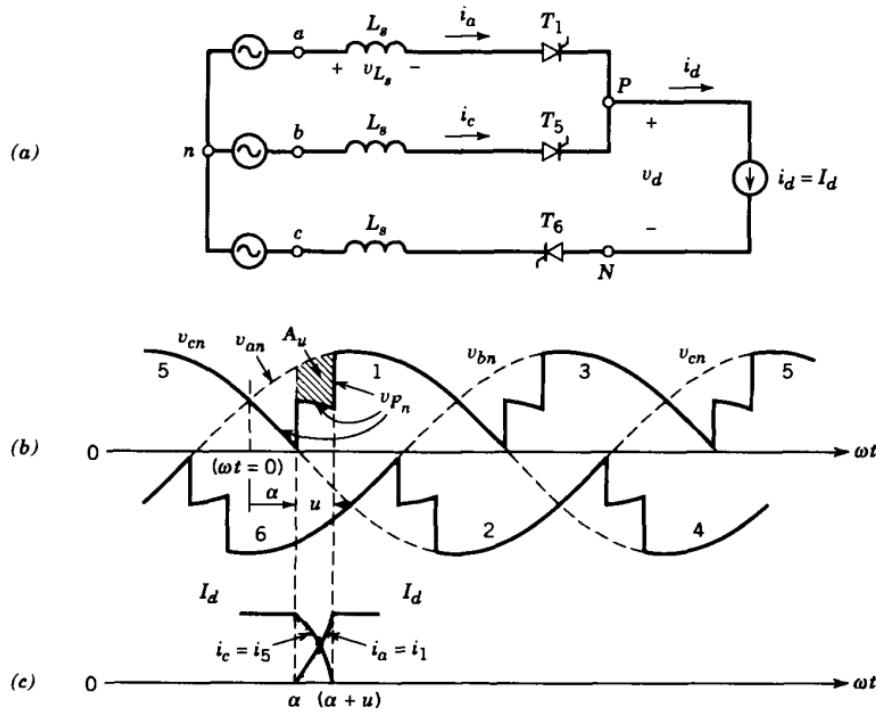
### 2.2.2.2.1. Efecto de inductancia de fuente

De forma equivalente a como se explicó en la *sección 2.2.2.1.1* para el caso de los rectificadores trifásicos no controlados, la inductancia de fuente ocasiona que, para los rectificadores trifásicos controlados y para un determinado ángulo de disparo  $\alpha$ , la conmutación de corriente tome un intervalo de conmutación finito  $u$ .

Para analizar este fenómeno, se toma como ejemplo la situación en la que los tiristores 5 y 6 han estado conduciendo previamente, y en el instante  $\omega t = \alpha$  la corriente comienza a conmutar desde el tiristor 5 al 1 (*Figura 23(a)*). El origen temporal  $\omega t = 0$  se toma en el instante en el que la tensión de fase  $v_{an}$  pasa a ser más positiva que  $v_{cn}$ , es decir, el instante natural de conducción del tiristor 1.



**Figura 22.** Rectificador trifásico controlado con  $L_s$  y una corriente continua constante <sup>[3]</sup>



**Figura 23.** Comutación en rectificador trifásico controlado en presencia de inductancia de fuente <sup>[3]</sup>

Durante el intervalo de conmutación de corriente  $u$ , los tiristores 1 y 5 conducen simultáneamente y las tensiones de fase  $v_{an}$  y  $v_{cn}$  entran en cortocircuito a través de  $L_s$  en cada fase. La corriente  $i_a$  aumenta desde 0 a  $I_d$ , mientras que la corriente  $i_c$  disminuye desde  $I_d$  a 0, momento en el cual la conmutación de corriente del tiristor 5 al 1 se completa. Este proceso de conmutación de corrientes se detalla en la **Figura 23(c)**.

Durante el intervalo de conmutación  $\alpha < \omega t < \alpha + u$

$$v_{Pn} = v_{an} - v_{Ls} \quad (21)$$

$$v_{Ls} = L_s \frac{di_a}{dt} \quad (22)$$

Por lo tanto, la reducción del área en volt-radianes (*Figura 23(b)*) debido al intervalo de conmutación es:

$$A_u = \int_{\alpha}^{\alpha+u} v_{Ls} d(\omega t) \quad (23)$$

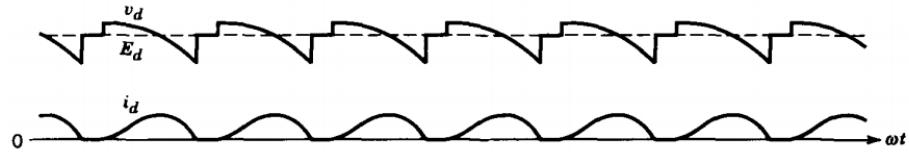
Esto conlleva a que la tensión promedio de salida en CC se reduzca desde su valor  $V_{d\alpha}$  (dado por (20)) a:

$$V_d = \frac{3\sqrt{2}}{\pi} V_{LL} \cos(\alpha) - \frac{\omega L_S I_d}{\frac{\pi}{3}} \quad (24)$$

#### 2.2.2.2.2. Conducción de corriente no continua

En los rectificadores trifásicos controlados prácticos (*Figura 17*), conectar cargas que utilicen una corriente  $I_d$  de baja magnitud ocasiona que la forma de onda  $i_d$  se vuelva discontinua (*Figura 24*). De esta forma, a mayores valores de  $E_d$  se obtendrán menores valores promedio de la corriente de salida  $I_d$ . Esto implica que para regular la

salida del rectificador  $v_d$ , el ángulo de disparo  $\alpha$  tendrá que ser incrementado al presentarse corrientes  $I_d$  de baja magnitud.



**Figura 24.** Formas de onda para rectificador trifásico controlado con corriente no continua [3]

### 2.2.2.2.3. Sincronización de disparos de conducción

Como se ha mencionado anteriormente, el instante natural de conducción de los SCR vendrá dado por el momento en el que las tensiones de fase se intersectan, cambiando así el mayor potencial para la conducción de los SCR superiores o el menor potencial para la conducción de los SCR inferiores. Para lograr que los SCR respectivos conduzcan en este momento exacto de intersección de las tensiones de fase se puede observar la correlación de las tensiones de línea con los instantes naturales de conducción. Comparando la *Figura 19(a)* y la *Figura 19(d)*, se puede crear la *Tabla 3*, la cual muestra la relación entre el momento en el que las tensiones de línea cruzan por cero con el SCR correspondiente que entra en estado de conducción natural (ángulo de disparo igual a  $0^\circ$ ) en caso de presentarse un pulso de corriente en su terminal de compuerta G:

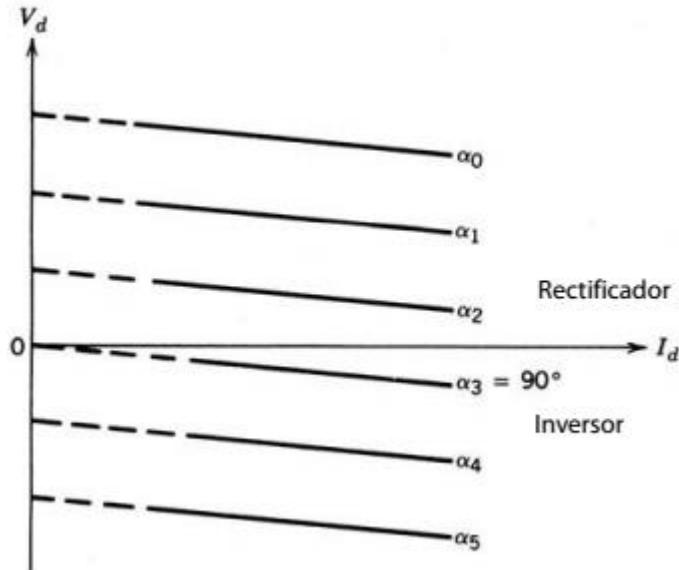
**Tabla 3.** Sincronización de tensiones de línea con SCR en conducción natural del puente rectificador trifásico controlado

Tensión de línea cruzando por cero	SCR en conducción natural
$v_{ac}$ (hacia su semiciclo positivo) $v_{ca}$ (hacia su semiciclo negativo)	SCR 1
$v_{bc}$ (hacia su semiciclo positivo) $v_{cb}$ (hacia su semiciclo negativo)	SCR 2
$v_{ba}$ (hacia su semiciclo positivo) $v_{ab}$ (hacia su semiciclo negativo)	SCR 3
$v_{ca}$ (hacia su semiciclo positivo) $v_{ac}$ (hacia su semiciclo negativo)	SCR 4
$v_{cb}$ (hacia su semiciclo positivo) $v_{bc}$ (hacia su semiciclo negativo)	SCR 5
$v_{ab}$ (hacia su semiciclo positivo) $v_{ba}$ (hacia su semiciclo negativo)	SCR 6

#### 2.2.2.2.4. Regulación de carga

Una vez analizado el comportamiento del rectificador trifásico controlado, es posible representar sus curvas características de carga tal como se aprecian en la **Figura 25**, donde se observa cómo para un ángulo  $\alpha$  determinado, el rectificador posee una regulación no lineal para valores bajos de corriente en la salida, mientras que al

aumentar el consumo de corriente la tensión en su salida disminuirá de manera lineal debido al efecto de la inductancia de fuente en (24).

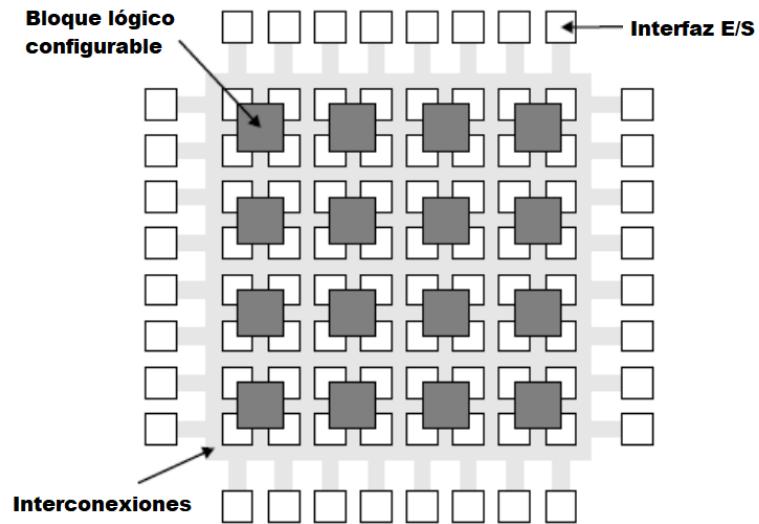


**Figura 25.** Regulación de rectificador trifásico controlado [3]

### 2.2.3. Arreglos de compuertas programables en campo (FPGA)

En [5], Chu describe: “El FPGA es un dispositivo lógico que contiene un arreglo bidimensional de celdas lógicas genéricas e interruptores programables. Cada celda lógica puede ser configurada (o programada) para ejercer una función sencilla, y cada interruptor programable puede ser modificado para proveer interconexión entre las celdas lógicas.” Un diseño personalizado puede ser implementado especificando la función de cada celda lógica y ajustando la conexión de cada interruptor programable. Estos pueden realizar desde funciones tan básicas como suma o resta a funciones complejas como filtrado digital o detección y corrección de errores.

En la *Figura 26*, se puede apreciar la arquitectura básica de un dispositivo de este tipo, conformado por bloques lógicos configurables básicos, interconexiones y la interfaz de entrada y salida.



*Figura 26. Arquitectura interna de un FPGA*

#### 2.2.4. Controladores PID

Dentro de [6] se describen a los controladores PID como “elementos encargados de procesar la señal de error y generar una señal encargada de disminuir el valor de dicha señal de error con el objetivo de lograr la máxima precisión posible en un sistema de control.”

El algoritmo de control PID consiste en 3 parámetros distintos: proporcional, integral y derivativo. El valor proporcional depende del error actual. El integral depende de los errores pasados y el derivativo es una predicción de los errores futuros. La suma de estas 3 acciones es usada para ajustar al proceso por medio de un elemento de control. Ajustando estas 3 variables en el algoritmo de control del PID, el

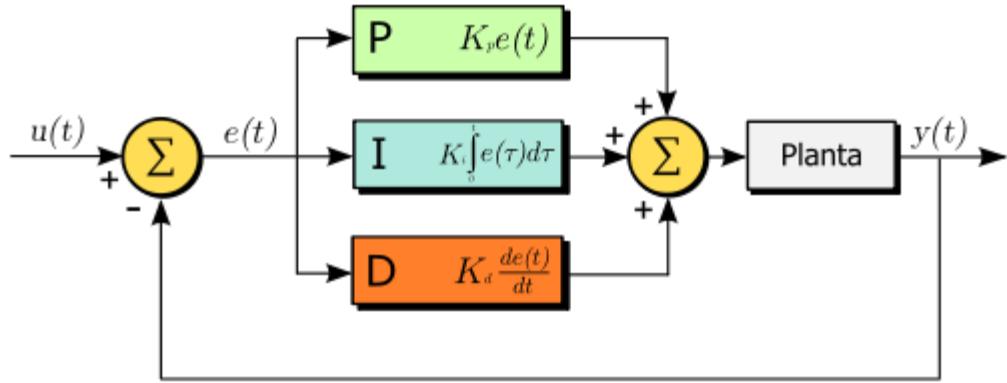
controlador puede proveer una acción de control diseñada para los requerimientos del proceso en específico. La respuesta del controlador puede describirse en términos de la respuesta del control ante un error, el grado al cual el controlador sobrepasa al punto de ajuste y el grado de oscilación del sistema.

Para el correcto funcionamiento de un controlador PID que regule un proceso o sistema se requieren como elementos principales: un sensor que determine el estado del sistema, un controlador que genere la señal de ajuste y un actuador, el cual modifica al sistema de manera controlada.

El sensor proporciona una señal analógica o digital al controlador, la cual representa el punto actual en el que se encuentra el proceso o sistema. Luego, el controlador lee la señal externa que representa el valor que se desea alcanzar. Esta señal recibe el nombre de consigna, la cual es de la misma naturaleza y tiene el mismo rango de valores que la señal que proporciona el sensor. Esta compatibilidad de señales se logra mediante el uso de una interfaz HMI (Human-Machine Interface), a través de la cual se obtiene una mayor facilidad de manejo y comprensión del ajuste realizado por parte del usuario. El controlador resta la señal de punto actual a la señal de consigna, obteniendo así la señal de error, que determina en cada instante la diferencia que hay entre el valor deseado (consigna) y el valor medido. Esta señal de error es utilizada por cada una de las 3 componentes del controlador PID, obteniendo 3 señales resultantes que, al ser sumadas, componen la señal de salida que el controlador utilizará para gobernar al actuador. La señal resultante equivale a la variable manipulada y no se aplica directamente sobre el actuador, sino que debe ser transformada para ser compatible con el actuador utilizado.

El peso de la influencia que cada una de las componentes (proporcional, integral y derivativa) tiene en la suma final, viene dado por la constante proporcional, la

constante integral y la constante derivativa, respectivamente. Un ejemplo gráfico de lo mencionado se observa en la **Figura 27**:



**Figura 27.** Controlador PID incorporado a un sistema realimentado [6]

#### 2.2.4.1. Control proporcional

“Consiste en el producto entre la señal de error y la constante proporcional para lograr que el error en estado estacionario se aproxime a cero, pero en la mayoría de los casos, estos valores solo serán óptimos en una determinada porción del rango total de control, siendo distintos los valores óptimos para cada porción del rango. Sin embargo, existe también un valor límite en la constante proporcional a partir del cual, en algunos casos, el sistema alcanza valores superiores a los deseados. Este fenómeno se conoce como sobreímpetu y generalmente se mantiene, de forma ideal, menor al 30%.” [6]

#### 2.2.4.2. Control Integral

“La componente integral tiene como propósito disminuir y eliminar el error en estado estacionario, provocado por la componente proporcional. Esta actúa cuando hay

una desviación entre la variable controlada y el punto de consigna, integrando esta desviación en el tiempo y sumándola a la acción proporcional con el propósito de obtener una respuesta estable del sistema sin error estacionario.” [6]

#### **2.2.4.3. Control derivativo**

“La componente derivativa se manifiesta cuando hay un cambio en el valor absoluto del error. Su función es mantener el error al mínimo corrigiéndolo proporcionalmente con la misma velocidad que se produce, evitando que el mismo se incremente. Suele ser poco utilizada debido a la sensibilidad al ruido que manifiesta y a las complicaciones que ello conlleva.” [6]

## CAPÍTULO III

### MARCO METODOLÓGICO

Tomando como referencia los conceptos presentados en [7], este trabajo de grado se ha desarrollado basado en un diseño cuantitativo, en el cual se han utilizado los diseños elaborados para analizar la certeza de las hipótesis formuladas. De igual forma se ha empleado una metodología experimental, en la cual se han manipulado intencionalmente variables independientes (tensión de consigna y constantes del controlador) para analizar las consecuencias sobre una o más variables dependientes (tensión de salida) dentro de la situación de control (convertidor CA/CC).

Para lograr el cumplimiento de los objetivos planteados, se propuso la división del trabajo de grado en las siguientes fases:

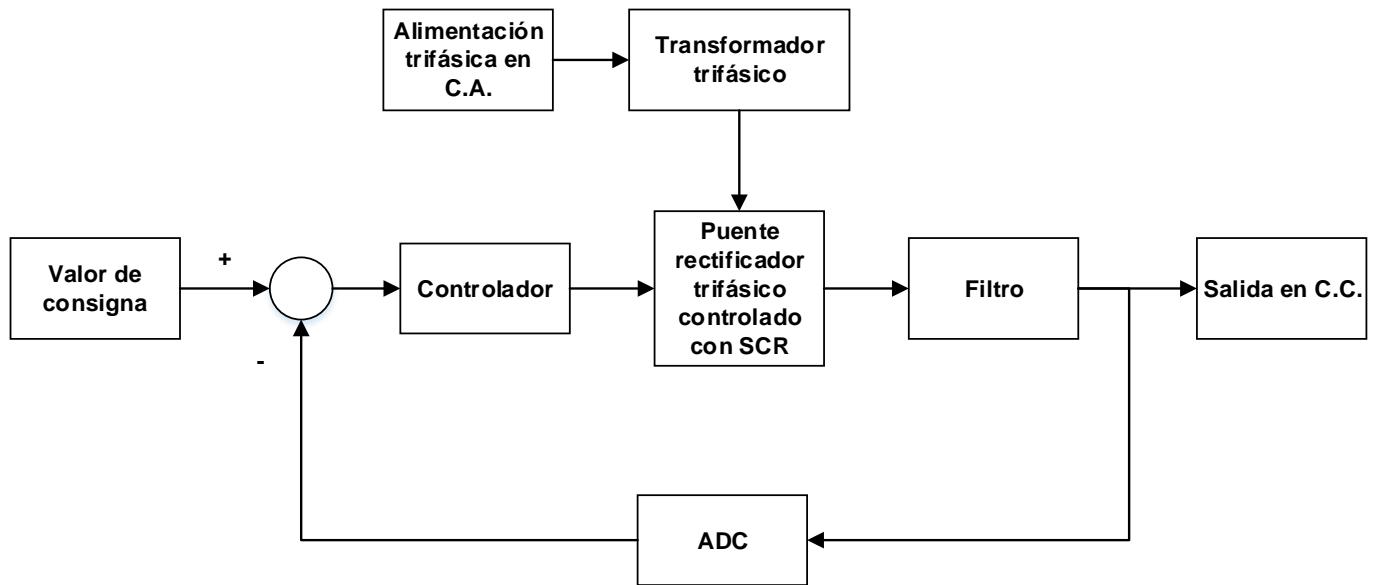
#### **3.1. Estudio documental**

Durante esta fase se realizó la recopilación de toda la información y documentación necesaria para realizar los estudios y diseños propuestos en el proyecto. Conceptos tales como la rectificación trifásica controlada, el uso de tiristores (SCR), el manejo de los FPGA y el uso del lenguaje de descripción de hardware VHDL son algunos de los tópicos que fueron investigados y estudiados con mayor énfasis durante esta etapa, presentándose un resumen de estos estudios en el capítulo II como parte del marco teórico.

### 3.2. Levantamiento de información

En esta fase se realizó el estudio y recopilación de información de todos los componentes principales del convertidor CA/CC con la finalidad de poseer, en conjunto con la información teórica previamente recopilada, los datos necesarios para adaptar el sistema de control digital acorde a los objetivos establecidos.

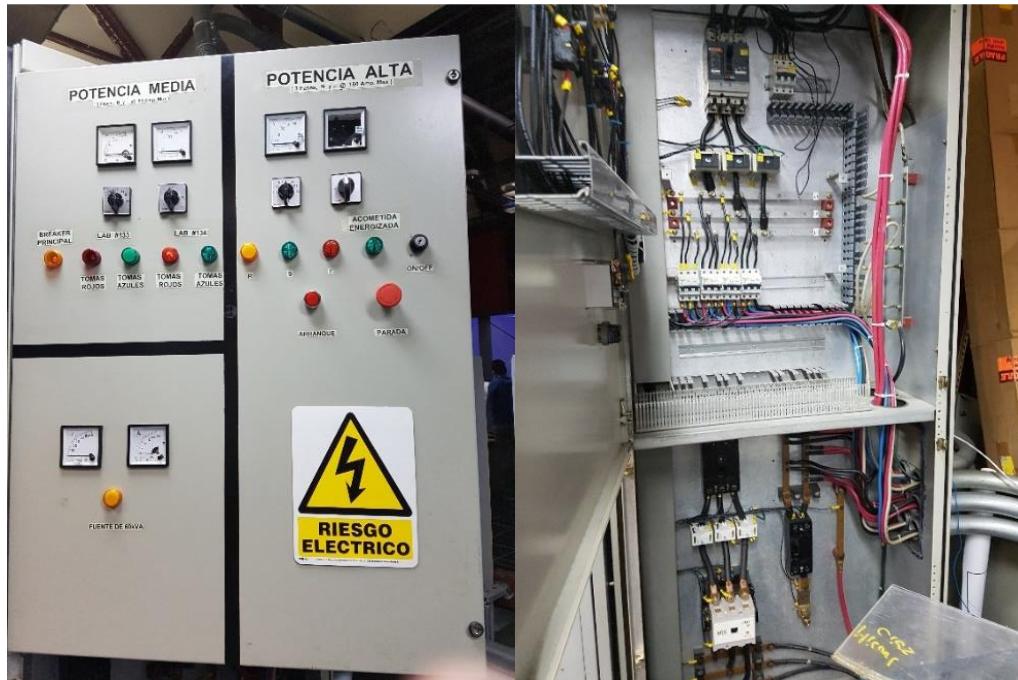
En la **Figura 28**, se presenta un diagrama de bloques del convertidor CA/CC, donde es posible observar el sistema de control realimentado a diseñar.



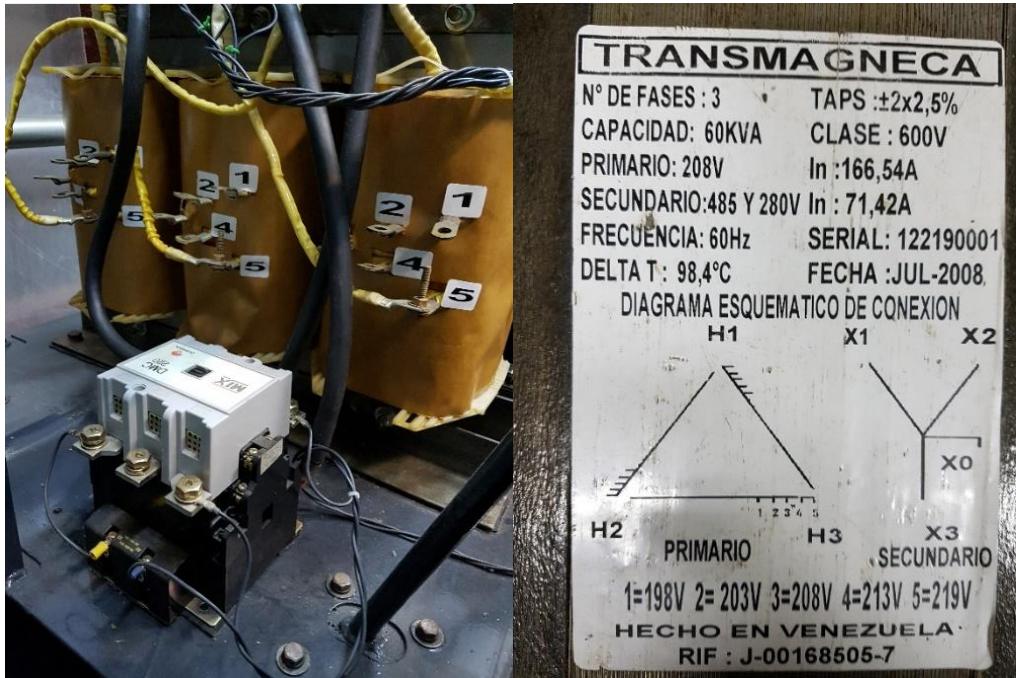
**Figura 28.** Diagrama de bloques del sistema de control del convertidor CA/CC

### 3.2.1. Alimentación trifásica/Transformador trifásico

Como primera sección del sistema presentado en la *Figura 28* se posee la alimentación trifásica del mismo. Esta cumple la tarea de otorgar al sistema la corriente alterna que será convertida a corriente continua. Visto de esta forma, se tienen 2 opciones, siendo la primera conectar directamente la red de alimentación trifásica al puente rectificador. Como segunda opción, elegida para la realización de este proyecto, se plantea el uso de un transformador trifásico (en este caso con configuración delta a estrella), el cual se alimenta desde la red de alimentación trifásica con 120 V por fase. La ventaja de utilizar este transformador radica en la posibilidad de obtener una mayor tensión de entrada al sistema en CA y, por consiguiente, una mayor tensión de salida en CC.



*Figura 29. Panel de alimentación trifásica*



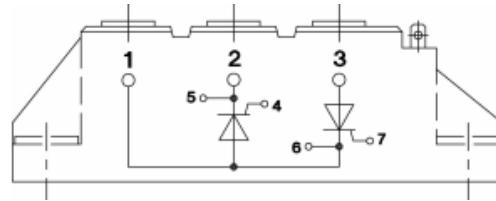
**Figura 30.** Transformador trifásico  $\Delta - Y$

**Tabla 4.** Especificaciones del transformador utilizado en el convertidor CA/CC

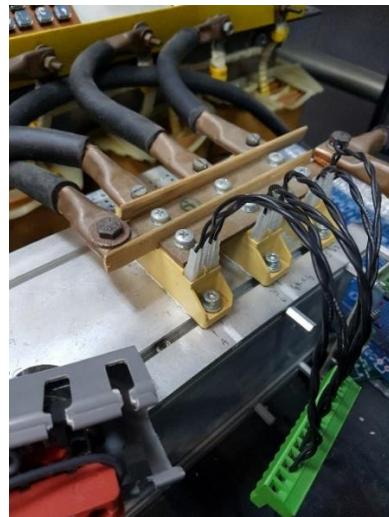
Tipo de transformador	Trifásico. $\Delta - Y$	Números de fases	3
Capacidad	60 KVA	Frecuencia nominal	60 Hz
Valores nominales. Lado primario	$V_\emptyset = V_{LL} = 208 V$ $I_{LL} = 166,54 A$	Valores nominales. Lado secundario	$V_\emptyset = 280 V$ $V_{LL} = 485 V$ $I_\emptyset = I_{LL} = 71,42 A$

### 3.2.2. Puente rectificador trifásico controlado con tiristores (SCR)

Esta sección del convertidor cumple con el papel de elemento a controlar dentro del sistema, permitiendo convertir la corriente alterna de entrada en corriente continua a la salida. El puente rectificador utilizado se encuentra conformado por 3 módulos SKKT 92B12 E de 2 tiristores SCR de la marca SEMIKRON. El módulo en cuestión se representa en la *Figura 31*, donde se observan tanto las conexiones internas de los SCR como la numeración de cada uno de sus terminales. A su vez, en la *Figura 32* se aprecia el puente rectificador trifásico utilizado en cuestión, compuesto por los 3 módulos anteriormente mencionados.



*Figura 31. Módulo de SCR utilizado*



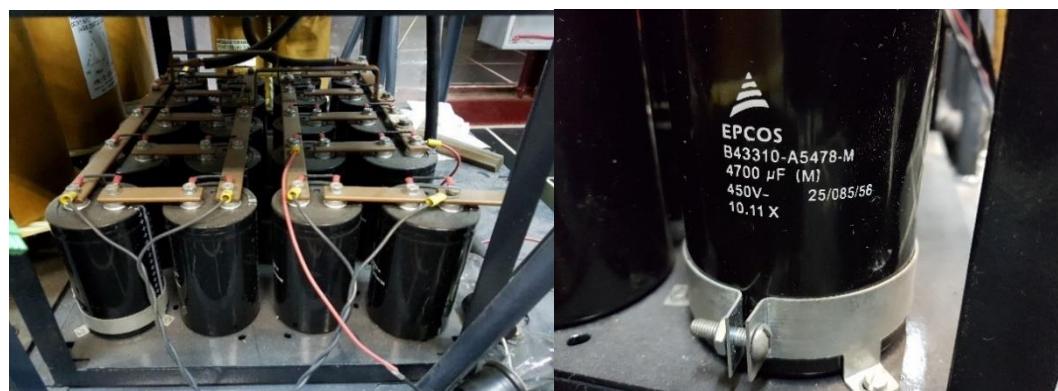
*Figura 32. Puente rectificador trifásico controlado*

### 3.2.3. Filtro pasivo

La siguiente sección del convertidor corresponde a un filtro pasa bajo compuesto por un inductor con núcleo de hierro, un banco de condensadores electrolíticos y resistencias de descarga. El inductor posee un valor de  $1,5 \text{ mH}$ , siendo capaz de soportar  $150 \text{ A}$  de CC, mientras que el banco de condensadores está compuesto por 18 condensadores de  $4700 \mu\text{F}$ , capaces de soportar tensiones de hasta  $450 \text{ V}$  cada uno.



*Figura 33. Inductor del filtro pasivo del convertidor CA/CC*

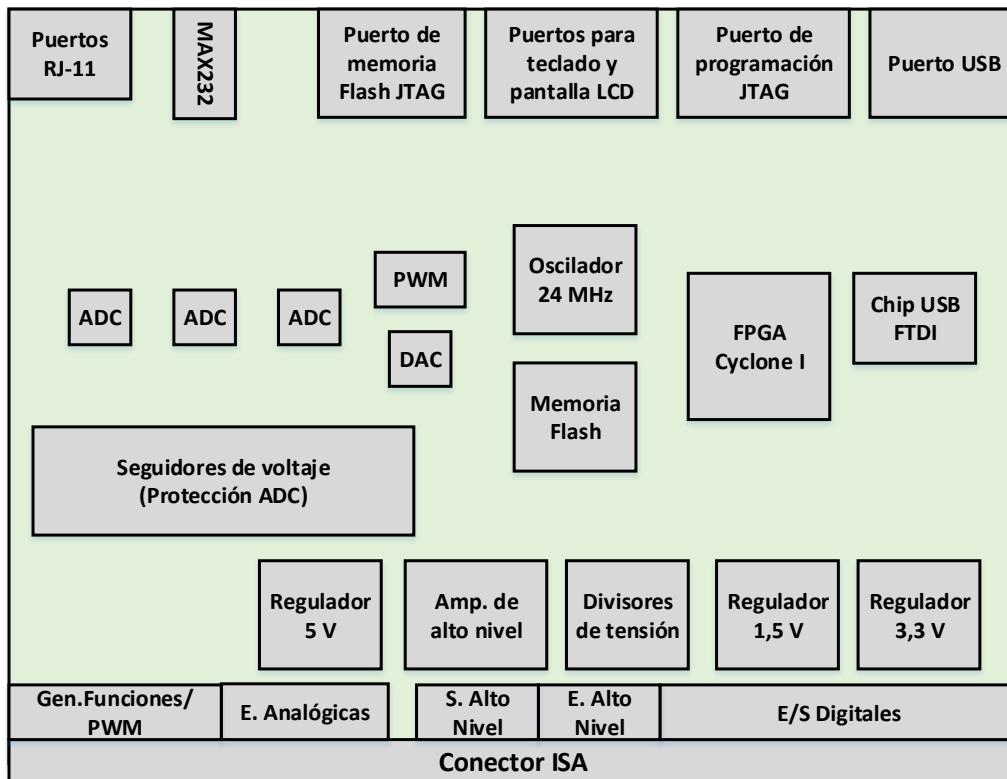


*Figura 34. Banco de condensadores del filtro pasivo del convertidor CA/CC*

Para permitir que estos condensadores se descarguen completamente al no utilizarse, los mismos se encuentran conectados a 2 resistores de  $270\text{ k}\Omega$  en serie, dando como resultado  $540\text{ k}\Omega$  colocados en paralelo con cada condensador.

### 3.2.4. Tarjeta de desarrollo equipada con FPGA

La lógica de control para el sistema presentado fue programada mediante el uso del lenguaje de descripción de hardware VHDL dentro de la tarjeta de desarrollo equipada con un FPGA presentada anteriormente en la *Figura 2* y cuyos componentes principales se observan en la *Figura 35* y en la *Tabla 5*.



*Figura 35. Diagrama de componentes principales de tarjeta de desarrollo equipada con FPGA*

**Tabla 5. Características principales de la tarjeta de desarrollo**

23 Entradas/Salidas digitales de 3,3V	FPGA Cyclone I EP1C6T144C6
4 Entradas y 4 Salidas de 15V	Programación con JTAG
12 Entradas analógicas de 0V a 5V (Multiplexadas para utilizar 6 a la vez)	Memoria FLASH ( EPCS4 de 524 kB)
6 Convertidores AD y 1 convertidor DA	Comunicación USB (Chip FT245BM)
3 Reguladores (5 V/ 3,3 V/ 1,5 V)	Comunicación RS-232 (2 puertos RJ11)

### 3.2.5. Fuentes de alimentación en CC para componentes electrónicos

Para lograr alimentar todos los circuitos electrónicos y la tarjeta de desarrollo, fue necesario utilizar fuentes de alimentación capaces de otorgar tensiones en CC de 5 V, 15 V y -15 V, por lo cual se optó por el uso de una fuente de alimentación HP 6236B con 3 tensiones de salida en CC y una fuente EXTECH 382203, tal como se observa en la *Figura 36*.

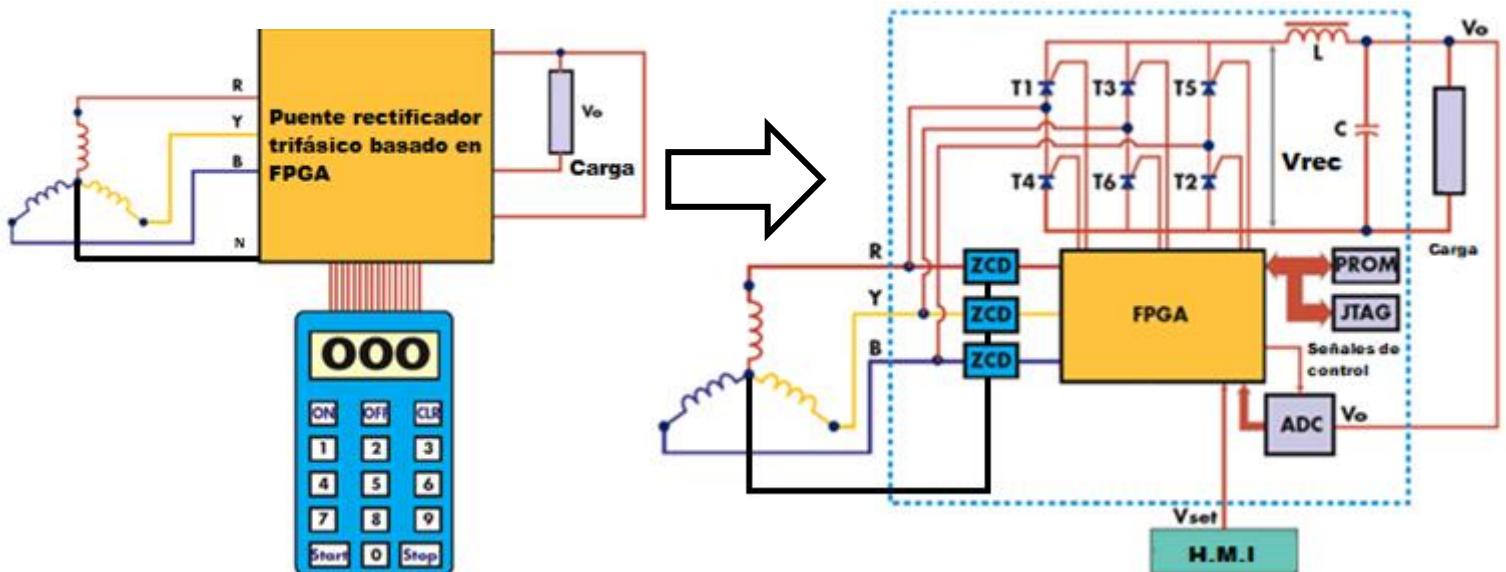


**Figura 36.** Fuentes de alimentación en CC utilizadas para el convertidor CA/CC

### 3.3. Conexiones e incorporación de las nuevas tarjetas electrónicas

Durante esta fase se realizó el análisis y diseño de los circuitos y planos de los distintos elementos del convertidor con el objetivo de realizar las conexiones correspondientes e incorporar las nuevas tarjetas de desarrollo equipadas con FPGA en el lazo de control del convertidor CA/CC.

En la *Figura 37* se presenta el modelo de conexiones del sistema en cuestión, el cual sirvió como guía para el diseño del mismo. En este modelo es posible apreciar los elementos principales de entrada, salida y de control: alimentación trifásica, el puente rectificador trifásico con SCR, el filtro de salida, el controlador basado en el uso de un FPGA, el panel de control y la carga.



*Figura 37. Modelo de conexiones para convertidor de CA/ CC<sup>[8]</sup>*

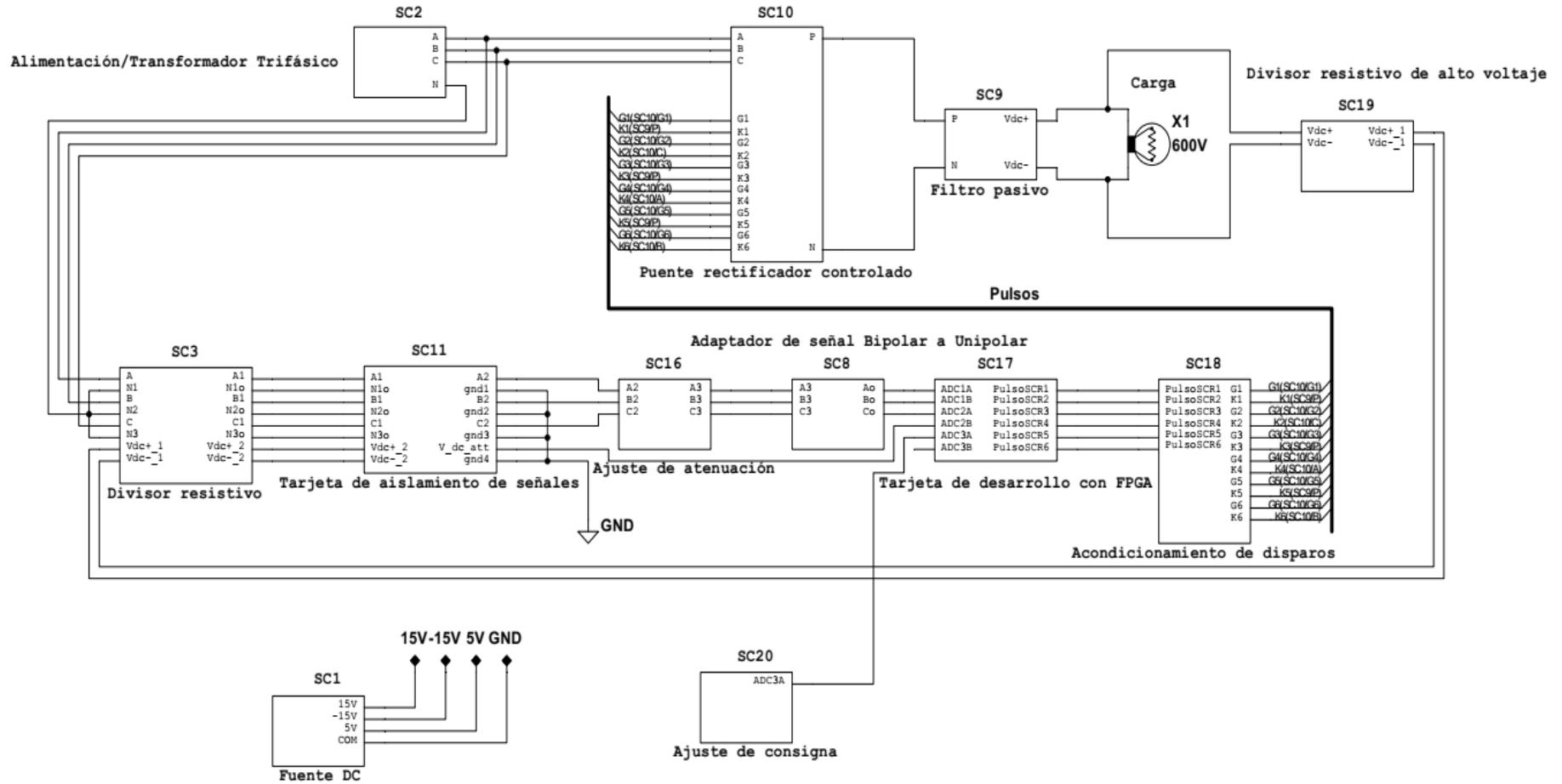


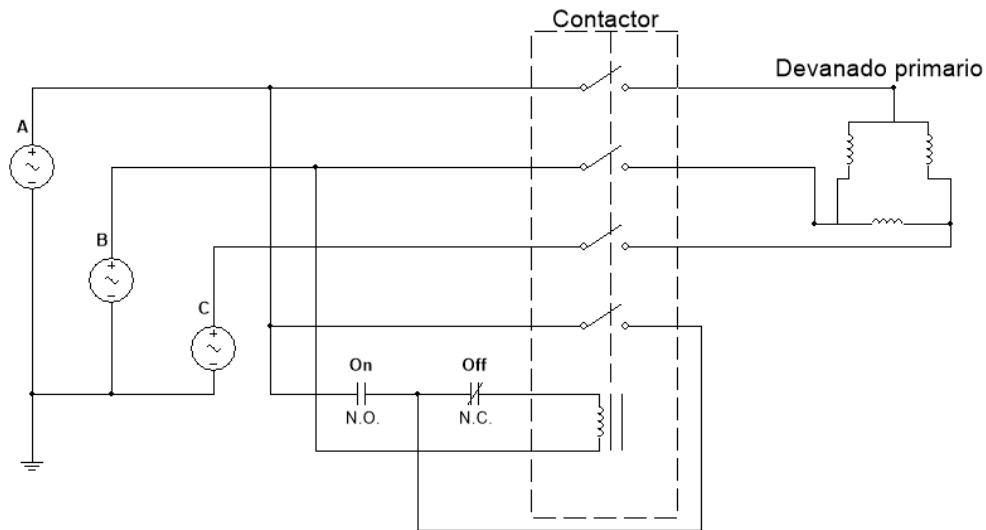
Figura 38. Diagrama de conexiones para convertidor CA/CC utilizado

Este diagrama esquemático sirve como base para presentar el diagrama circuital diseñado para el convertidor CA/CC de la **Figura 38**, cuyas secciones serán analizadas a continuación.

### 3.3.1. Alimentación trifásica

Como se mencionó anteriormente, la tensión trifásica a convertir será tomada desde un transformador trifásico  $\Delta - Y$  para obtener una mayor tensión de salida, el cual a su vez se conecta a un panel de alimentación trifásica. De esta forma, se ha conectado el lado primario del transformador en configuración  $\Delta$  a la red trifásica de alimentación, obteniéndose en la salida del mismo 3 tensiones de fase y 1 neutro. Para activar y desactivar la conducción a través de este transformador se utilizó un módulo de 2 pulsadores, los cuales se encargan de controlar un contactor colocado antes del transformador. El contactor se puede observar en la **Figura 30**, mientras que en la **Figura 39** se observa el diagrama circuital del sistema de encendido y apagado del convertidor.

Este sistema de encendido y apagado consta de un par de pulsadores (uno normalmente cerrado y otro normalmente abierto) y un contactor, el cual trabaja de manera enclavada. El pulsador de encendido (normalmente abierto) sirve para arrancar el sistema, energizando la bobina del contactor y cerrando todos sus contactos al pulsarlo, alimentando así al devanado primario del transformador. A su vez, se observa el pulsador de apagado (normalmente cerrado), el cual mantiene a la bobina del contactor energizada mediante un puente entre dos fases de alimentación que permite el flujo de corriente aun cuando el pulsador de encendido vuelva a su estado abierto. En el momento que se oprime el pulsador de apagado la bobina del contactor queda sin energía, abriendo los contactos y dejando sin alimentación al transformador.

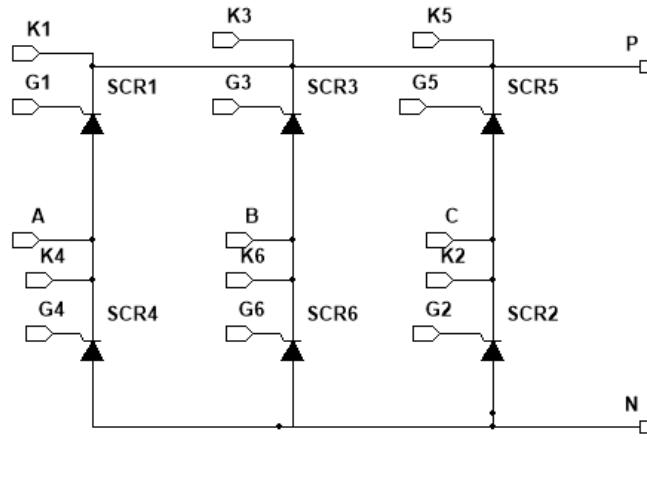


**Figura 39.** Diagrama circuital de encendido y apagado del convertidor

### 3.3.2. Puente rectificador trifásico

Los módulos de tiristores SCR presentados anteriormente en la **Figura 31** han sido conectados para obtener el puente rectificador trifásico presentando en la **Figura 40**. En esta, se observa cómo se han conectado los 3 terminales ‘1’ de los módulos (correspondientes al nodo intermedio entre el ánodo de un SCR y el cátodo del otro) a los terminales de salida del transformador trifásico en su lado con configuración en estrella, correspondientes a cada tensión de fase. Mediante el uso de barras de cobre se han interconectado todos los terminales ‘2’ de los módulos (correspondientes a los cátodos de los SCR superiores del puente rectificador), creando así un nodo que vendrá a ser el terminal de salida positivo *P* del rectificador. A su vez, los terminales ‘3’ de los módulos (correspondientes a los ánodos de los SCR inferiores del puente rectificador) se conectaron mediante el uso de otra barra de cobre, creando el nodo que indicará el terminal de salida negativo *N* del convertidor (ambos terminales referenciados en la **Figura 18**). De igual forma, es posible observar la ubicación

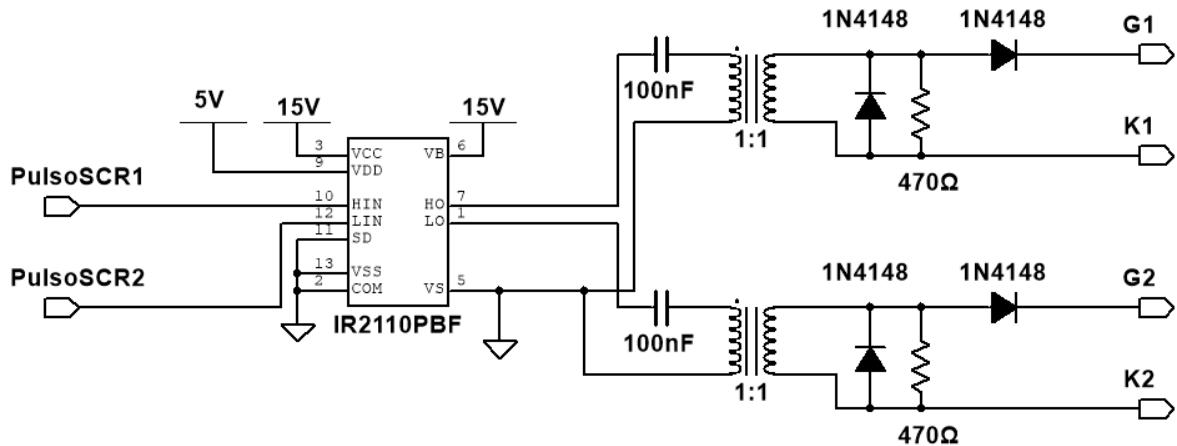
equivalente de los terminales de control ‘4’ y ‘7’ (compuertas de los SCR); y ‘5’ y ‘6’ (cátodos de los SCR).



**Figura 40.** Circuito de puente rectificador trifásico controlado

### 3.3.3. Circuito de acondicionamiento de pulsos de disparo

Utilizando los terminales de control de los módulos de tiristores es posible controlar el instante de conducción de los mismos mediante el uso de una fuente de pulsos de corriente de duración finita. En nuestro caso, se utilizaron 6 terminales de salida digitales de la tarjeta de desarrollo con FPGA como la fuente de estos pulsos de corriente. Para lograr el aislamiento de la sección de electrónica y control en relación a la sección de potencia del convertidor, se utilizó un conjunto de circuitos integrados controladores y transformadores de pulso, protegiendo la sección de control ante posibles valores elevados de corriente o altas tensiones.



**Figura 41.** Ejemplo de circuito de control para SCR con controladores y transformadores de pulso

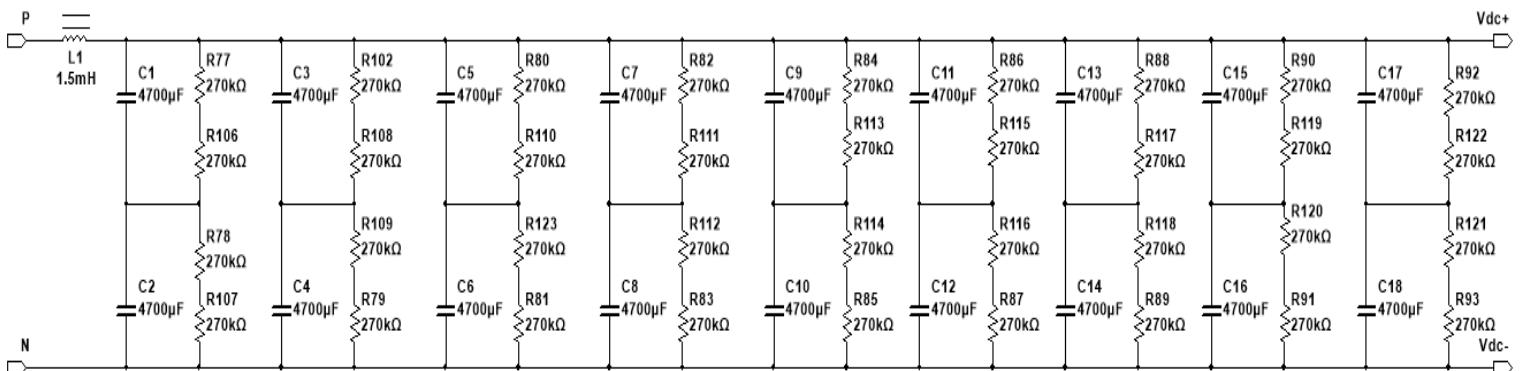
Un ejemplo de los circuitos de acondicionamiento de disparo diseñados se observa en la **Figura 41**, siendo la función de estos adaptar los pulsos provenientes de la tarjeta de desarrollo equipada con el FPGA hacia los terminales de control de los SCR. Al salir de la tarjeta de desarrollo, los pulsos tendrán una amplitud de 3,3 V y entrarán al controlador IR2110 de la marca International Rectifier en sus terminales  $L_{in}$  y  $H_{in}$ . Estos controladores generarán un pulso de igual duración a los pulsos de entrada, pero con una amplitud igual a la tensión de alimentación en CC introducida en los terminales  $V_{CC}$  y  $V_B$ . Estos pulsos de salida con mayor amplitud pasarán a los transformadores de pulso SKPT-11 de la marca SEMIKRON con relación 1:1, donde la variación de tensión en el devanado primario generará una tensión inducida en el secundario, pero con el aislamiento requerido para proteger a la sección de electrónica y control. De esta forma, la salida de los circuitos acondicionadores será conectada a los terminales de control respectivos de cada SCR (correspondientes a la compuerta G y al cátodo K para cada tiristor).

Cabe destacar que en el diseño de este circuito se han utilizado una serie de condensadores y resistencias para asegurar una transferencia fiel del pulso de conducción, disminuyendo en lo posible cualquier transitorio causado por la acción de la inductancia del transformador de pulso. De igual forma, se han utilizado un conjunto de diodos para asegurar la polaridad positiva de los pulsos de corriente introducidos en los SCR.

### 3.3.4. Filtro pasivo

El filtro pasivo utilizado se representa mediante el circuito de la **Figura 42**. Mediante el análisis de este filtro se puede observar la conexión en serie del inductor utilizado con el banco de condensadores, del cual se tomarán los terminales de salida en paralelo para obtener la tensión de salida no regulada del convertidor.

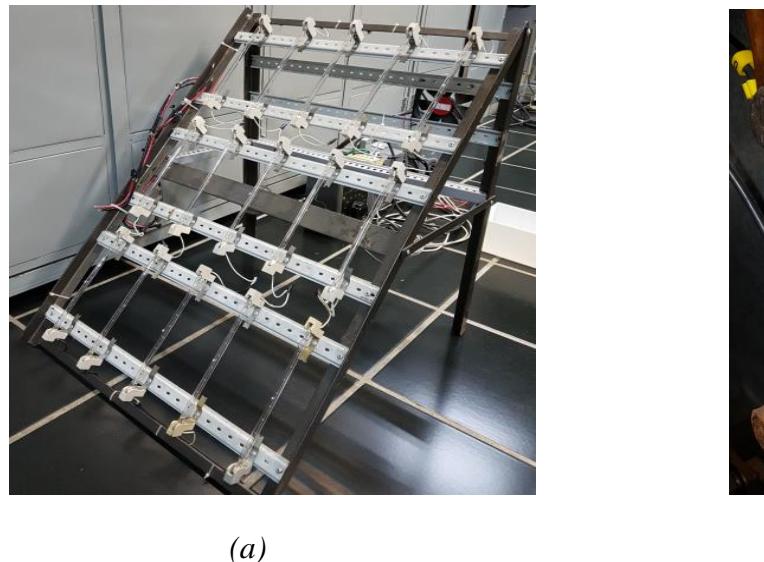
Cabe destacar que debido a que cada condensador soporta una máxima tensión de 450 V se han conectado dos de los mismos en serie, logrando así aumentar la tensión máxima de operación a 900 V. De igual forma, se observa cómo se han colocado 9 ramas de condensadores en paralelo para aumentar la capacitancia total.



**Figura 42.** Filtro pasivo del convertidor CA/CC

### 3.3.5. Carga

La carga utilizada puede conectarse tanto a la salida del filtro pasivo (en paralelo con el banco de condensadores) para obtener una tensión en CC no regulada como a la salida de un elemento regulador para obtener una tensión en CC con mayor estabilidad y regulación. Durante el desarrollo de este trabajo de grado se contó con un arreglo de bombillos incandescentes con valores nominales de  $1000\text{ W}/220\text{ V}$  cada uno como elementos principales de carga, los cuales pueden ser observados en la **Figura 43(a)**. De igual forma, se contó con una resistencia shunt de  $250\text{ A}/60\text{ mV}$  presentada en la **Figura 43(b)**, la cual fue utilizada para realizar medidas indirectas del valor de corriente otorgado por el convertidor.



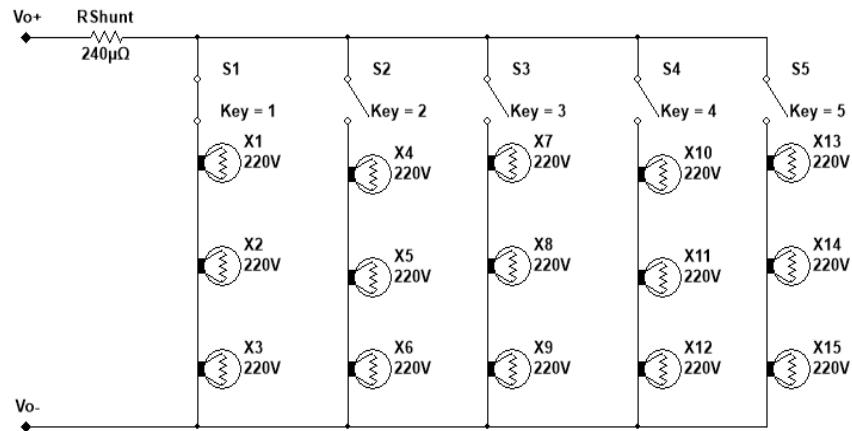
(a)

(b)

**Figura 43.** Carga utilizada para convertidor CA/CC

La conexión de estos elementos de carga se representa mediante el diagrama circuital presentado en la **Figura 44**, donde observa la conexión en serie de la resistencia shunt con el arreglo de bombillos utilizado. Cabe destacar que debido a que

la tensión máxima de salida del convertidor es del orden de los  $600\text{ V}$  se han colocado 3 bombillos en serie para soportar un nivel máximo de tensión de  $660\text{ V}$ . De igual forma, se han colocado 5 ramas de esta serie de bombillos en paralelo, de forma tal que se puedan realizar pruebas de regulación al permitir la conducción de corriente a través de cada rama.



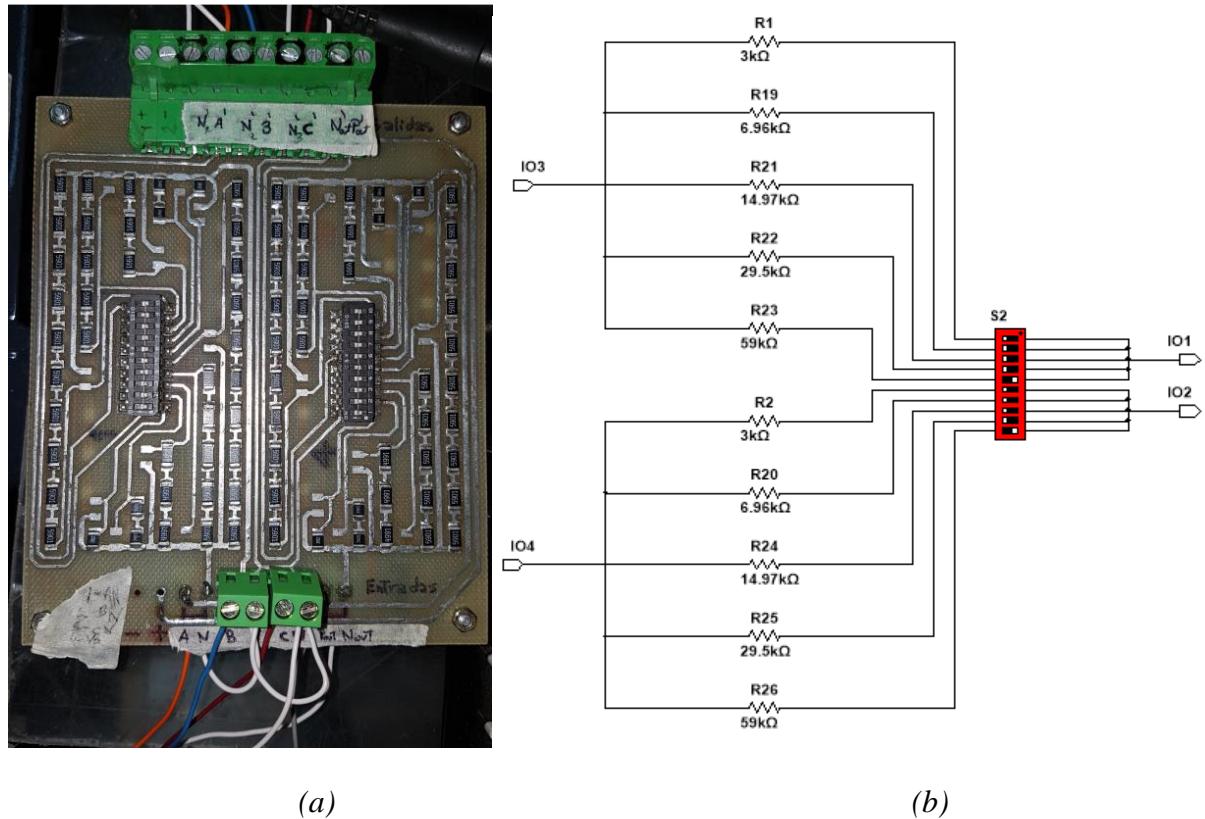
**Figura 44.** Diagrama de conexiones para carga utilizada

### 3.3.6. Tarjeta de circuitos divisores de tensión

Anteriormente se recalcó que el funcionamiento de los rectificadores trifásicos controlados depende de la sincronización de los pulsos de corriente para activar la conducción de los SCR respecto a su instante natural de conducción, de forma tal que mediante una lógica de control se ajuste el retraso de generación de estos pulsos (es decir, controlar el ángulo de retraso de disparo  $\alpha$ ).

Para lograr esta sincronización de disparos, es posible utilizar tanto las tensiones de fase como las tensiones de línea, según lo explicado en la *sección*

**2.2.2.2.3.** En el caso presentando se han utilizado las tensiones de fase, debido a su menor magnitud (396 V, aproximadamente) en comparación con la tensión de línea pico de salida del transformador trifásico utilizado (686 V, aproximadamente).



**Figura 45.** Tarjeta de circuitos divisores de tensión

Como se señaló anteriormente, la tarjeta de desarrollo equipada con FPGA posee un conjunto de convertidores analógicos a digitales capaces de soportar tensiones que oscilen entre los 0 V y 5 V. Esto conllevó a la utilización de una tarjeta de circuitos divisores de tensión, la cual fue previamente diseñada por la FIIIDT y que permitió atenuar estas tensiones de fase provenientes de la salida del transformador trifásico en su configuración estrella. La tarjeta en cuestión se observa en la **Figura 45(a)**, mientras que un ejemplo de su representación circuital se observa en la **Figura 45(b)**.

Dentro de esta tarjeta de circuitos divisores de tensión se encuentran 4 circuitos similares al presentando en la *Figura 45(b)*, compuestos por resistencias SMD en serie que, a su vez, forman múltiples divisores de tensión elegibles mediante la configuración de un interruptor DIP de 10 canales.

### 3.3.7. Tarjeta de aislamiento de señales

Una vez atenuadas las señales, fue necesario implementar un circuito capaz de otorgar las señales resultantes de la atenuación diferencial y que a su vez proporcionara el aislamiento necesario para proteger a la sección de electrónica y control separándola de la sección de potencia. Esto se logró mediante la implementación de tarjetas de aislamiento de señales, las cuales han sido diseñadas por la FIIIDT y que funcionan mediante el uso amplificadores de instrumentación AD620 en conjunto con amplificadores aisladores AD210AN, ambos de la marca Analog Devices. La tarjeta en cuestión se observa en la *Figura 46*, mientras que su diagrama circuital se presenta en la *Figura 48*.

El amplificador de instrumentación AD620 ha sido configurado para tener una ganancia unitaria, de forma tal que al conectar la tarjeta de circuitos divisores de tensión a la entrada de la tarjeta de aislamiento de señales se obtuvieran distintas atenuaciones según la posición de los interruptores DIP. Un ejemplo de esta conexión se presenta en la *Figura 47*, donde se han configurado los interruptores de la tarjeta de circuitos divisores de tensión para obtener la máxima atenuación posible.

Tomando en cuenta que la señal de salida del amplificador instrumental será igual a la diferencia de tensión de su terminal de entrada positivo respecto a su terminal de entrada negativo, que el circuito de entrada cumple con la función de filtro pasa bajo

para evitar interferencias por señales de alta frecuencia y que el amplificador instrumental posee una alta impedancia de entrada, se obtiene que la tensión de salida para el ejemplo de la *Figura 47* tomando en cuenta las resistencias de atenuación será equivalente a:

$$V_o = V_{in} \frac{1k\Omega}{2 \cdot 59k\Omega + 2 \cdot 1k\Omega} - (-V_{in}) \frac{1k\Omega}{2 \cdot 59k\Omega + 2 \cdot 1k\Omega} = V_{in} \frac{2}{2 \cdot 59 + 2 \cdot 1} = V_{in} \frac{2}{120}$$

De esta forma, siguiendo el mismo procedimiento anteriormente descrito y tomando como referencia el circuito de la *Figura 45(b)*, se obtendrán las atenuaciones mostradas en la **Tabla 6** según la posición de los interruptores DIP.

Tomando en cuenta que las tensiones de fase manejadas en la salida del transformador trifásico tienen una magnitud de 280 V, al utilizar la mayor atenuación del divisor resistivo en conjunto con el amplificador de instrumentación se obtiene:

$$V_o = V_\emptyset \cdot G_5 = 280 \cdot \sqrt{2} \cdot \frac{2}{120} = 6,6 \text{ V}$$

Lo cual corresponde a una señal bipolar que deberá ser atenuada una vez más para lograr obtener una señal unipolar equivalente capaz de ser introducida en los convertidores analógicos a digitales de la tarjeta de desarrollo con FPGA.

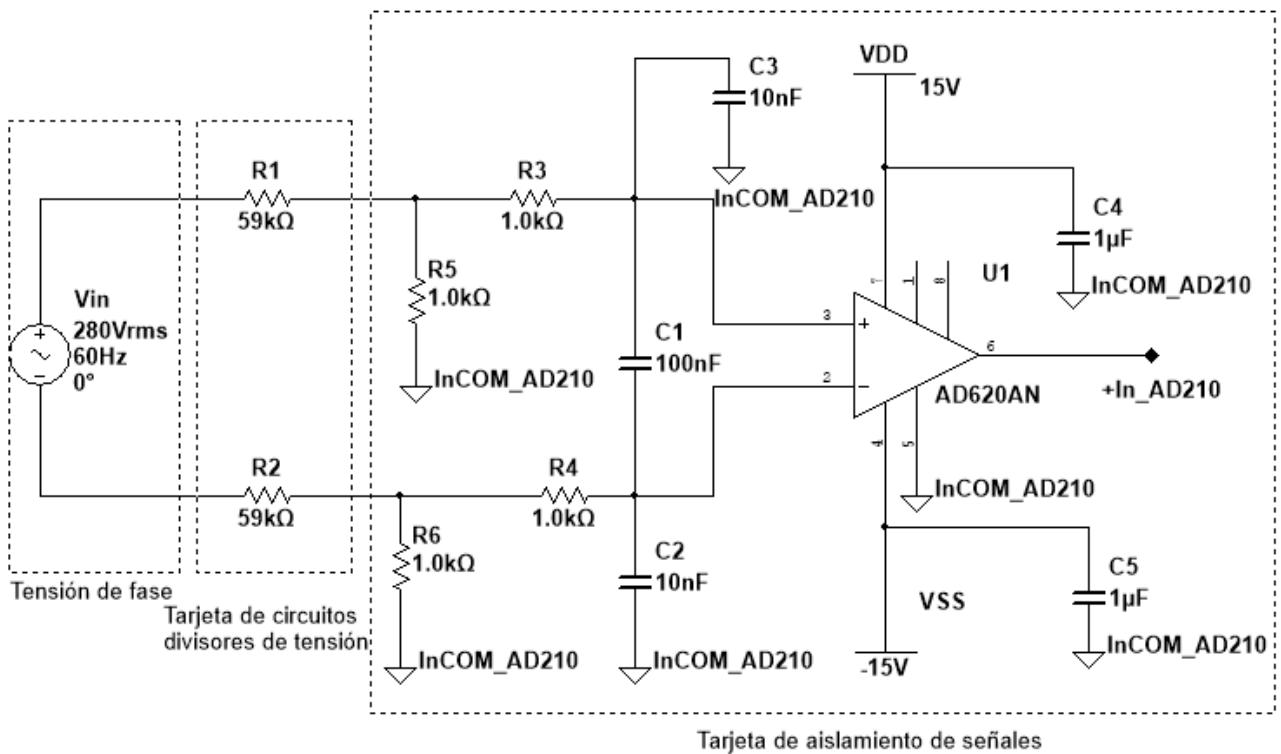
**Tabla 6.** Atenuación de circuitos de acondicionamiento de señales según posición de interruptores DIP

Interruptores DIP accionados	Atenuación	Valor de atenuación
1 y 6	$G_1$	0,25
2 y 7	$G_2$	0,126
3 y 8	$G_3$	0,063
4 y 9	$G_4$	0,033
5 y 10	$G_5$	0,017

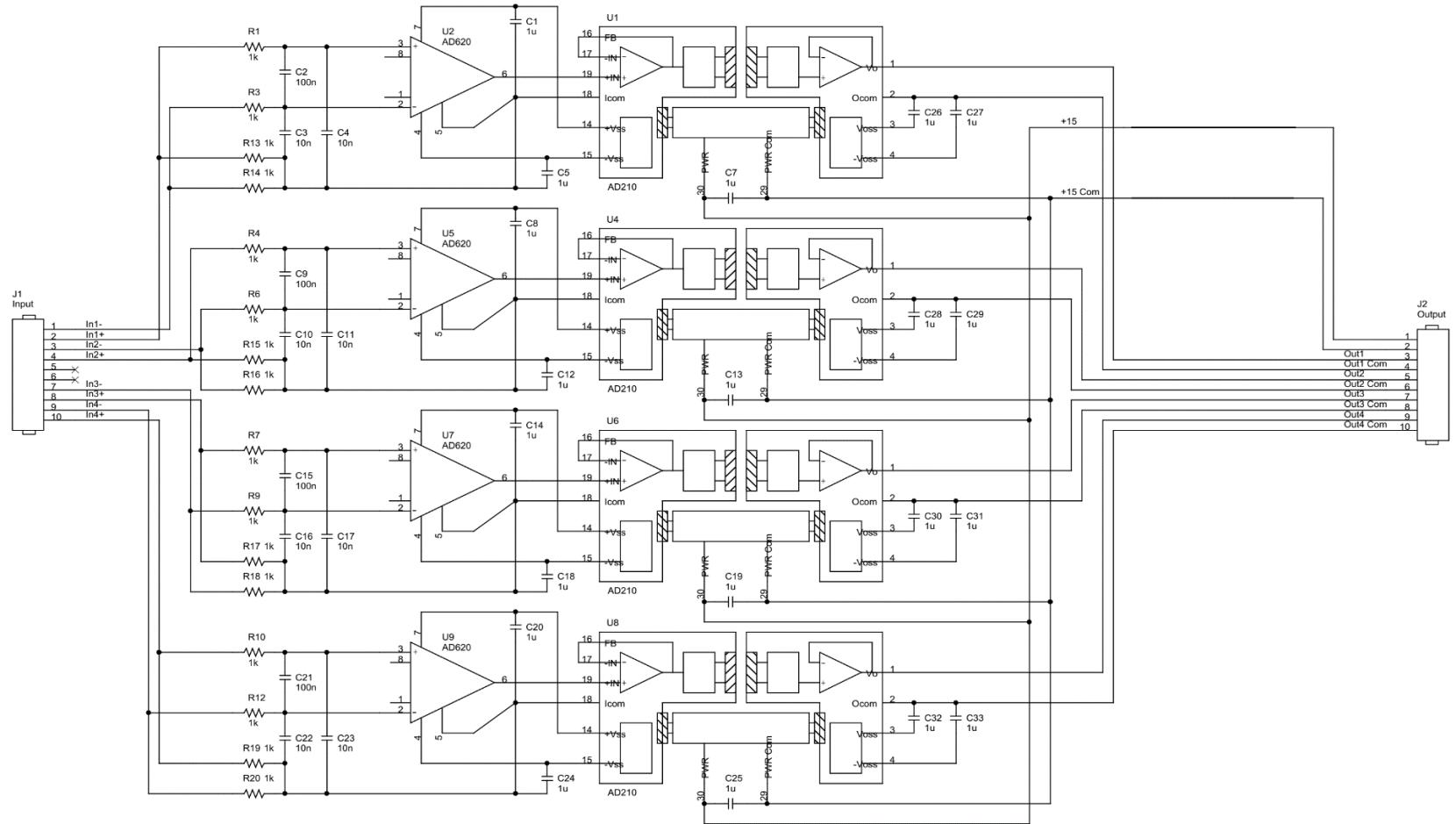
Tal como se observa en la **Figura 48**, el amplificador AD210 está diseñado para brindar aislamiento entre las secciones de entrada, salida y la sección de alimentación del circuito. En nuestro caso se unirán las secciones de alimentación electrónica del amplificador con la salida del mismo, debido a que la tierra digital de todos los circuitos de electrónica y control en este sistema provendrán de la unión de los terminales COM de las fuentes de alimentación de baja tensión en CC utilizadas.



**Figura 46.** Tarjeta de aislamiento de señales



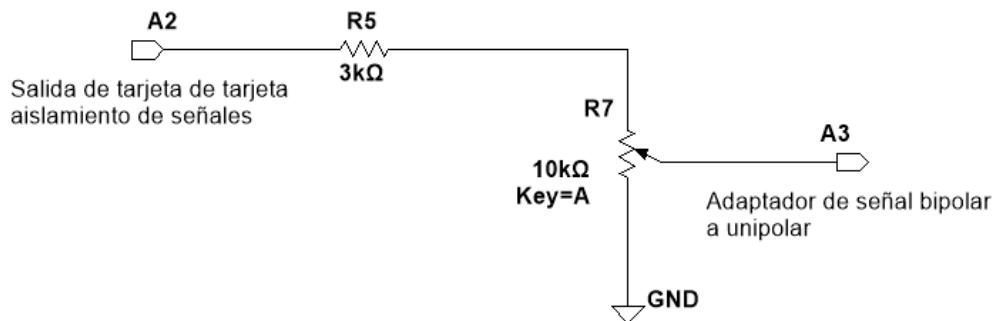
**Figura 47.** Ejemplo de circuito equivalente de acondicionamiento de señales



*Figura 48. Plano circuital de tarjeta de aislamiento de señales*

### 3.3.8. Circuito de ajuste de atenuación de tensión

Debido a que los convertidores analógicos a digitales presentes en la tarjeta de desarrollo equipada con FPGA trabajan con señales entre  $0\text{ V}$  y  $5\text{ V}$ , es necesario ajustar la amplitud de estas señales de entrada bipolares antes de introducirlas al adaptador de señales bipolares a unipolares utilizado. De esta forma, se ha diseñado como circuito de ajuste de atenuación de tensión un conjunto de divisores de tensión, los cuales tendrán como señales de entrada las señales previamente atenuadas y aisladas. Estos divisores de tensión funcionarán en base al uso de potenciómetros con un grado de incertidumbre de  $\pm 5^\circ$ , de manera tal que el usuario pueda ajustar la atenuación de las tensiones de fase tomando en cuenta factores como posibles picos de tensión que se puedan presentar en la red de alimentación.

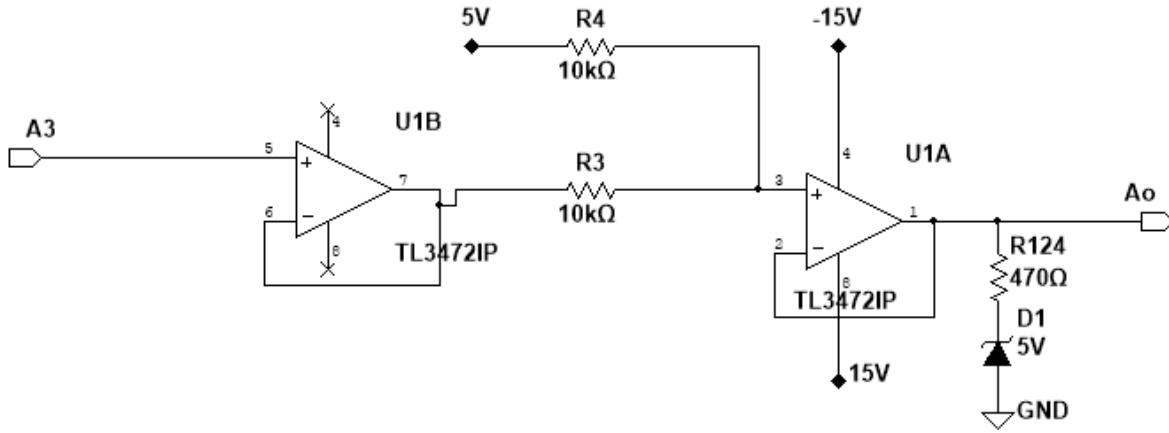


**Figura 49.** Ejemplo de circuito de ajuste de atenuación de tensión

### 3.3.9. Adaptador de señal bipolar a unipolar

Una vez atenuadas las señales bipolares de forma tal que sus magnitudes varíen entre  $\pm 5\text{V}$  es posible utilizar un circuito capaz de convertir las mismas en señales unipolares con

la atenuación adecuada para ser introducidas en los convertidores analógicos a digitales. Un ejemplo de estos circuitos se presenta en la *Figura 50*.



**Figura 50.** Adaptador de señal bipolar a unipolar

En primer lugar, se utiliza un amplificador operacional en una configuración de seguidor de tensión, de manera tal que se obtenga la señal correspondiente a la tensión de fase atenuada en la salida sin posibilidad de variaciones en la misma al conectar una carga en la salida de este amplificador (gracias a la baja impedancia de salida del mismo). Utilizando un segundo amplificador operacional, se ha realizado una configuración de amplificador sumador, cuya tensión de salida será igual a:

$$V_o = \left( V_{cc} \frac{R}{R + R} + V_i \frac{R}{R + R} \right) = \left( \frac{V_{cc}}{2} + \frac{V_i}{2} \right)$$

$$\Delta V_o^2 = (\left| \frac{dV_o}{dV_{cc}} \right| \Delta V_{cc})^2 + (\left| \frac{dV_o}{dV_i} \right| \Delta V_i)^2 = (\left| \frac{1}{2} \right| 0,02)^2 + (\left| \frac{1}{2} \right| 0,02V_i)^2 = 0,0001(1 + V_i^2)$$

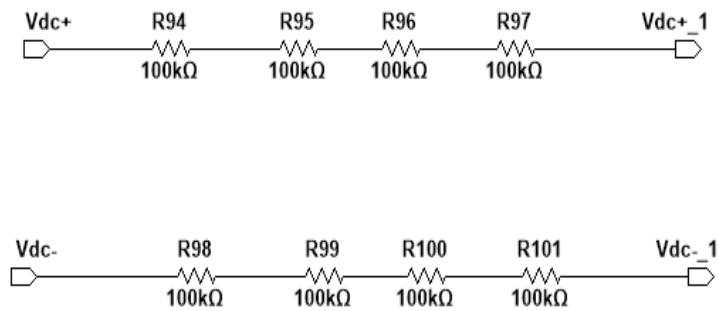
$$V_o = \frac{V_i}{2} + 2,5 \pm 0,01\sqrt{1 + V_i^2} \quad (25)$$

De esta forma, cualquier señal bipolar que oscile entre  $\pm 5V$  se convertirá en una señal unipolar que oscile entre  $0 V$  y  $5 V$ , siendo el escalón correspondiente a  $2,5 V$  el equivalente al cruce por cero de la señal de entrada bipolar utilizada.

### 3.3.10. Circuito divisor de alta tensión

Debido a que el convertidor está diseñado para otorgar un valor de tensión máximo cercano a los  $600 V$ , fue necesario utilizar circuitos divisores de alta tensión para atenuar las mismas, de manera tal que pudieran ser leídas por los conversores analógicos a digitales de la tarjeta de desarrollo con FPGA en forma de señales que oscilen entre los  $0 V$  y  $5 V$ , completando así el lazo de realimentación. Para lograr esta atenuación se utilizó un circuito diseñado previamente en la FIIIDT, el cual se presenta en la *Figura 51(a)* y cuyo circuito equivalente se observa en la *Figura 51(b)*.

Al analizar este circuito se observa cómo la salida del mismo está diseñada para ser conectada a un amplificador instrumental (o diferencial), de forma tal que la señal obtenida sea la diferencia del terminal de salida superior respecto al terminal inferior. De esta forma, se presenta en la *Figura 52* un ejemplo del circuito acondicionador de la señal de salida del convertidor CA/CC para ser leída por los convertidores analógicos a digitales, donde se observa el uso conjunto del circuito divisor de alta tensión, la tarjeta de circuitos divisores de tensión descrita en la *sección 3.3.6* y la tarjeta de aislamiento de señales descrita en la *sección 3.3.7*.

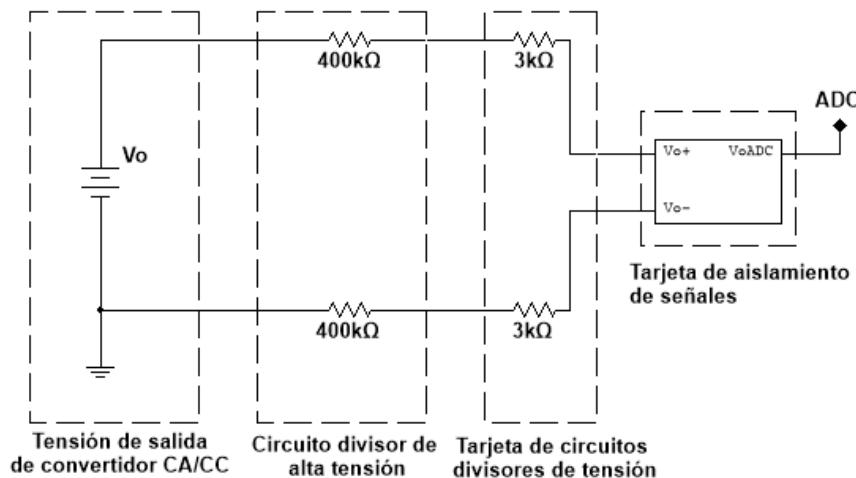


(a)

(b)

*Figura 51. Circuito divisor de alta tensión*

Un detalle importante a tomar en cuenta al momento de diseñar este tipo de circuitos recae en la separación mínima entre las zonas conductoras (las pistas) en función de la tensión de trabajo. Pareja expone en [9] las separaciones mínimas recomendadas presentadas en la **Tabla 7**.



*Figura 52. Ejemplo de circuito acondicionador de señal de salida para convertidor CA/CC*

**Tabla 7.** Separación mínima de pistas en función de tensión de trabajo <sup>[9]</sup>

Tensión [V]	Separación mínima [mm]
0 a 30	0,317
31 a 50	0,444
51 a 150	0,571
151 a 300	0,825
301 a 500	1,587
> 500	1,587 + 0,003 mm/V

Tomando en cuenta la tensión máxima de trabajo de 600 V se tendrá como separación mínima requerida:

$$1,587 \text{ mm} + 0,003 \text{ mm/V} \cdot 100 \text{ V} = 1,887 \text{ mm}$$

### 3.3.11. Tarjeta de desarrollo equipada con FPGA

El sistema de control del convertidor fue programado en la tarjeta de desarrollo equipada con FPGA. Como entradas de esta sección del sistema se utilizaron los convertidores analógicos a digitales presentes en la misma para:

- (a) Registrar las tensiones de fase necesarias para lograr la sincronización de los pulsos dirigidos al puente rectificador controlado.
- (b) Registrar la tensión no regulada de salida en CC del sistema para realizar las operaciones del controlador PID.
- (c) Registrar los valores introducidos a través de la interfaz usuario-máquina para ajustar el valor de consigna.

Estas señales introducidas en la tarjeta de desarrollo han sido previamente adaptadas a valores entre 0 V y 5 V, utilizando los circuitos atenuadores y de aislamiento previamente mencionados de manera tal que se proteja la sección de control del sistema.

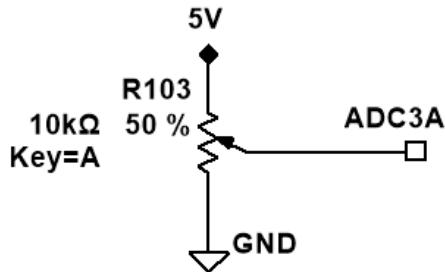
Como salidas de esta sección se utilizaron 6 terminales de salidas digitales, los cuales se encargarán de generar los pulsos necesarios para la conducción de los SCR en el puente rectificador según el ángulo de disparo  $\alpha$ .

A nivel de comunicación, la tarjeta de desarrollo presenta un puerto JTAG, el cual se ha utilizado para cargar la lógica de control programada en el FPGA.

A nivel de alimentación, la tarjeta de desarrollo está conectada a una fuente de baja tensión en CC, requiriendo tensiones de 5 V, 15 V y -15 V. De igual manera, cabe destacar que la tierra digital proveniente de las fuentes de alimentación y utilizada para todos los circuitos electrónicos y de control del sistema se encuentra en corto circuito con los terminales de tierra analógica de los ADC presentes en la tarjeta de desarrollo, recalmando así la importancia de la sección de aislamiento de señal previamente analizada en la *sección 3.3.7.*

### 3.3.12. Interfaz usuario-máquina (HMI)

Como interfaz usuario-máquina para variar la tensión de consigna del sistema de control se ha optado por el uso de un potenciómetro, el cual, en conjunto con uno de los ADC de la tarjeta de desarrollo, permitirá al usuario ajustar de manera rápida y sencilla la tensión de salida deseada. El circuito utilizado se presenta en la *Figura 53*, donde se observa la posibilidad de variar la tensión de entrada hacia el ADC correspondiente a valores entre 0 V y 5 V según la posición de la perilla.



*Figura 53. Circuito de ajuste de consigna*

### 3.3.13. Fuentes de alimentación de baja tensión en CC

Utilizando la fuente de alimentación HP 6236B descrita previamente, se ha utilizado su terminal de 5V para alimentar la tarjeta de desarrollo equipada con FPGA, los circuitos de adaptación de señales bipolares a unipolares, el circuito de ajuste de consigna y los circuitos de acondicionamiento de disparos. De igual forma, el terminal de 15 V ha sido utilizado para alimentar la tarjeta de desarrollo, los circuitos de adaptación de señales bipolares a unipolares y los circuitos de acondicionamiento de disparos. El terminal COM de la fuente representa la tierra digital a la cual fueron referenciados todos los componentes electrónicos presentes

en la tarjeta de desarrollo y los circuitos de acondicionamiento diseñados. Por su parte, la fuente de alimentación EXTECH 382203 fue utilizada para alimentar la tarjeta de aislamiento de señales con una tensión de 15 V. El uso de estas 2 fuentes se realizó con miras a minimizar el ruido dentro de los circuitos electrónicos, utilizando una fuente distinta de 15 V para evitar que la tarjeta de aislamiento de señales presentara variaciones debido a la presencia de los trenes de pulsos amplificados en la salida de los controladores IR2110.

### **3.4. Análisis del lazo de control existente**

La técnica de control utilizada anteriormente en el convertidor se basó en el uso de un controlador PID. Para analizar el lazo de control existente en el convertidor, nos referiremos a la *Figura 28* de la *sección 3.2*.

#### **3.4.1. Entrada del sistema**

Estará determinada por el valor de referencia o consigna introducido por el usuario y que se espera en la salida del sistema. Esta consigna será introducida por el usuario mediante el circuito de interfaz usuario-máquina descrito en la *sección 3.3.12*.

#### **3.4.2. Lazo de realimentación**

Permite calcular el error e introducir esta diferencia al sistema hasta obtener el valor de referencia fijado por el usuario en la salida. Este lazo de realimentación está conformado por los circuitos de acondicionamiento y aisladores descritos previamente, en conjunto con un ADC presente en la tarjeta de desarrollo equipada con FPGA.

### **3.4.3. Controlador**

Representado por un controlador PID programado dentro del FPGA presente en la tarjeta de desarrollo utilizando el lenguaje descriptivo VHDL. El controlador programado realiza los cálculos correspondientes a las componentes proporcional, integral y derivativa, utilizando el error calculado (diferencia de la tensión de salida respecto al valor de consigna) en conjunto con las constantes introducidas por el usuario.

### **3.4.4. Actuador**

Representado por la combinación de una rutina de programación y el puente rectificador trifásico controlado de SCR. La señal de ajuste proveniente del controlador PID pasa por un actuador digital programado en el FPGA, el cual se encarga de traducir los valores de ajuste en formato entero (equivalentes a tensión) a valores enteros a ser utilizados por diversos contadores los cuales, a su vez, representan el retardo requerido en los disparos de los pulsos de corriente (ángulo de retraso de disparo  $\alpha$ ) que permitirán la conducción de los SCR en el puente rectificador controlado.

### **3.4.5. Planta**

Representada por el filtro pasivo utilizado en el convertidor y la carga conectada a este (pudiendo ser la misma la combinación de una carga en conjunto con un elemento regulador). Analizando el circuito presentado en la **Figura 42**, es posible observar que la función de transferencia a lazo abierto es equivalente a un divisor de tensión cuyos elementos pueden ser representados en el dominio de Laplace. De esta forma, se inicia el análisis del

filtro calculando la impedancia equivalente de cada conjunto de condensador y resistencias de descarga.

$$Z_{CR} = \frac{R/sC}{1/sC + R} = \frac{R}{sRC + 1}$$

$Z_{CR}$ = *Impedancia equivalente de condensador en paralelo con resistencia de descarga*

$C$ = *Condensador de 4700 uF*

$R$ = *Resistencia de descarga de 540 kΩ*

Tomando en cuenta que cada rama está compuesta por dos conjuntos de condensadores en paralelo con sus resistencias de descarga:

$$Z_{Rama} = \frac{2R}{sRC + 1}$$

$Z_{Rama}$ = *Impedancia equivalente de cada rama del banco de condensadores*

Al tener 9 ramas de condensadores con resistencias:

$$Z_{BancoC} = \frac{2}{9} \left( \frac{R}{sRC + 1} \right)$$

$Z_{BancoC} =$  Impedancia equivalente del banco de condensadores

Tomando en cuenta la impedancia de carga conectada en paralelo al banco de condensadores, se obtiene:

$$Z_o = \frac{Z_{BancoC} Z_{carga}}{Z_{BancoC} + Z_{carga}} = \frac{\frac{2}{9} R Z_{carga}}{s R Z_{carga} C + \frac{2}{9} R + Z_{carga}}$$

$Z_{carga} =$  Impedancia de carga conectada en paralelo al banco de condensadores

$Z_o =$  Impedancia de salida equivalente

Al realizar el divisor de tensión se obtiene:

$$V_o = V_i \left( \frac{Z_o}{Z_o + Z_L} \right)$$

$Z_L =$  Impedancia de inductor

$V_i =$  Tensión de entrada del filtro

$V_o =$  Tensión de salida del filtro

Con lo cual la función de transferencia a lazo abierto es equivalente a:

$$\frac{V_o}{V_i} = \frac{Z_o}{Z_o + Z_L} = \frac{\frac{2}{9}RZ_{carga}}{s^2RLCZ_{carga} + sL\left(\frac{2}{9}R + Z_{carga}\right) + \frac{2}{9}RZ_{carga}}$$

Y sustituyendo los valores correspondientes a las resistencias de descarga  $R$ , los condensadores  $C$  y el inductor  $L$ :

$$H_{LA}(s) = \frac{120000Z_{carga}}{s^23,807Z_{carga} + s(180 + 0,0015Z_{carga}) + 120000Z_{carga}} \quad (26)$$

De esta forma, la función de transferencia a lazo cerrado será equivalente a:

$$H_{LC}(s) = \frac{H_{LA}(s)}{1 + H_{LA}(s)}$$

$$H_{LC}(s) = \frac{120000Z_{carga}}{s^23,807Z_{carga} + s(180 + 0,0015Z_{carga}) + 240000Z_{carga}} \quad (27)$$

Como puede observarse en (27), esta función de transferencia variará según la impedancia de carga conectada en paralelo con el banco de condensadores. Esto implicará que los análisis realizados a nivel de sistemas de control para obtener las constantes del controlador PID variarán según el tipo de carga utilizada, requiriendo una sintonización del controlador al momento de variar esta impedancia.

### **3.4.6. Sensor**

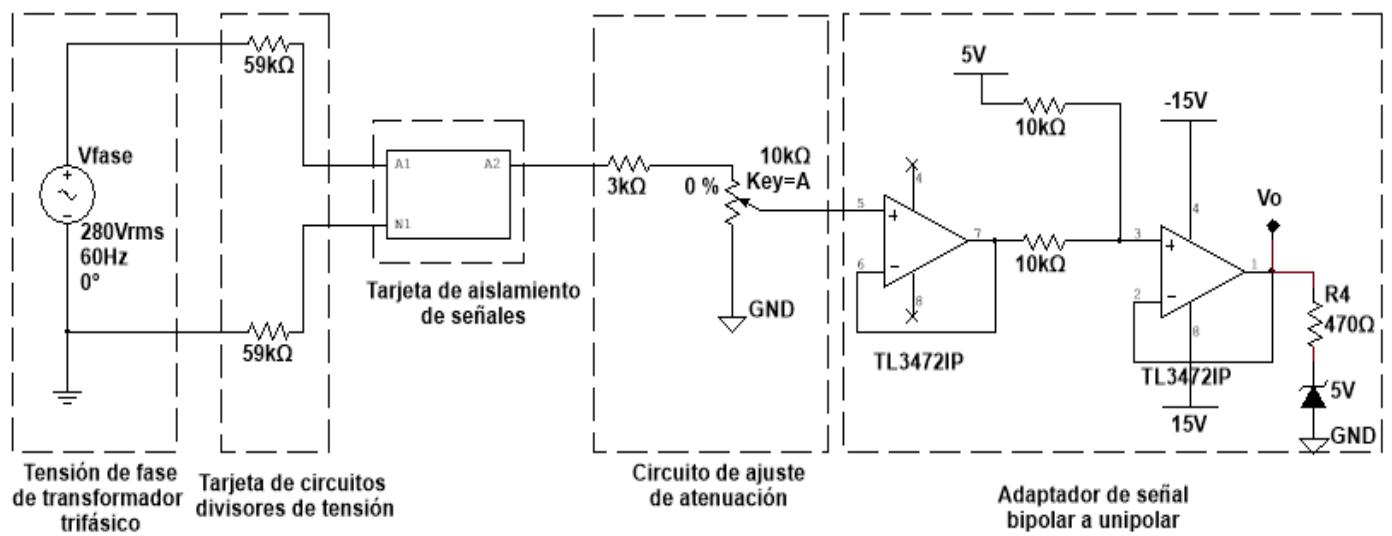
Representado por un convertidor analógico a digital presente en la tarjeta de desarrollo. Este convertidor utiliza un circuito de muestreo para registrar el valor de tensión obtenido en la salida del convertidor e introducirlo en el lazo de realimentación hacia la tarjeta. Cabe destacar la importancia del tiempo de muestreo  $T_m$  bajo el cual trabajará el ADC, debido a que dependiendo del mismo variará la función de transferencia discreta equivalente.

## **3.5. Simulación de circuitos y del sistema de control a utilizar**

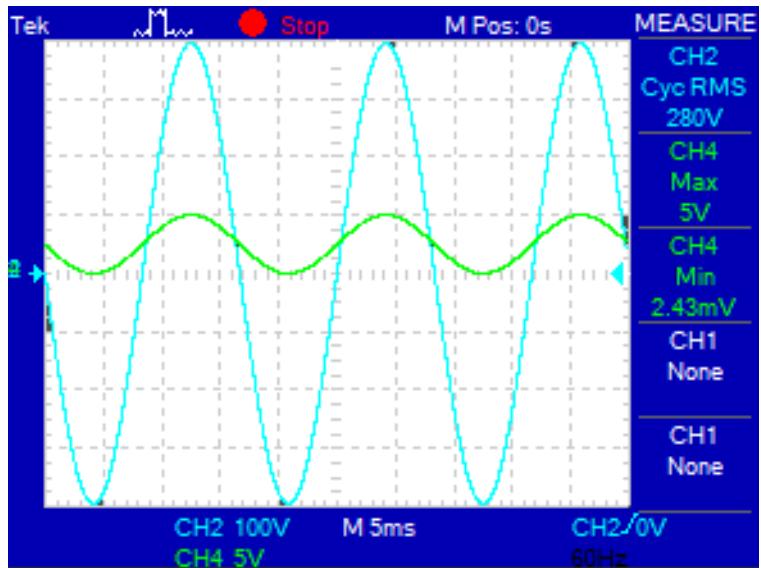
En esta fase se utilizaron los datos recopilados anteriormente para simular el sistema diseñado, lo cual incluye tanto los circuitos electrónicos involucrados en el funcionamiento del sistema como la lógica de control diseñada.

### **3.5.1. Simulación de acondicionamiento de señales de alimentación**

Utilizando el software de simulación de circuitos eléctricos NI Multisim 14.0 se ha verificado el funcionamiento de los circuitos de acondicionamiento de señales descritos en la *sección 3.3*. De esta forma, se presenta en la *Figura 54* un ejemplo de estos circuitos conformado por la tarjeta de circuitos divisores de tensión, la tarjeta de aislamiento de señales, un circuito de ajuste de atenuación y un adaptador de señal bipolar a unipolar. En la *Figura 55* se presentan las formas de ondas resultantes de la simulación realizada, donde se observa cómo la tensión de fase ha sido atenuada y adaptada a una señal equivalente unipolar, donde la tensión máxima de la señal bipolar ( $396\text{ V}$ ) equivale aproximadamente a  $5\text{ V}$  de la señal unipolar. De igual forma, es posible detallar cómo la tensión mínima de entrada ( $-396\text{ V}$ ) equivale aproximadamente a  $0\text{ V}$  de la señal unipolar.



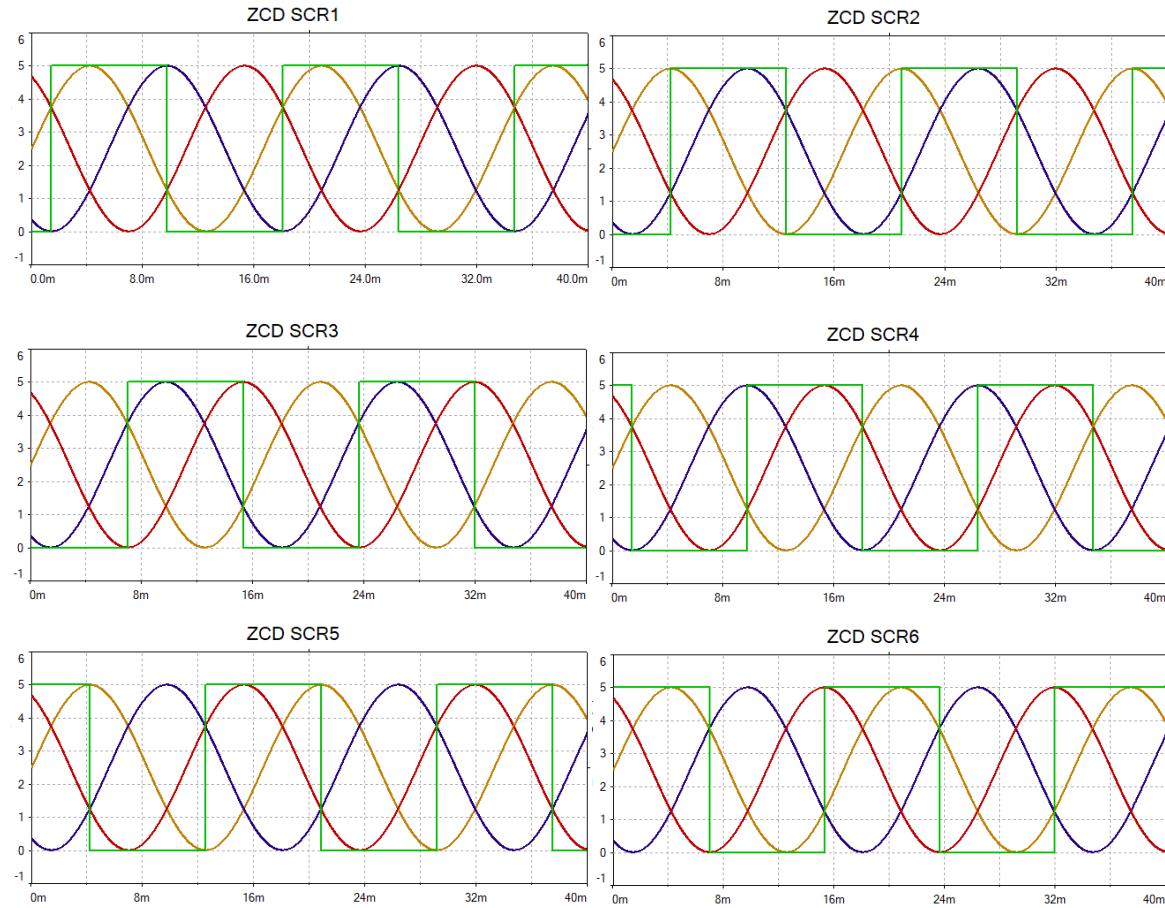
*Figura 54. Ejemplo de circuito de acondicionamiento de señal de alimentación*



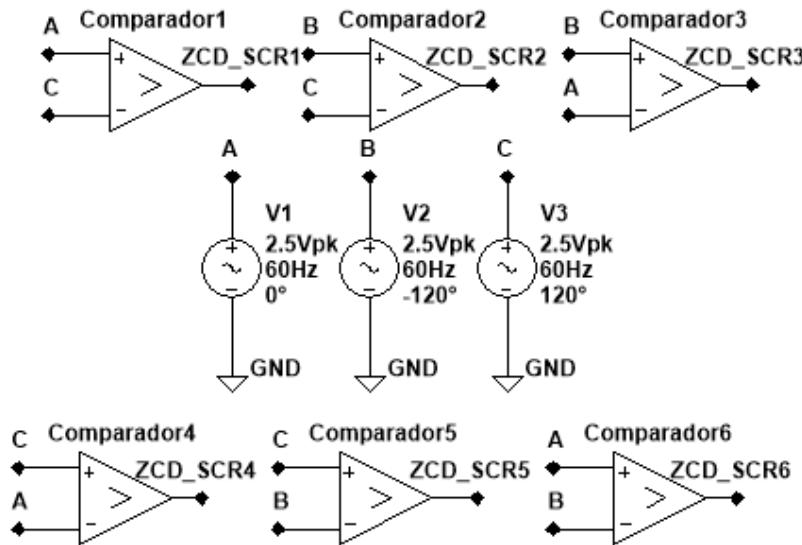
*Figura 55. Ejemplo de acondicionamiento de señal de alimentación*

### 3.5.2. Simulación de sincronización de pulsos de disparo

Utilizando la lógica presentada en el circuito de la *Figura 57* fue posible obtener los pulsos de sincronización observados en la *Figura 56*, donde se observa cómo los mismos cambian a un valor lógico alto a partir del instante de conducción natural de cada SCR del puente rectificador trifásico controlado (acorde a los datos presentados en la *Tabla 3*), teniendo una duración equivalente al semiciclo positivo de cada tensión de línea antes de volver a un valor lógico bajo.



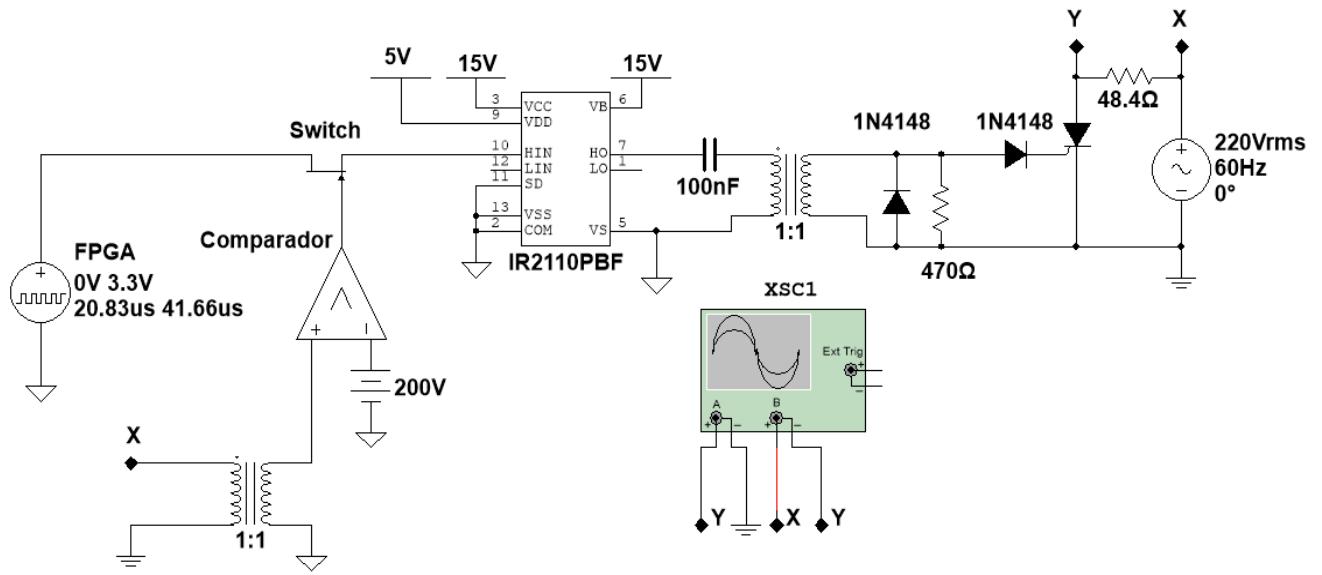
*Figura 56. Simulación de sincronización de disparos de SCRs del puente rectificador*



**Figura 57.** Simulación de lógica de sincronización de disparos

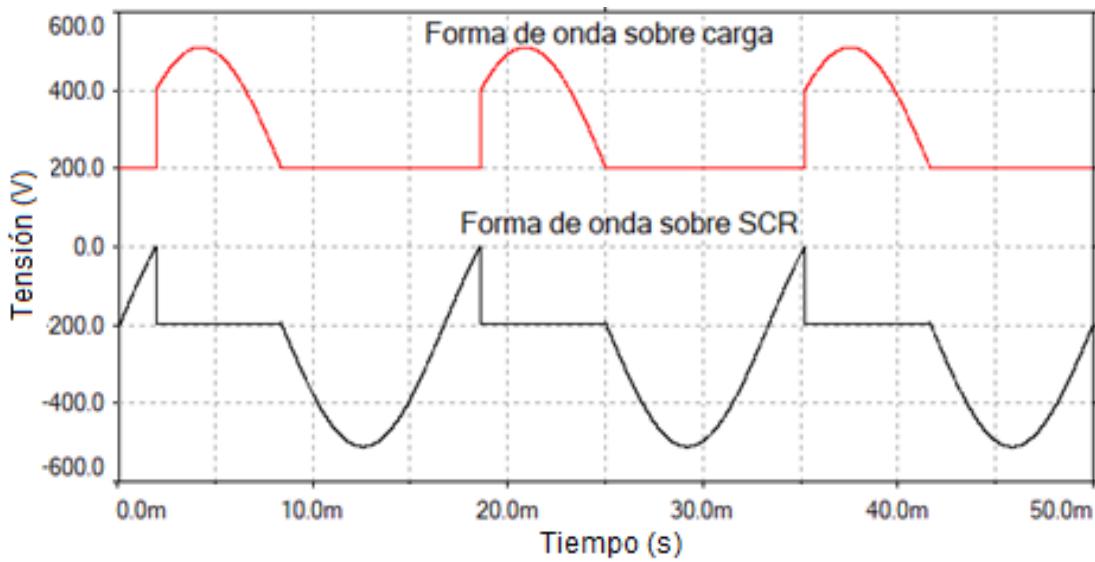
### 3.5.3. Simulación de circuitos de acondicionamiento de pulsos de disparo

Para verificar el funcionamiento de los circuitos de acondicionamiento de disparo descritos en la *sección 3.3.3*, se ha realizado la simulación de los mismos utilizando el software de simulación de circuitos electrónicos NI Multisim 14.0. En el circuito presentado en la *Figura 58* se ha utilizado como fuente de los pulsos de disparo una fuente de pulsos cuadrados con amplitud de 3,3 V, simulando el comportamiento del FPGA utilizado. Un transistor JFET cumple con la función de interruptor, permitiendo el paso de los pulsos una vez que la fuente de alta tensión que alimenta a la carga llegue a un nivel establecido por el usuario (en el caso simulado, 100 V). Como carga, se ha utilizado una resistencia de  $48,4 \Omega$ , lo cual corresponde a la resistencia nominal de un bombillo de 220 V / 1000 W.



**Figura 58.** Simulación de circuito de acondicionamiento de pulsos de disparo

En la **Figura 59** se presentan las formas de ondas resultantes del circuito simulado, donde se observa cómo el SCR bloquea el flujo de carga hasta que se permite el paso de los pulsos provenientes del FPGA hacia el terminal de compuerta *G*. Esto se detalla al observar cómo el valor instantáneo de la forma de onda sobre la carga es igual a 0 (con offset de 200 V para ajustar ambas señales al gráfico) hasta el instante en el que el comparador permite el paso de los pulsos de conducción, momento en el cual la diferencia de potencial entre los terminales de la carga deja de ser nula por la conducción de corriente y equivale a la tensión de alimentación hasta que la misma pasa su semiciclo negativo, disminuyendo la corriente circulante hasta un valor menor a la corriente de mantenimiento que pasa por el SCR y ocasionado que este pase a su estado inactivo nuevamente.



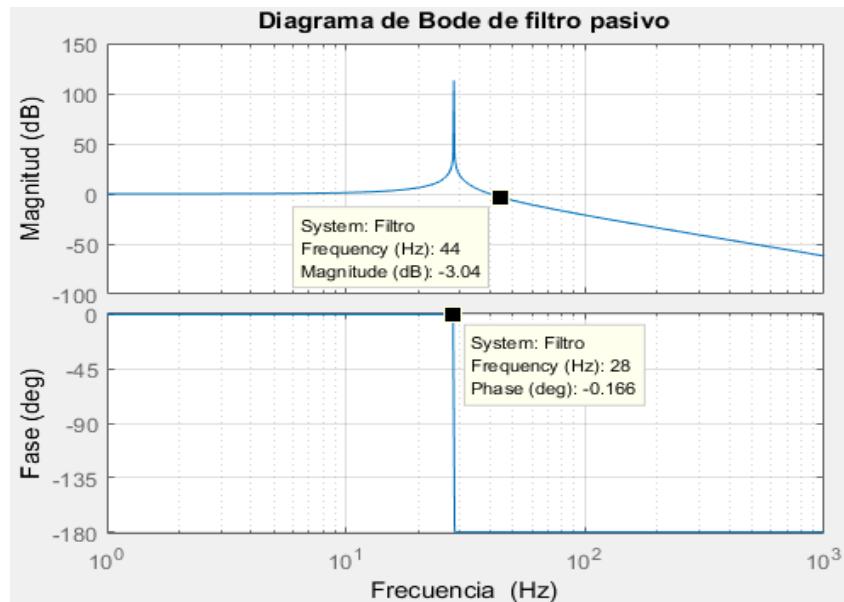
**Figura 59.** Señales resultantes para simulación de circuitos de acondicionamiento de pulsos de disparo

### 3.5.4. Simulación de filtro pasivo

Antes de realizar cualquier prueba práctica, se verificó la frecuencia de corte del filtro pasivo en cuestión. Para obtener la misma se utilizó el software de procesamiento matemático MATLAB R2017a en conjunto con los datos obtenidos en la *sección 3.4.5* para hallar la función de transferencia del mismo sin carga:

$$FT_{Filtro} = \frac{V_o}{V_i} = \frac{120000}{s^2 3,807 + s 0,0015 + 120000}$$

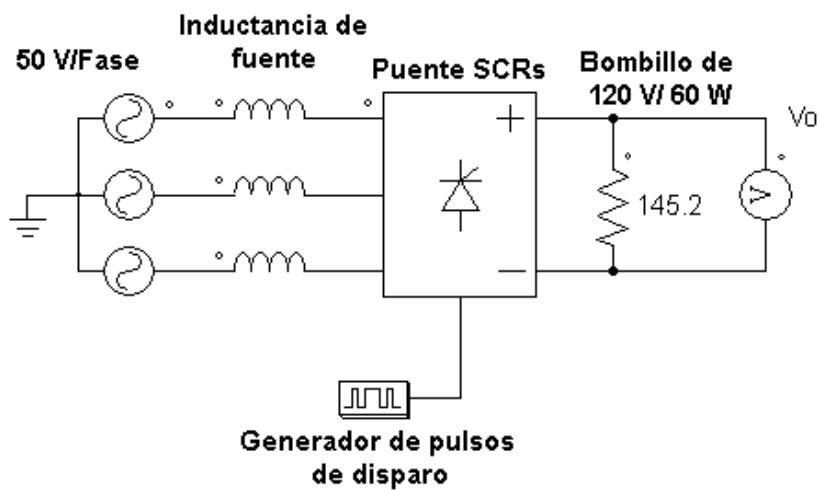
En la **Figura 60** se observa el diagrama de Bode obtenido a partir de la simulación realizada utilizando la función de transferencia presentada. En este, se observa cómo la frecuencia de corte se encuentra alrededor de los 44 Hz.



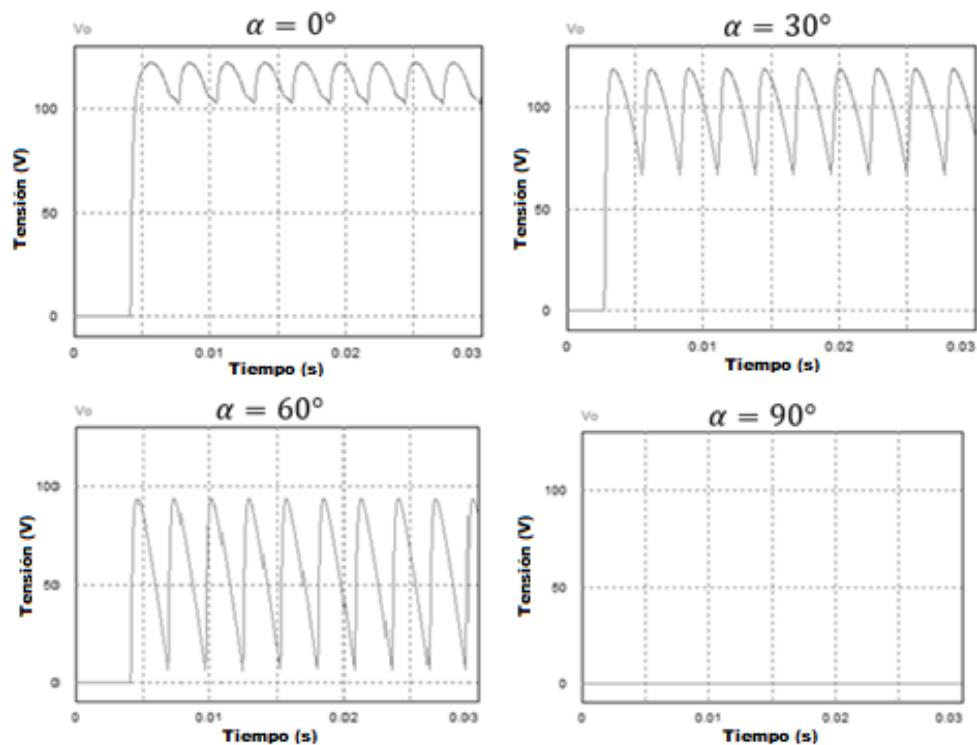
**Figura 60.** Diagrama de Bode simulado para filtro pasivo utilizado

### 3.5.5. Simulación de rectificador trifásico controlado por fase a frecuencia de línea

Utilizando el software de simulación de circuitos de electrónica de potencia PSIM se ha realizado la simulación del comportamiento esperado del rectificador trifásico controlado utilizando una fuente trifásica de 50 V por fase en conjunto con una carga resistiva de  $240\ \Omega$  (equivalente a la resistencia nominal de un bombillo incandescente de 120 V y 60 W), lo cual se aprecia en el circuito mostrado en la **Figura 61**. Las formas de onda resultantes se observan en la **Figura 62**, donde es posible apreciar que mientras se aumente el ángulo de disparo disminuirá la tensión promedio en la salida del rectificador, llegando a un valor aproximado a 0 V una vez que se llegue a los 90° de retraso de disparo.



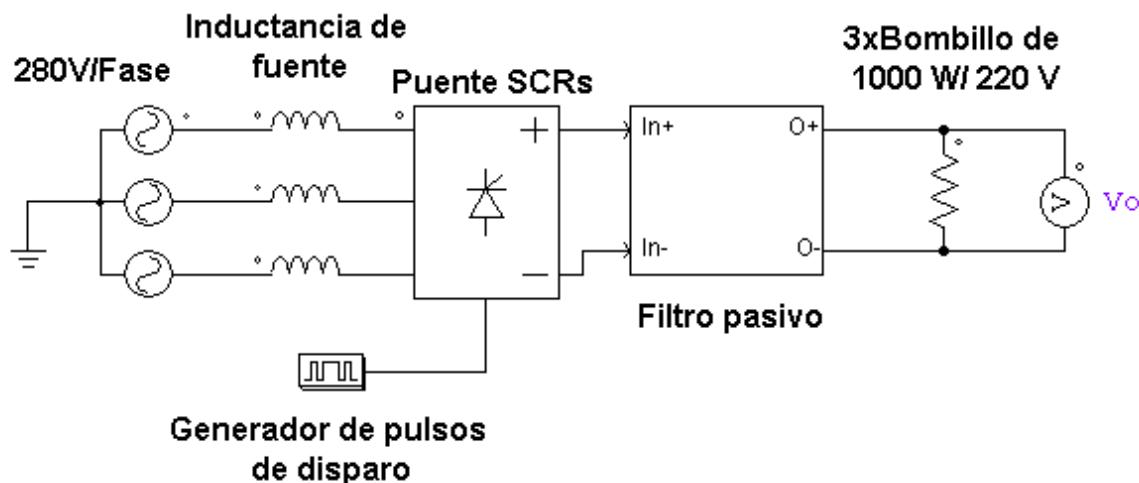
**Figura 61.** Ejemplo de rectificador trifásico controlado



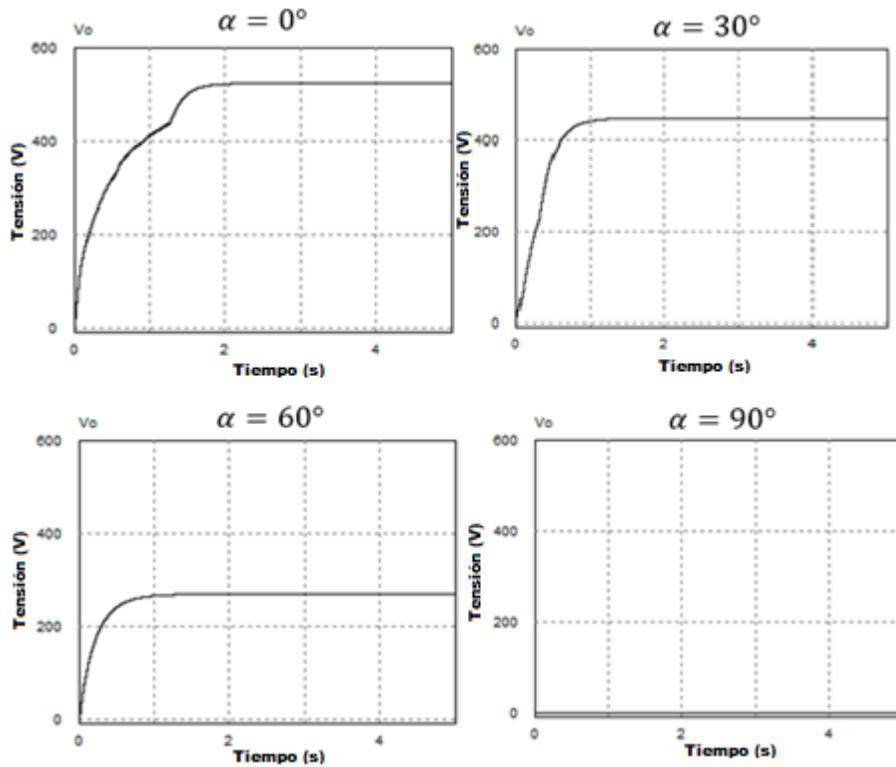
**Figura 62.** Formas de onda resultantes para simulación de rectificador trifásico controlado

### 3.5.6. Simulación de convertidor CA/CC a lazo abierto

Utilizando el circuito presentado en la *Figura 63* se ha realizado la simulación del comportamiento del convertidor CA/CC a lazo abierto, donde las consignas vendrán dadas en forma del ángulo de retraso  $\alpha$  para los pulsos de disparo dirigidos a los SCR en el puente rectificador. De esta forma, se presentan las formas de onda resultantes en la *Figura 64*, donde se aprecia nuevamente cómo la tensión promedio de salida disminuye hasta aproximadamente 0 V mientras se aumente el ángulo de disparo hasta los  $90^\circ$ , con la clara diferencia de un menor rizado en la forma de onda de salida por la acción del filtro pasivo conectado en la salida del puente rectificador de SCR.



*Figura 63.* Circuito simulado de convertidor CA/CC a lazo abierto



**Figura 64.** Formas de onda resultantes para simulación de convertidor CA/CC a lazo abierto

### 3.5.7. Simulación de convertidor CA/CC a lazo cerrado

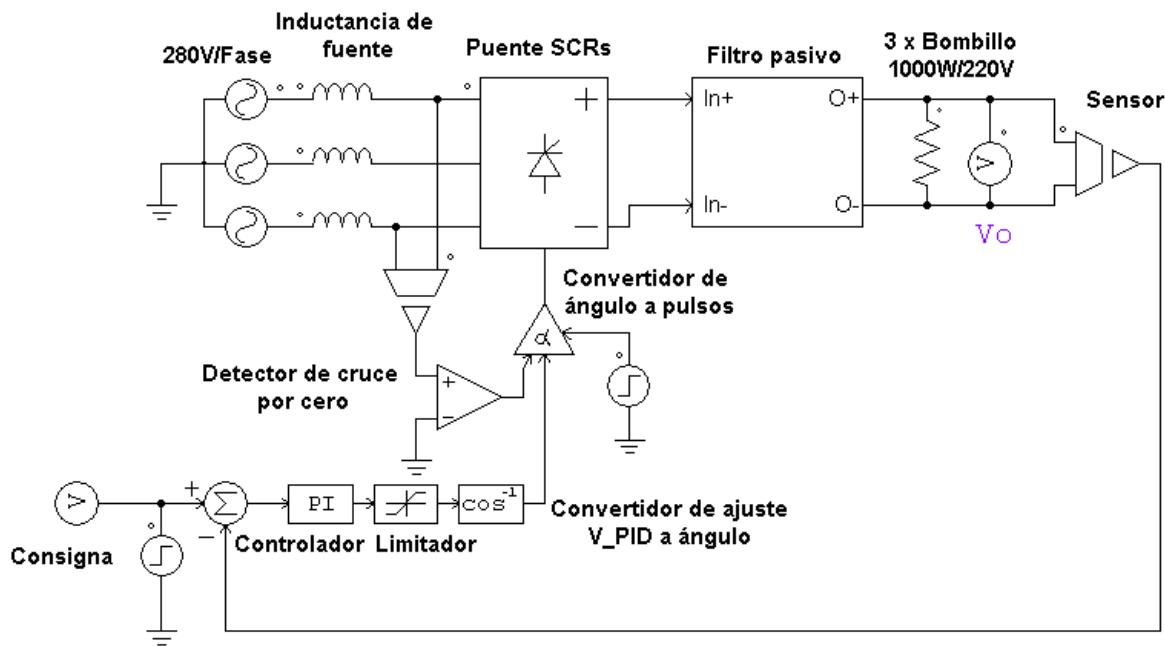
Utilizando el circuito presentado en la **Figura 65** ha sido posible realizar la simulación del comportamiento esperado del sistema del convertidor CA/CC a diseñar. En esta, se observa la inclusión de un lazo de realimentación mediante un sensor que registra la tensión sobre la carga y envía el valor leído a la sección de control, donde se calcula el error respecto a la consigna y se envía este último al controlador para generar la señal de ajuste necesaria para obtener la salida deseada.

Cabe destacar que el software de simulación utilizado (PSIM) no cuenta con la opción de simular un controlador PID, por lo que se ha incluido un controlador PI en su lugar. De igual forma, se aprecia la inclusión de una sección de conversión de la señal de ajuste, la cual se encarga de convertir el valor calculado por el controlador a un ángulo equivalente utilizando (28) (expresión obtenida a partir de (20)):

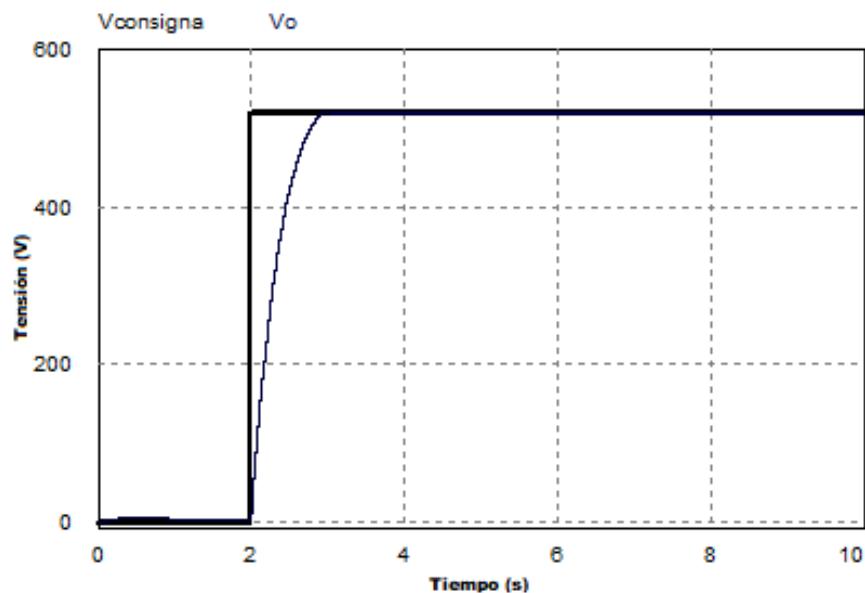
$$\alpha = \arccos\left(\frac{V_{d\alpha}}{V_{do}}\right) \quad (28)$$

Por último, se observa la presencia de un bloque convertidor de ángulo de retraso a pulsos de disparo, el cual utiliza la señal de sincronización generada por el detector de cruce por cero de una tensión de línea (según la lógica presentada en la *Tabla 3*) para generar un retraso de generación de pulsos de disparo desde el instante de conducción natural de los SCR hasta una duración equivalente al ángulo calculado en la sección de control. De esta forma se completa el actuador del sistema, el cual a su vez completará al lazo de realimentación del sistema diseñado.

Un ejemplo de las formas de ondas resultantes de este circuito simulado se presenta en la *Figura 66*, donde se aprecia cómo se ha obtenido una tensión de salida sin error en estado estacionario y sin sobrepico respecto a la consigna establecida mediante el ajuste de las constantes del controlador utilizado.



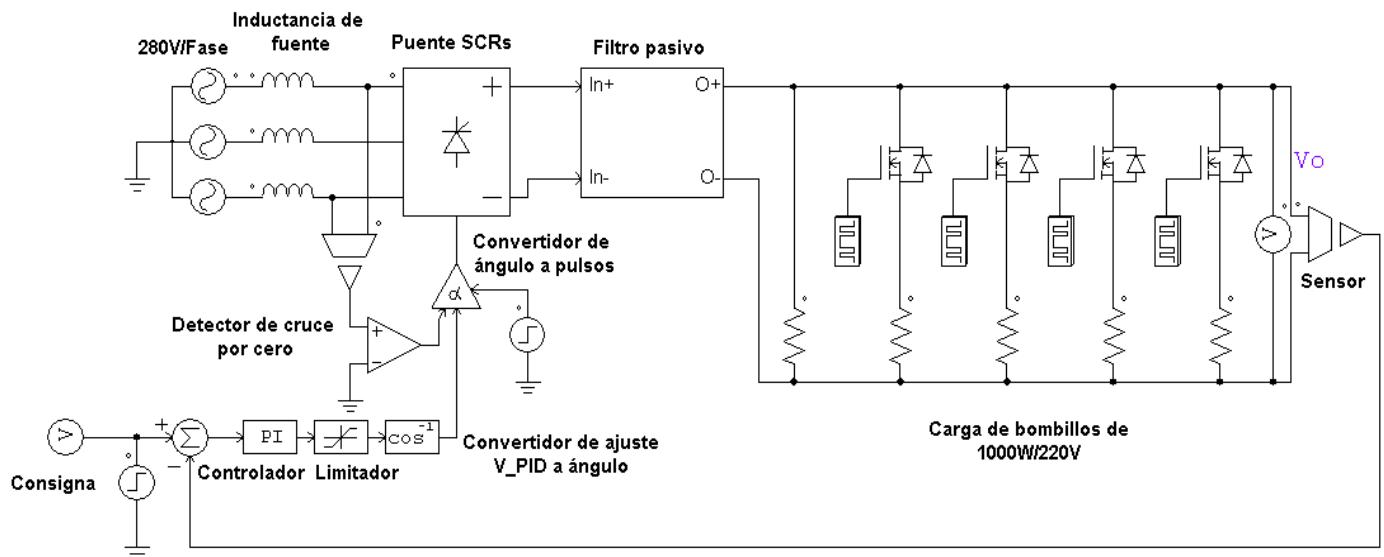
**Figura 65.** Circuito simulado de convertidor CA/CC a lazo cerrado



**Figura 66.** Formas de onda resultantes para simulación de convertidor CA/CC a lazo cerrado

### 3.5.8. Simulación de regulación en convertidor CA/CC a lazo cerrado

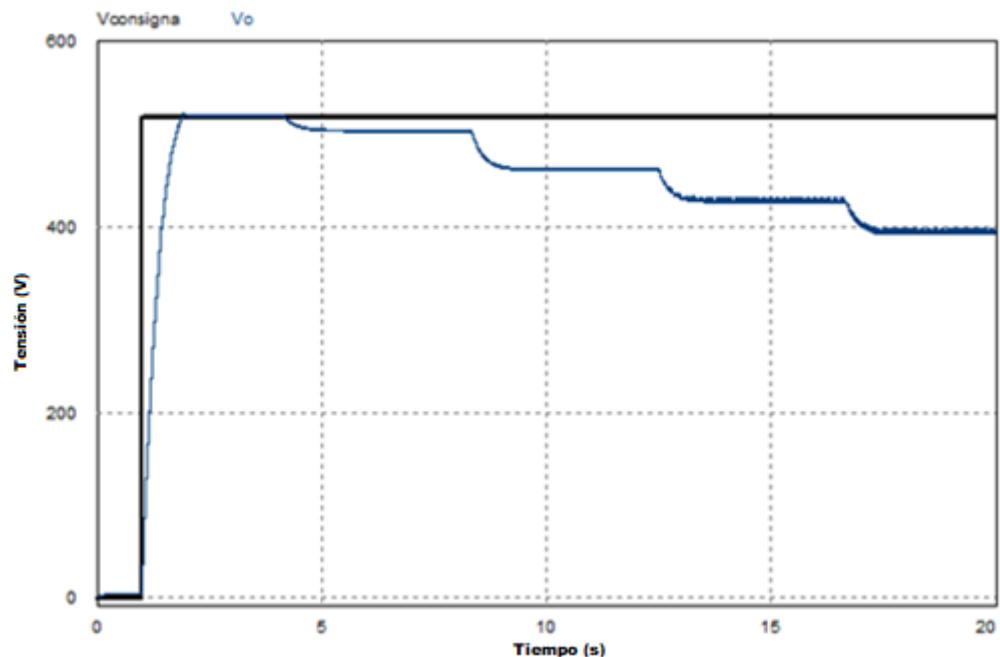
Utilizando el circuito presentado en la *Figura 67* se ha realizado la simulación del comportamiento esperado del convertidor CA/CC diseñado a nivel de regulación. Para lograr esto, se han añadido múltiples ramas a la sección de carga, de forma tal que se simule el comportamiento esperado al utilizar la carga de bombillos incandescentes descritos en la *sección 3.3.5*. Cada una de estas ramas de carga será añadida en paralelo a la carga inicial mediante la acción de transistores MOSFET, los cuales harán las veces de interruptores y permitirán el flujo de carga después de un tiempo determinado por los bloques de disparo conectados a sus terminales de compuerta.



*Figura 67. Simulación de regulación para convertidor CA/CC a lazo cerrado*

De esta forma, se presentan las formas de ondas obtenidas en la *Figura 68*, donde se aprecia cómo la tensión de salida disminuye de manera escalonada a medida que se agregan

elementos de carga en paralelo a la carga inicial (es decir, a medida que el convertidor permite una mayor salida de corriente). Este comportamiento concuerda con los datos teóricos presentados en la **sección 2.2.2.2.1**, donde se ha señalado que la tensión de salida depende tanto del ángulo de disparo como de la corriente de salida debido al efecto de la inductancia de la fuente de tensión en CA utilizada.

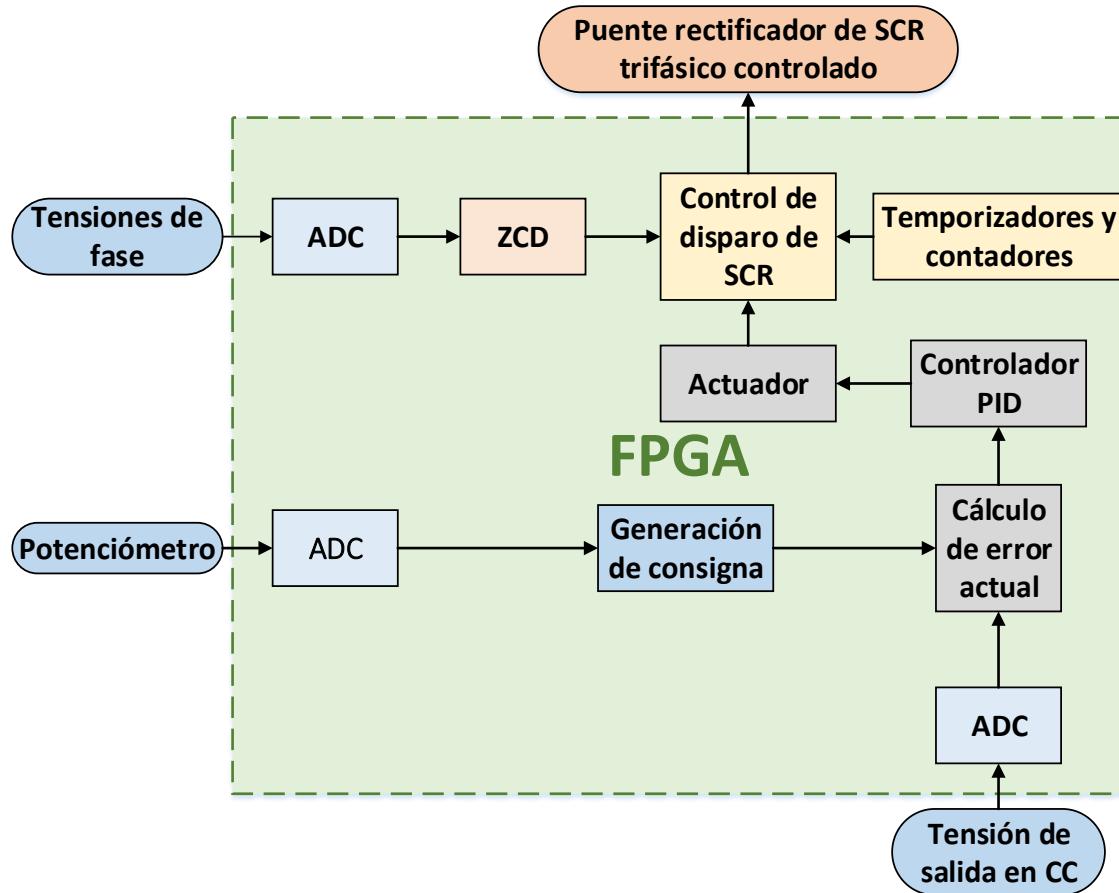


**Figura 68.** Formas de ondas resultantes para simulación de regulación para convertidor CA/CC a lazo cerrado

### 3.6. Implementación del sistema de control digital mediante el uso de tarjetas de desarrollo con FPGA y lenguaje VHDL

Durante esta fase se desarrolló la programación de la lógica de control adaptada en el lenguaje descriptivo VHDL para su uso posterior dentro del sistema del convertidor CA/CC

utilizando las tarjetas de desarrollo equipadas con FPGA. Para lograr esto, se dividió la programación a realizar en las siguientes rutinas de control en VHDL, presentadas de forma gráfica en el diagrama de bloques de la *Figura 69*:



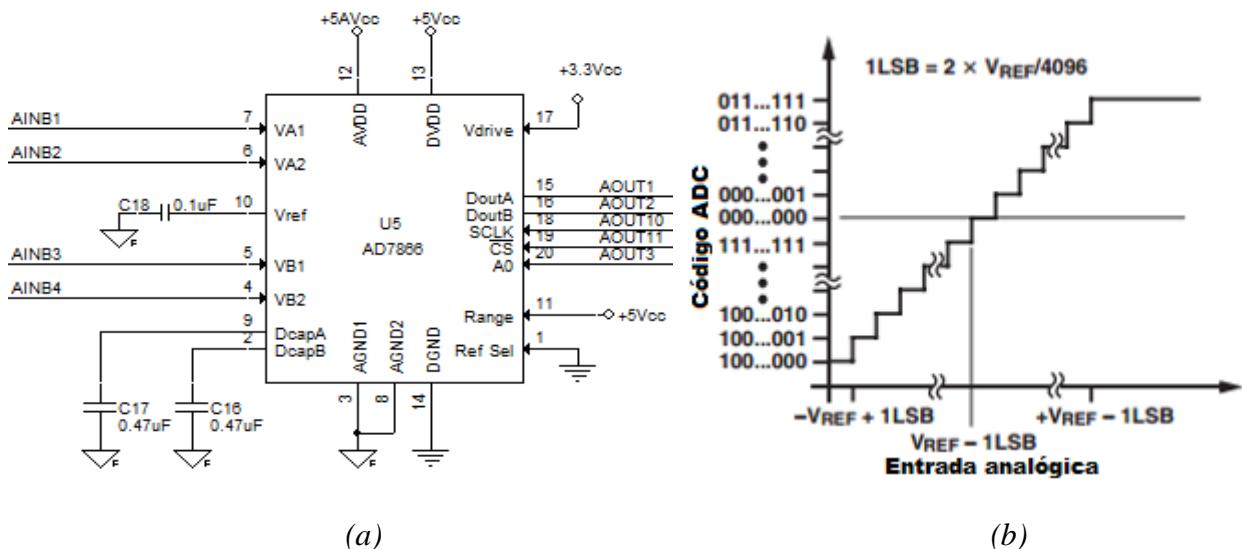
*Figura 69.* Diagrama de bloques del sistema de control programado

### 3.6.1. Convertidores analógicos a digitales

El sistema de control diseñado requiere la capacidad de monitorear múltiples señales analógicas, lo cual implica el uso de convertidores analógicos a digitales capaces de traducir

estas señales para ser utilizadas por el FPGA en la tarjeta de desarrollo, donde se realizarán los cálculos correspondientes y se generarán las acciones de control del sistema.

Dentro de la tarjeta de desarrollo utilizada se cuenta con 3 convertidores analógicos a digitales duales AD7866 de la marca Analog Devices, los cuales tienen como características principales: resolución de 12 bits, alta velocidad, bajo consumo de potencia y funcionamiento mediante el principio de aproximaciones sucesivas. En la *Figura 70(a)* se aprecia el plano circuital del convertidor utilizado, mientras que en la *Figura 70(b)* se presenta la función de transferencia del ADC tomando en cuenta la configuración de sus terminales, donde se observa que los datos de salida tendrán formato complemento a 2 y que el ADC tendrá un rango de entrada de  $V_{REF} \pm V_{REF}$  (0 a 5 V).

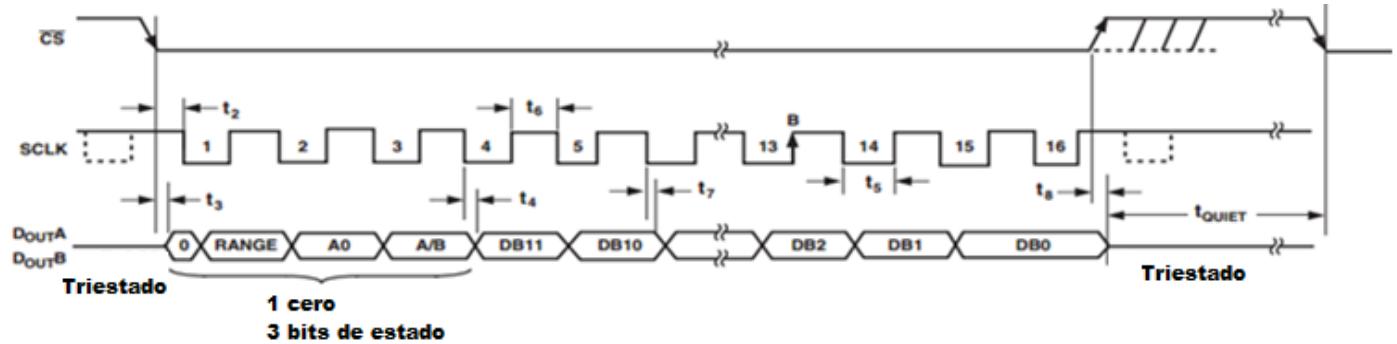


*Figura 70. Configuración de convertidor analógico a digital AD7866 utilizada*

A partir de los datos presentados, se calcula el rango de los ADC presentes en la tarjeta de desarrollo tomando en cuenta su precisión de 12 bits, valor utilizado al momento de realizar la programación del sistema de control:

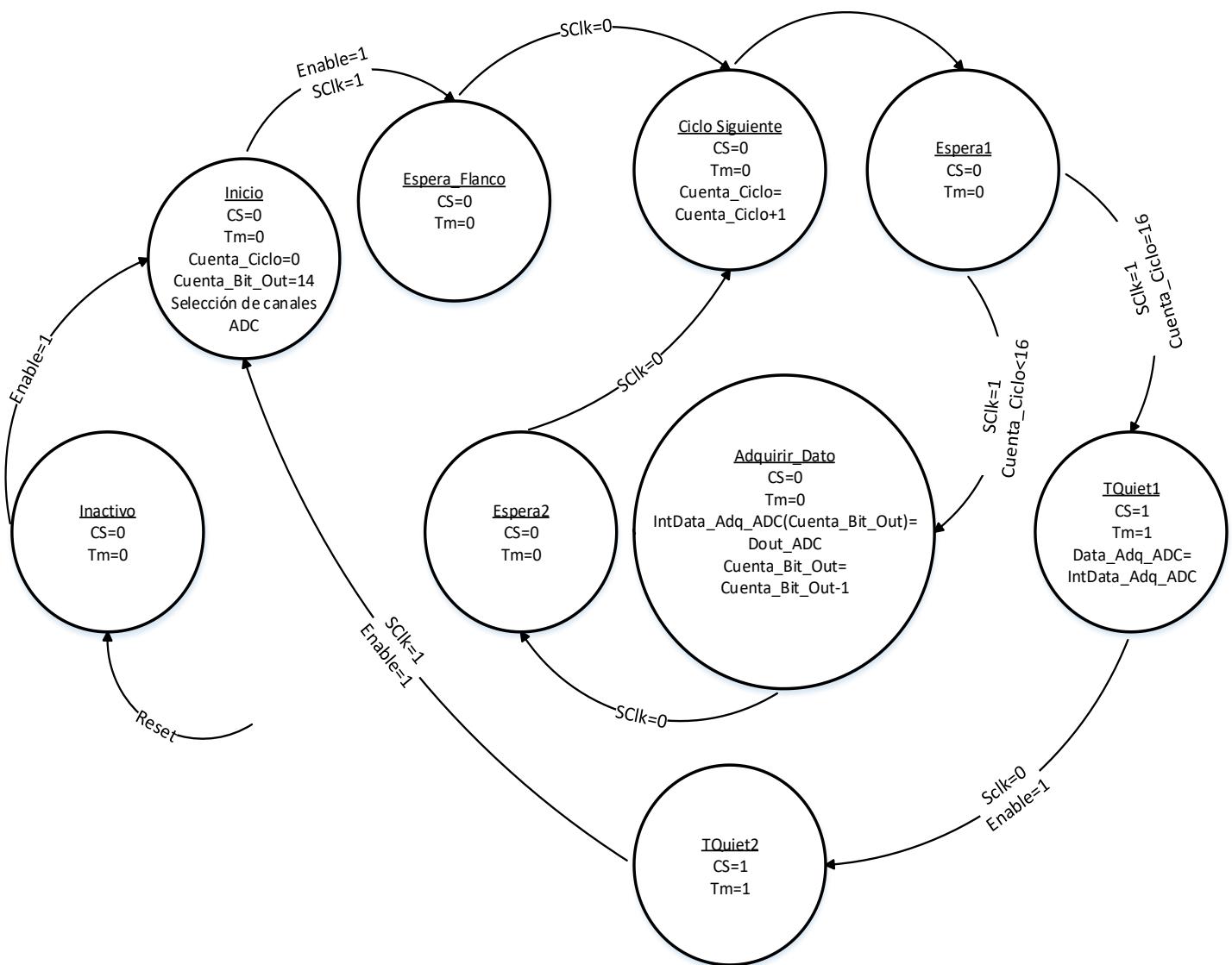
$$Rango = 0 \text{ a } (2^{12} - 2^0) \Rightarrow 0 \text{ a } 4095$$

A continuación, se presenta el diagrama de tiempo utilizado para programar la interfaz serial del AD7866, obtenido a partir de la hoja de datos del mismo:



*Figura 71. Diagrama de tiempo para interfaz serial del AD7866*

A partir de este diagrama de tiempo, se ha diseñado una máquina de estados secuencial sincrónica con modelo Moore capaz de controlar de forma simultánea todos los ADC presentes en la tarjeta de desarrollo. La misma se puede observar en el diagrama de la *Figura 72*.



**Figura 72.** Máquina de estados para controlar los ADC AD7866

El funcionamiento de esta máquina de estados se detalla en la **Tabla 8**, donde se presentan los estados actuales, sus salidas correspondientes, estados siguientes y las condiciones para pasar a los mismos.

**Tabla 8. Máquina de estados para ADC AD7866**

Estado actual	Salida	Condiciones para estado siguiente	Estado siguiente
Inactivo	<p>Se mantiene el terminal CS con valor lógico alto, de forma tal que no se inicie la conversión.</p> <p>Se mantiene una señal indicadora de muestreo realizado ‘<math>T_m</math>’ en estado lógico bajo.</p>	Enable=1	Inicio
Inicio	<p>Se seleccionan los canales a utilizar de cada ADC. Enviando un 0 lógico a los pines A0 para utilizar el canal 1 o un 1 lógico para utilizar el canal 2 de cada ADC.</p> <p>Se cambia el valor del terminal CS a un 0 lógico, iniciando la conversión.</p> <p>Cuenta_Ciclo=0, iniciando el conteo de los flancos del SCLK.</p> <p>Cuenta_Bit_out=14, iniciando el conteo regresivo de los bits de salida.</p> <p>Se mantiene una señal indicadora de muestreo realizado ‘<math>T_m</math>’ en estado lógico bajo.</p>	Enable=1 SCLK=1	Espera_Flanco
Espera_Flanco	<p>Nivel lógico bajo en terminal CS para mantener activa la conversión.</p> <p>Se mantiene una señal indicadora de muestreo realizado ‘<math>T_m</math>’ en estado lógico bajo.</p>	SCLK=0	Ciclo_Siguiente

Ciclo_Siguiente	Nivel lógico bajo en terminal CS para mantener activa la conversión.  Cuenta_Ciclo= Cuenta_Ciclo+1  Se mantiene una señal indicadora de muestreo realizado 'Tm' en estado lógico bajo.	-	Espera1
Espera1	Nivel lógico bajo en terminal CS para mantener activa la conversión.  Se mantiene una señal indicadora de muestreo realizado 'Tm' en estado lógico bajo.	SCLK=1  Cuenta_Ciclo<16	Adquirir_Dato
		SCLK=1  Cuenta_Ciclo=16	Tquiet1
Adquirir_Dato	Nivel lógico bajo en terminal CS para mantener activa la conversión.  Se guarda el bit serial actualmente presente en la salida del ADC en un vector de memoria interno.  Cuenta_Bit_out= Cuenta_Bit_out-1  Se mantiene una señal indicadora de muestreo realizado 'Tm' en estado lógico bajo.	-	Espera2
Espera2	Nivel lógico bajo en terminal CS para mantener activa la conversión.  Se mantiene una señal indicadora de muestreo realizado 'Tm' en estado lógico bajo.	SCLK=0	Ciclo Siguiente
TQuiet1	Nivel lógico alto en terminal CS indicando el fin de la trama.	Enable=1  SCLK=0	TQuiet2

	<p>Se cambia la señal indicadora de muestreo realizado ‘<math>T_m</math>’ a un estado lógico alto.</p> <p>Se trasladan los registros internos de memoria con los datos adquiridos de los ADC a vectores de salida del bloque de control.</p>		
TQuiet2	<p>Se mantiene un nivel lógico alto en el terminal CS para cumplir con el tiempo mínimo de restablecimiento entre muestreos <math>t_{QUIET}</math>.</p> <p>Se mantiene la señal indicadora de muestreo realizado ‘<math>T_m</math>’ en un estado lógico alto.</p>	<p>Enable=1 SCLK=1</p>	Inicio

En la **Tabla 9** se aprecia el formato de los vectores de datos obtenidos de la conversión de los ADC utilizando la máquina de estados diseñada, donde se observa cómo los datos de interés resultantes de la conversión se encuentran en los últimos 12 bits menos significativos.

**Tabla 9.** Formato de vectores de datos obtenidos por los ADC AD7866

# Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Dato	0	Range	A0	A/B	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

A nivel de operación cabe destacar que estos ADC entrarán en su modo de muestreo al introducirse un flanco de bajada en el terminal CS, lo cual implica que, según el diagrama de tiempo presentado en la **Figura 71** y la máquina de estados programada de la **Figura 72**, el tiempo de muestreo  $T_m$  sea equivalente a la duración de 16 ciclos de la señal de reloj introducida en el terminal SCLK de los ADC. De esta forma utilizando una señal de reloj con

frecuencia máxima posible capaz de ser manejada por los ADC de  $20\text{ MHz}$ , se obtendrá como tiempo de muestreo:

$$T_m = 16 \cdot \frac{1}{f_{SCLK}} = \frac{16}{20000000\text{ s}^{-1}} = 800\text{ ns} \quad (29)$$

Cabe destacar que para lograr utilizar la máxima frecuencia de muestreo de los ADC se requirió el uso de un par de PLLs, los cuales se encargan de producir señales de  $20\text{ MHz}$  y  $100\text{ MHz}$  para ser utilizadas como señal de reloj serial para los ADC y como señal de reloj para el resto de los procesos dentro del FPGA, respectivamente.

### 3.6.2. Sincronización de disparos de conducción

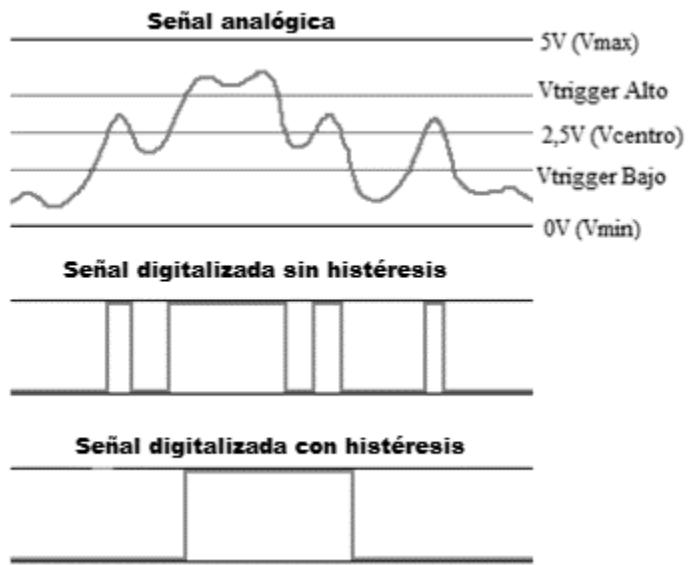
Durante el desarrollo de la *sección 2.2.2.2.3* se planteó la necesidad de sincronizar los pulsos de disparos para controlar la conducción de los SCR en el puente rectificador. Para lograr esta sincronización es posible utilizar los datos obtenidos por los ADC, de forma tal que se registren los instantes de intersección de las tensiones de fase o sus equivalentes cruces por cero de las tensiones de línea.

Utilizando los circuitos de acondicionamiento de señales descritos en la *sección 3.3*, se ha desarrollado una rutina de sincronización de disparos en VHDL, la cual utiliza las señales acondicionadas correspondientes a las tensiones de fase para registrar los instantes de conducción natural de los SCR y así, ajustar el ángulo de retraso de disparo.

La rutina en cuestión toma los vectores de datos de 16 bits obtenidos de 3 ADC en la tarjeta de desarrollo, los cuales se encargan de registrar los valores de las tensiones de fase conectadas al puente rectificador. De estos 16 bits, se toman los 12 menos significativos, los cuales contienen el valor de la señal en formato digital. Debido a su formato complemento a 2, el bit 12 de cada vector de datos es sustituido por su complemento, convirtiendo posteriormente cada uno de estos vectores en un número equivalente en formato entero. Esta conversión otorga la posibilidad de realizar operaciones matemáticas con las variables almacenadas utilizando las librerías correspondientes en VHDL.

Utilizando como referencia los datos presentados en la *Tabla 3*, se ha diseñado la rutina de sincronización a partir de una serie de condicionales, los cuales calculan las diferencias entre las tensiones de fase para determinar el instante de cruce por cero de cada tensión línea correspondiente al instante de conducción natural de cada SCR presente en el puente rectificador. De forma ideal, el cruce por cero de cada tensión de línea viene determinado por el instante en el cual la diferencia entre 2 tensiones de fase es igual a 0, sin embargo, se ha añadido un ciclo de histéresis en caso de presentarse algún ruido en las señales otorgadas por los ADC. Un ejemplo de esto se aprecia en la *Figura 73*, donde se muestran las señales de sincronización obtenidas ignorando y utilizando un ciclo de histéresis para la señal correspondiente de tensión de línea.

De esta forma, se ha establecido un límite positivo de diferencia entre las tensiones de fase, a partir del cual se generará una señal cuadrada de sincronización indicadora del cruce por cero de alguna de las tensiones de línea correspondientes. Estas señales cuadradas cambiarán a un valor lógico alto durante un período de tiempo equivalente al semiciclo positivo de alguna de las tensiones de línea.



**Figura 73.** Ciclo de histéresis utilizado en rutina de sincronización

### 3.6.3. Control de disparo de los tiristores

Una vez obtenidas las señales de sincronización correspondientes al cruce por cero de las tensiones de línea, fue posible diseñar una rutina de generación de pulsos de disparo para controlar el instante de conducción de los SCR en el puente rectificador controlado del convertidor CA/CC acorde al ángulo de disparo utilizado.

La rutina de control diseñada se basa en el uso de múltiples condicionales, los cuales se encargan de generar un tren de pulsos de disparo con duración finita. Estos condicionales verifican en primer lugar la señal de sincronización correspondiente a cada SCR (o a cada cruce por cero de cada tensión de línea), la cual indica el instante de conducción natural de los mismos (ángulo de disparo igual a  $0^\circ$ ). Una vez confirmado el valor positivo de esta señal de sincronización, se procede a verificar el ángulo de disparo deseado, el cual es obtenido gracias a la acción conjunta del controlador PID y el actuador en el lazo de control, según la

tensión esperada en la salida (es decir, la tensión de consigna). Utilizando este valor de ángulo de disparo en formato de un número entero, se retrasa el tren de pulsos correspondiente mediante el uso de una serie de contadores, logrando así controlar la tensión de salida del convertidor según el ángulo utilizado para activar la conducción de los SCR. Al cumplirse el período pre establecido de este tren de pulsos, la rutina de control activará una bandera indicando el envío exitoso de los mismos a cada SCR correspondiente durante el resto de la duración del semiciclo positivo de la tensión de línea. Esta bandera volverá a su estado inactivo una vez que la señal de sincronización cambie a un valor nulo, repitiendo todo el proceso para cada semiciclo positivo de cada tensión de línea.

El uso de un tren de pulsos para activar la conducción en cada SCR se justifica debido a que cada SCR posee una corriente de enganche ( $I_L$ ) máxima de  $600\text{ mA}$  y una corriente de mantenimiento ( $I_H$ ) máxima de  $250\text{ mA}$ . Esto implica que al poseer una corriente de carga de baja magnitud (ya sea por variaciones en la alimentación o en la carga) los SCR dejarán de conducir a pesar de poseer un mayor potencial en sus ánodos respecto a sus cátodos y de haber introducido anteriormente un pulso de disparo en sus terminales de compuerta. Al introducir un tren de pulsos es posible mantener los SCR correspondientes en estado de conducción, permitiendo a la corriente circulante a través de los mismos aumentar hasta un valor mayor a  $I_H$ , donde el SCR permanecerá en estado de conducción sin la necesidad de seguir introduciendo pulsos de disparo.

### **3.6.4. Controlador PID**

El controlador del sistema planteado viene dado en la forma de un controlador PID. Este se encarga de calcular la señal de ajuste a ser introducida en el sistema utilizando como variables de entrada un valor equivalente a la tensión de consigna, el valor de salida actual

del convertidor, las constantes proporcional, integral y derivativa y una señal indicadora de muestreo realizado por parte de los ADC correspondientes.

### 3.6.4.1. Implementación digital del controlador PID

El controlador diseñado se ha basado en la ecuación presentada en (30), la cual representa la ecuación de un controlador PID en el dominio de tiempo:

$$V_{PID} = K_P \cdot e(t) + K_I \int e(t)dt + K_D \frac{d}{dt}e(t) \quad (30)$$

$$e(t) = V_i - V_o \quad (31)$$

$e(t) = \text{Error}$

$K_P = \text{Constante proporcional}$

$K_I = \text{Constante integral}$

$K_D = \text{Constante derivativa}$

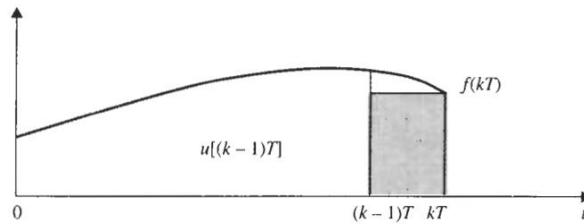
La rutina de control programada se encarga de implementar la fórmula presentada en (30) de forma digital, lo cual implica que:

- (a) La componente proporcional se implementa mediante una resta seguida de una multiplicación de valores digitales. Cabe destacar que debido a que cualquier procesador digital tiene una longitud de palabra finita, esta componente no puede

realizarse con resolución infinita, lo cual limitará la precisión de las tensiones de salida deseadas en el convertidor.

- (b) La componente integral se implementa aplicando el método de aproximación numérica del área de una función conocido como integración rectangular hacia adelante. Utilizando este método, el área bajo la curva será equivalente a la suma de múltiples rectángulos, siendo el área resultante cada vez más parecida a la integral en el dominio del tiempo cuanto más pequeño sea el tiempo de muestreo. Un ejemplo de esto se observa en la *Figura 74*, donde la integral de  $f(t)$  en  $t = kT$  se aproxima por:

$$u(kT) = u[(k-1)T] + Tf(kT) \quad (32)$$



*Figura 74. Regla de integración rectangular hacia adelante* [10]

- (c) La componente derivativa se aproxima mediante la regla de diferencia hacia atrás. Esto implica que, utilizando los valores de la función  $f(t)$  medidos en los instantes  $t = kT$  y  $t = (k-1)T$  se puede representar la derivada como:

$$\left. \frac{df(t)}{dt} \right|_{t=kT} \cong \frac{f(kT) - f[(k-1)T]}{T} \quad (33)$$

### **3.6.4.2. Modificaciones en el algoritmo del controlador PID**

Utilizando como base la ecuación del controlador PID se han realizado una serie de mejoras y modificaciones al mismo, entre las cuales figuran:

#### **3.6.4.2.1. Escalamiento de componentes**

Una limitación importante al trabajar con el lenguaje descriptivo VHDL recae en el hecho de que no es posible realizar una síntesis lógica (asociar el diseño de alto nivel con la lógica interna y recursos del FPGA) en base al uso de variables en formato de punto flotante (formato digital utilizado para representar números reales) de manera directa. Esto se debe a que los FPGA poseen una arquitectura distinta a los microprocesadores, los cuales poseen unidades lógicas aritméticas diseñadas para realizar operaciones basadas en este tipo de variables. De esta forma, las rutinas de programación diseñadas que requieran ser sintetizadas en un FPGA han de ser limitadas al uso de variables en formato de bits, enteros y arreglos/vectores de los anteriores.

Existen diversas formas de superar esta limitación, tales como diseñar un procesador dentro del FPGA utilizando sus elementos lógicos básicos, utilizar “megafunciones” diseñadas por la compañía ALTERA para convertir los vectores de datos binarios en variables equivalentes en formato de punto flotante o realizar las operaciones matemáticas necesarias limitándose al uso de variables en formato entero. En el diseño de la rutina de control presentada se ha optado por el uso de esta última opción, debido al alto consumo de elementos lógicos que representan las demás alternativas y a las limitaciones del FPGA utilizado (el cual posee un máximo de 5980 elementos lógicos, según la hoja de datos presentada en el *Anexo 10*).

Tomando en cuenta lo anteriormente expuesto y utilizando la propiedad distributiva de la suma en (30) en conjunto con (32) y (33) se obtiene:

$$\begin{aligned}
 V_{PID}(kT) &= \frac{K_{esc}}{K_{esc}} \left( K_P e(kT) + K_I e_{acum}(kT) + K_D \frac{e(kT) - e[(k-1)T]}{T} \right) \\
 V_{PID}(kT) &= \frac{\left( K_P K_{esc} e(kT) + K_I K_{esc} e_{acum}(kT) + K_D K_{esc} \left( \frac{e(kT) - e[(k-1)T]}{T} \right) \right)}{K_{esc}} \\
 V_{PID}(kT) &= \frac{\left( K_P' e(kT) + K_I' e_{acum}(kT) + K_D' \frac{e(kT) - e[(k-1)T]}{T} \right)}{K_{esc}}
 \end{aligned} \quad (34)$$

$K_{esc}$ = Factor de escalamiento (positivo y en formato entero)

$e_{acum}$ = Equivalencia digital de integral de error en el dominio del tiempo

$K_P'$ = Constante proporcional escalada

$K_I'$ = Constante integral escalada

$K_D'$ = Constante derivativa escalada

$T$ = Tiempo de muestreo

De esta forma, utilizando (34) es posible mantener la precisión en las operaciones de cada componente del controlador utilizando como constantes escaladas del controlador valores en formato entero, siendo las constantes reales equivalentes a:

$$K_x = \frac{K_x'}{K_{esc}} \quad (35)$$

Cabe destacar que el resultado de la división entre el factor de escalamiento presentada en (34) también se almacenará en formato entero, lo cual limitará la precisión en la salida del controlador diseñado.

### 3.6.4.2.2. Tiempo de muestreo

El controlador diseñado en lenguaje descriptivo VHDL utiliza una lógica sincrónica secuencial en base a una señal de reloj de  $100 \text{ MHz}$  obtenida a partir del uso conjunto de un PLL y la señal de reloj de  $24 \text{ MHz}$  generada por el cristal presente en la tarjeta de desarrollo. De esta forma, se ha programado la máquina de estados secuencial sincrónica con modelo Moore presentada en la **Figura 75** y cuya tabla de estados se presenta en la **Tabla 10**. Esta máquina de estados se encargará de realizar los cálculos correspondientes al controlador PID cada vez que se realicen los muestreos correspondientes por parte de los ADC en la tarjeta de desarrollo.

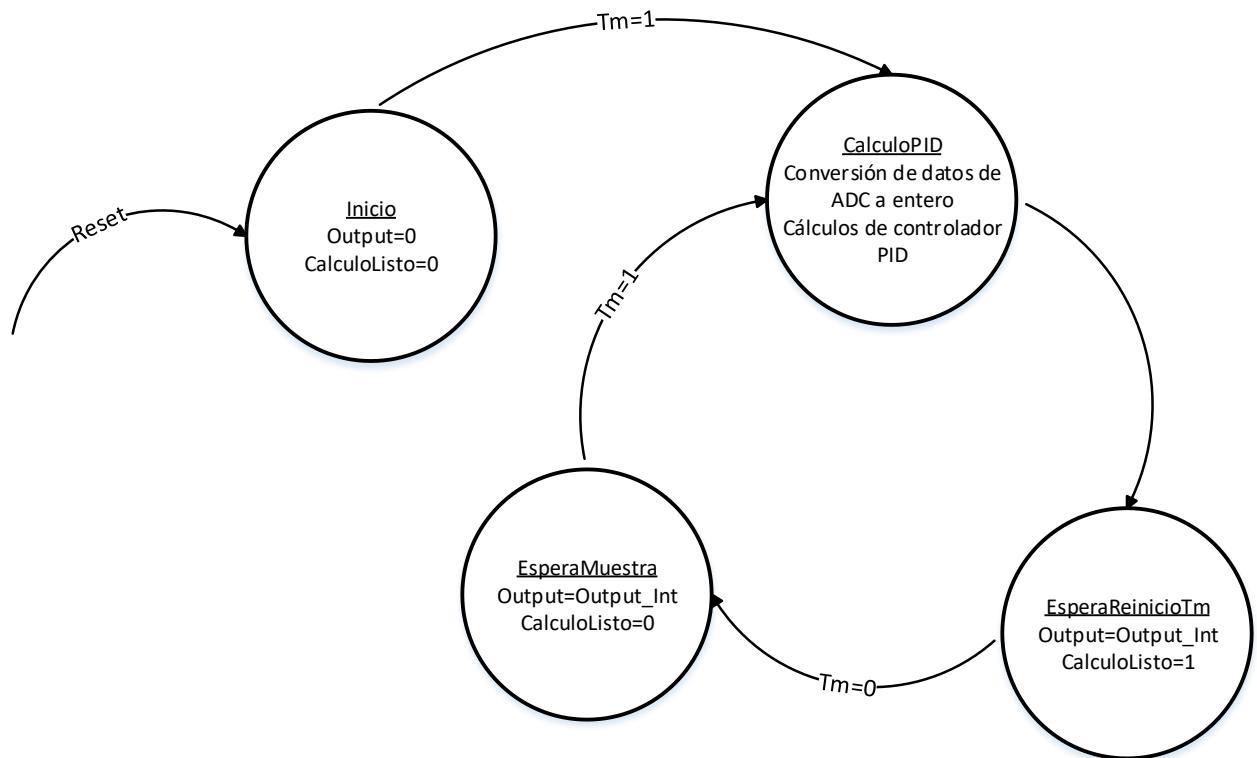
El diseño de esta máquina de estados implica que el controlador realizará los cálculos correspondientes de la expresión (34) en intervalos de tiempo iguales, siguiendo la señal indicadora de muestreo realizado  $T_m$ . Sabiendo que los intervalos de tiempo  $T$  serán iguales, es posible simplificar la ecuación del controlador a la forma:

$$V_{PID}(kT) = \frac{(K_P' e(kT) + K_I'' e_{acum}'(kT) + K_D''(e(kT) - e[(k-1)T]))}{K_{esc}} \quad (36)$$

$$K_I'' = K_I' T = K_I' T_m \quad (37)$$

$$K_D'' = \frac{K_D'}{T} = \frac{K_D'}{T_m} \quad (38)$$

$$e'_{acum}(kT) = e'_{acum}((k-1)T) + e(kT) \quad (39)$$



**Figura 75.** Máquina de estados para controlador PID

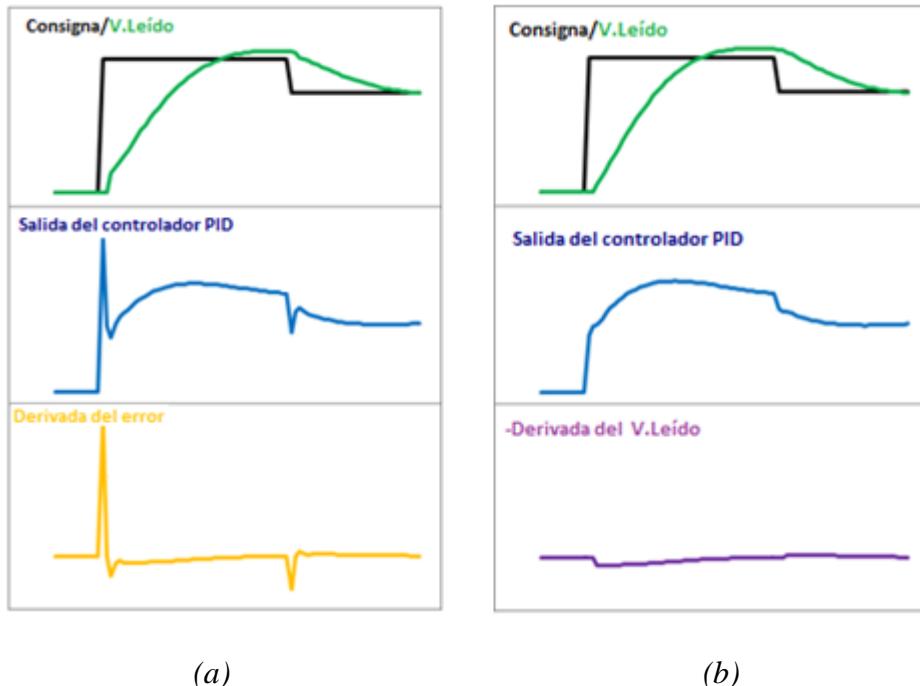
**Tabla 10. Máquina de estados para controlador PID**

Estado actual	Salida	Condiciones para estado siguiente	Estado siguiente
Inicio	Se mantiene el valor de salida en 0. Se mantiene una variable indicadora de cálculo listo en estado lógico bajo.	Tm=1	CalculoPID
CalculoPID	Conversión de datos muestreados por los ADC a formato entero. Se realizan los cálculos correspondiente al controlador PID	-	EsperaReinicioTm
EsperaReinicioTm	Se mantiene a la salida del controlador el valor de ajuste calculado en el estado anterior. Se cambia la variable indicadora de cálculo listo a un estado lógico alto.	Tm=0	EsperaMuestra
EsperaMuestra	Se mantiene a la salida del controlador el valor de ajuste calculado anteriormente. Se cambia la variable indicadora de cálculo listo a un estado lógico bajo.	Tm=1	CalculoPID

De esta manera, es posible simplificar las operaciones del controlador dentro del FPGA, requiriendo menos elementos lógicos al realizar solo sumas y restas y dejando al usuario la opción de ajustar las constantes  $K_x''$  tomando en cuenta su escalamiento respectivo según la señal de reloj utilizada.

### 3.6.4.2.3. Efecto de consigna en componente derivativa

Uno de los problemas de la ecuación original del controlador PID se presenta en la forma del efecto de los cambios de consigna en la salida debido a la componente derivativa. Al ser el error la diferencia del valor leído respecto al valor de consigna, cualquier cambio de este último causará un cambio instantáneo en el error. Este cambio repentino generará un valor alto por parte de la componente derivativa, lo cual se traducirá como un pico repentino en la señal de salida del controlador y cuyo efecto se puede observar en la *Figura 76(a)*.



*Figura 76. Efecto de ajuste de componente derivativa<sup>[11]</sup>*

Recordando que la componente derivativa es igual a:

$$\frac{d(error)}{dt} = \frac{d(Consigna)}{dt} - \frac{d(V_{leido})}{dt} \quad (40)$$

Y tomando en cuenta que el valor de consigna se mantendrá constante durante la mayor parte del tiempo, es posible sustituir la componente derivativa por:

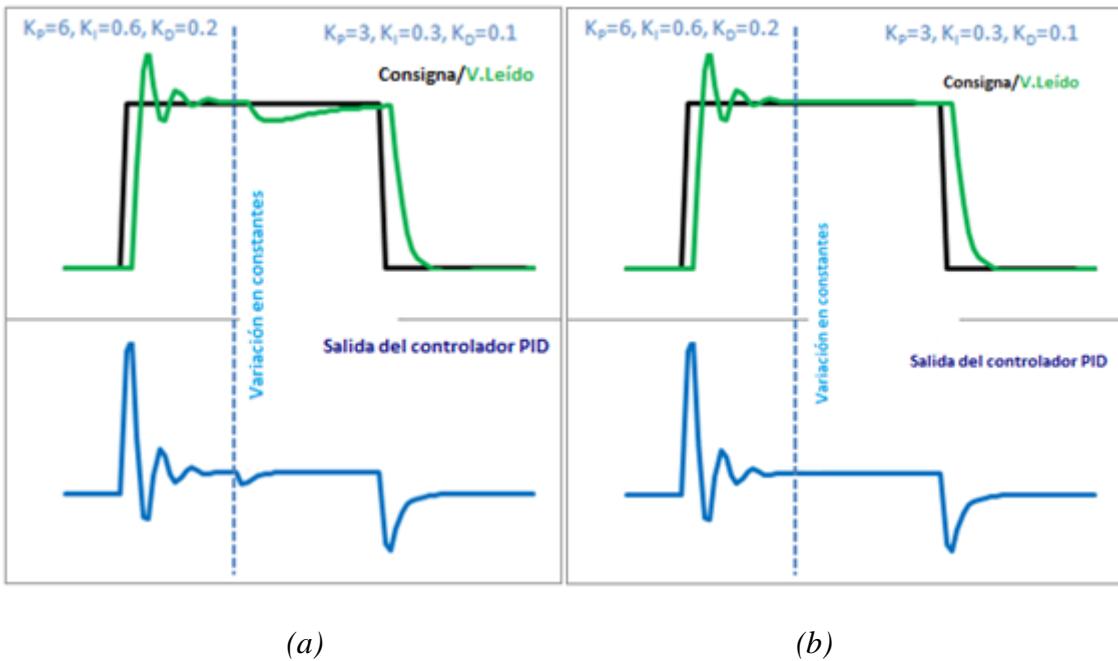
$$\frac{d(error)}{dt} = -\frac{d(V_{leido})}{dt} \quad (41)$$

De esta forma, la ecuación del controlador PID cambiará a (42), lo cual se traducirá en una salida como la mostrada en la **Figura 76(b)**.

$$V_{PID}(kT) = \frac{(K'_P e(kT) + K''_I e'_{acum}(kT) - K''_D (V_{leido}(kT) - V_{leido}[(k-1)T]))}{K_{esc}} \quad (42)$$

### 3.6.4.2.4. Efecto de variaciones en la constante integral

Al utilizar la ecuación presentada en (42) se obtiene el comportamiento mostrado en la **Figura 77(a)**. En la misma se puede observar que al variar las constantes del controlador se presenta una variación brusca en la salida, la cual puede afectar a los equipos y/o componentes involucrados en el sistema. Esto se debe a que la componente integral está diseñada en base a (43), donde el cambio de la constante integral afecta a todo el error acumulado por el controlador en vez de afectar solo a los valores a partir del instante en el que se realiza la variación.



**Figura 77.** Efecto de ajuste de componente integral<sup>[11]</sup>

$$K_I \int e dt = K_I \cdot \left( \lim_{\Delta t \rightarrow 0} \sum_{i=0}^N e_{n-i} \cdot \Delta t \right) \quad (43)$$

Para solucionar este problema se realiza una pequeña variación en la componente integral, y tomando en cuenta las equivalencias digitales previas, se obtiene:

$$K_I \int e dt = \int K_I e dt = \left( \lim_{\Delta t \rightarrow 0} \sum_{i=0}^N K_{I_{n-i}} \cdot e_{n-i} \cdot \Delta t \right)$$

$$I_{Term}(kT) = I_{Term}[(k-1)T] + K''_{I_{kT}} \cdot e(kT) \quad (44)$$

Como se puede observar en (44), al realizar la suma de la componente integral fuera de la ecuación modificada del controlador PID es posible multiplicar cada error registrado por la constante integral correspondiente al instante del cálculo por parte del controlador. De esta forma, tomando en cuenta las modificaciones previamente realizadas, la ecuación del controlador se modifica para obtener (45), lo cual se traduce en la respuesta observada en la **Figura 77(b)**.

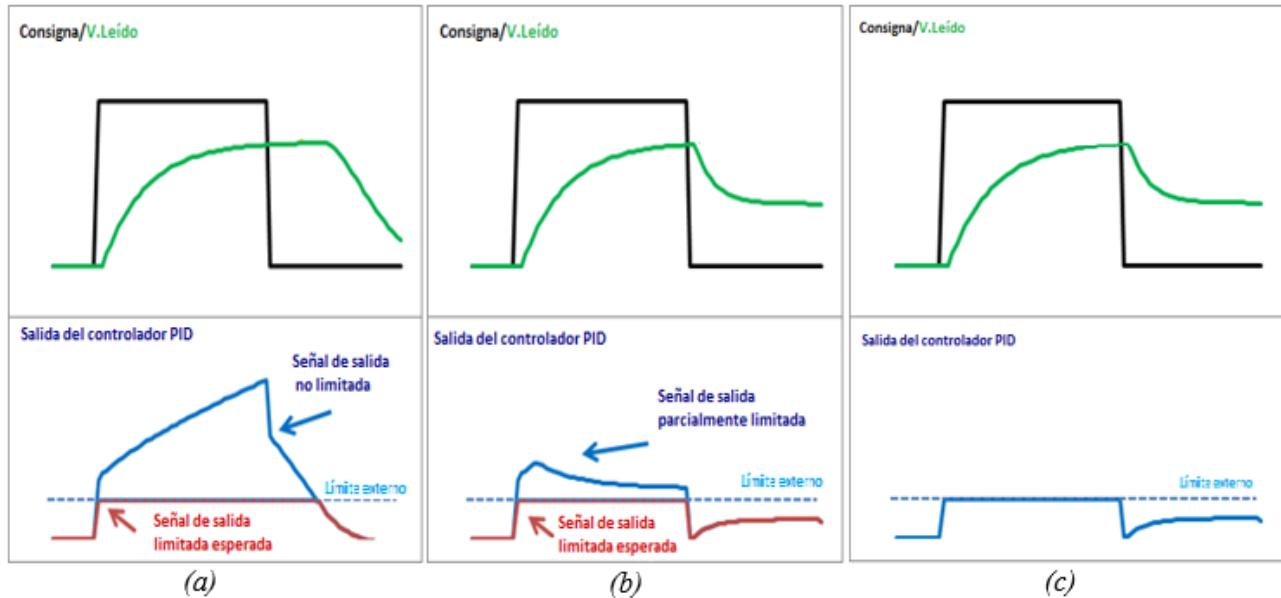
$$V_{PID}(kT) = \frac{\left( K'_P e(kT) + I_{Term}(kT) - K_D''(V_{leido}(kT) - V_{leido}[(k-1)T]) \right)}{K_{esc}} \quad (45)$$

### 3.6.4.2.5. Limitadores

Como última modificación de la rutina del controlador se han establecido limitadores en la programación de la misma. Esto se debe a que al dejar al controlador actuar sin ningún límite establecido, el mismo enviará valores en su salida mayores a los que el sistema puede manejar. Un ejemplo de esto se observa en la **Figura 78(a)**, donde el controlador no limitado envía valores cada vez más altos a la salida para lograr la estabilización del sistema. Esto se traduce en una ralentización en la salida del sistema al momento de variar el valor de consigna, debido al ajuste del error acumulado que debe realizar el controlador para volver a enviar valores dentro de los límites útiles del sistema.

Para solucionar este problema, se ha optado por el uso de un par limitadores dentro del controlador, siendo el primero un limitador de los valores de la componente integral. Esta modificación se encargará de detener la variación de la componente integral del sistema una vez que la misma supere los valores máximos o mínimos establecidos por el usuario. El

resultado de este primer limitador puede observarse en la *Figura 78(b)*, donde se observa una respuesta del sistema inmediata respecto al cambio de consigna.



*Figura 78. Efecto de limitadores para controlador PID<sup>[11]</sup>*

Una vez limitada la componente integral, se procedió a limitar la salida del controlador, de manera tal que se elimine cualquier rastro de ralentización en la respuesta del sistema debido a la acción de las componentes proporcional y derivativa. De esta forma, aplicando los mismos límites anteriormente utilizados para la componente integral en la salida del controlador se obtiene la respuesta mostrada en la *Figura 78(c)*.

Cabe destacar que dentro del sistema diseñado en cuestión los límites establecidos están basados en las tensiones máximas y mínimas a ser utilizadas por el convertidor. Analizando (20), se puede deducir que los límites superior e inferior serán:

$$V_{d\alpha_{max}} = 1,35V_{LL}\cos(0^\circ) = 1,35V_{LL} = V_{do} \quad (46)$$

$$V_{d\alpha_{min}} = 1,35V_{LL}\cos(90^\circ) = 1,35V_{LL}0 = 0 \quad (47)$$

### 3.6.5. Actuador

Una vez obtenida la señal de ajuste calculada por el controlador PID fue necesario traducir la misma a ángulos de retraso de disparos, los cuales indican los instantes de inicio de conducción de los SCR en el puente rectificador. Para lograr diseñar una rutina de control que cumpliera con este propósito fue necesario analizar dos fenómenos en particular: equivalencia de valores analógicos dentro del FPGA y representación digital del ángulo de disparo a utilizar.

#### 3.6.5.1. Digitalización de variables analógicas en el lazo de control

Previamente se describió que las rutinas de control diseñadas en VHDL para el sistema del convertidor CA/CC utilizan variables en formato entero debido a las limitaciones del FPGA para trabajar con variables en formato de punto flotante. Esto conllevó a hallar una equivalencia entre las variables analógicas involucradas en el proceso con valores digitales dentro del FPGA representados por variables en formato entero.

Durante el desarrollo de la **sección 3.6.1**, se señaló que el rango (tomando en cuenta la precisión de 12 bits) y el valor máximo de entrada para los ADC utilizados en la tarjeta de desarrollo eran equivalentes a:

$$Rango_{ADC} = 0 \text{ a } 4095$$

$$V_{ADC_{max}} = 5 \text{ V}$$

De igual forma, durante el desarrollo de la **sección 2.2.4** se indicó que la señal de consigna debía ser de la misma naturaleza y poseer el mismo rango de valores que la señal de salida del sistema leída por el sensor utilizado. Tomando en cuenta que el valor de consigna del sistema está representando por una variable en formato entero, se representa el valor de salida del sistema leído por el ADC en formato entero mediante el uso de una regla de 3:

$$V_{o_{int}} = 4095 \frac{V_o}{V_{o_{max}}} \quad (48)$$

$$V_o = \text{Valor de salida del convertidor CA/CC (V)}$$

$$V_{o_{max}} = \text{Máximo valor de salida del convertidor CA/CC capaz de ser leído por el ADC, siendo su valor atenuado equivalente a } V_{ADC_{max}} (5 \text{ V}).$$

$$V_{o_{int}} = \text{Valor de salida del convertidor CA/CC en formato de números enteros.}$$

Al representar los valores analógicos de salida del convertidor en formato digital de números enteros, se introduce como variable a tomar en cuenta la precisión de lectura en el valor de salida, la cual servirá para hallar el valor analógico equivalente de las variables en formato entero utilizadas dentro del FPGA. De esta forma, la precisión viene dada por:

$$Precisión_{V_o} = \frac{V_{o_{max}}}{4095} \quad (49)$$

Tanto en (48) como en (49) se observa el uso de la variable  $V_{o_{max}}$ , la cual indica el máximo valor analógico a ser leído por el ADC. Este valor es elegido por el usuario tomando en cuenta dos puntos. En primer lugar, se recuerda mediante el análisis de (46) que la máxima tensión a ser otorgada por el rectificador trifásico controlado es equivalente a la tensión al utilizar un ángulo de disparo igual a  $0^\circ$ . Sin embargo, al instante de realizar el encendido la tensión puede llegar a ser el doble del valor pico de la tensión de línea. De esta forma, el valor de  $V_{o_{max}}$  se elige tomando como referencia el máximo valor a ser otorgado por el rectificador, añadiéndole al mismo un rango extra basado en un factor de sobrepico:

$$\begin{aligned} V_{o_{max}} &= V_{d\alpha_{max}} + V_{d\alpha_{max}}SP = V_{d\alpha_{max}}(1 + SP) \\ V_{o_{max}} &= 1,35V_{LL}(1 + SP) \end{aligned} \quad (50)$$

*SP = Factor de sobrepico. [p.u.]*

Una vez traducida la señal de salida a un valor entero, es necesario establecer los límites en el rango de la consigna. Inicialmente, se indicó que el rango de esta debía ser igual al rango del valor de salida del sistema. Esto implica que el rango completo de consigna en formato entero será igual al rango de los ADC. Sin embargo, cabe recordar que este rango de valores registra tensiones hasta  $V_{o_{max}}$ , la cual excede a la máxima tensión teórica capaz de ser otorgada por el convertidor sin presentar sobrepicos (según lo expuesto en (46)). De esta forma, utilizando (48) se establece que la señal de consigna poseerá como rango útil en formato entero:

$$\begin{aligned}
 Rango\ util_{V_{i_{int}}} &= 0 a 4095 \frac{V_{da_{max}}}{V_{o_{max}}} = 0 a 4095 \frac{1,35V_{LL}}{1,35V_{LL}(1 + SP)} \\
 Rango\ util_{V_{i_{int}}} &= 0 a \frac{4095}{1 + SP} \tag{51}
 \end{aligned}$$

$V_{i_{int}}$  = Valor de consigna en formato entero

### 3.6.5.2. Conversión de señal de ajuste

Hasta los momentos se ha presentado la adaptación del controlador PID utilizando el lenguaje descriptivo VHDL para obtener una señal de ajuste en formato de números enteros, los cuales representarán a las señales analógicas de salida y de consigna según la siguiente relación obtenida a partir de (48) y (49):

$$V_o = \frac{V_{o_{int}} V_{o_{max}}}{4095} = V_{o_{int}} \text{Precisión}_{V_o} \tag{52}$$

Como se indicó anteriormente, los valores de ajuste en formato entero calculados por el controlador PID no pueden ser utilizados directamente sobre el puente rectificador trifásico, debido a que este último utiliza como variable de ajuste ángulos de retraso de disparo. Un ejemplo de esta conversión fue expuesto anteriormente en la *sección 3.5.7*, donde se muestra el uso de (28) para hallar los ángulos de disparo (de forma ideal sin pérdidas por efecto de inductancias de fuente) correspondientes a la tensión de salida deseada (es decir, la tensión de consigna). De esta forma, se toma como ecuación base para realizar la conversión de la señal de ajuste:

$$\alpha = \arccos\left(\frac{V_{d\alpha}}{1,35V_{LL}}\right) = \arccos\left(\frac{V_o}{1,35V_{LL}}\right) \quad (53)$$

La cual, al tomar en cuenta que la variable independiente vendrá dada por la señal de ajuste otorgada por el controlador PID cambiará a:

$$\alpha = \arccos\left(\frac{V_{PID_V}}{1,35V_{LL}}\right) \quad (54)$$

$V_{PID_V}$  = Valor de ajuste calculado por el controlador PID en formato analógico (V)

Pero debido a que el controlador otorgará la señal de ajuste en formato de números enteros, se realiza la conversión de los términos dentro del  $\arccos$  utilizando (48) y (49):

$$\begin{aligned} \alpha &= \arccos\left(\frac{V_{PID_V}}{1,35V_{LL}}\right) = \arccos\left(\frac{V_{PID_V}}{V_{do}}\right) = \arccos\left(\frac{V_{PID_{int}}}{4095 \frac{V_{do}}{V_{o_{max}}}}\right) \\ \alpha &= \arccos\left(\frac{\frac{V_{PID_{int}}}{V_{do}}}{\left(\frac{V_{do}}{Precisión_{V_o}}\right)}\right) \end{aligned} \quad (55)$$

$V_{PID_{int}}$  = Valor de ajuste calculado por el controlador PID en formato digital (entero)

Al analizar la ecuación (55), es posible observar que los ángulos de disparo obtenidos en base a la señal de ajuste otorgada por el controlador tendrán un rango de  $0^\circ$  a  $90^\circ$  (tal como se indica en (46) y (47)), lo cual concuerda con la mitad del dominio de la función *arccos*.

A pesar de poseer una ecuación que permite hallar el valor del ángulo de disparo a partir de la señal de ajuste otorgada por el controlador, resulta imposible trabajar directamente con grados (o radianes) dentro del FPGA. Esto se debe a que los recursos con los que se cuenta dentro del mismo para actuar sobre los SCR del puente rectificador están limitados a rutinas de contadores y temporizadores utilizando valores en formato entero. La solución a este problema se presenta en la forma de una conversión de los ángulos obtenidos a sus valores equivalentes en el dominio del tiempo, mediante los cuales es posible diseñar una rutina de conteo en base a la detección de flancos de una señal de reloj. De esta forma, basados en el análisis de una onda senoidal:

$$v_{(t)} = \sqrt{2}V_{RMS} \sin(\omega t) = \sqrt{2}V_{RMS} \sin(2\pi ft) \quad (56)$$

Se toma en cuenta que el retraso de cada disparo se cuenta a partir del instante de cruce por cero de cada tensión de línea correspondiente a la alimentación del puente rectificador, y utilizando como referencia el ángulo dentro del seno en (56), se deduce que el tiempo equivalente al ángulo de disparo vendrá dado por:

$$\alpha = \omega t_{retraso} = 2\pi f t_{retraso}$$

$$t_{retraso} = \frac{\alpha}{2\pi f} \quad (57)$$

$\alpha$ = Ángulo de retraso de disparo (rad).

$\pi$ = Pi. Con valor de 3,14 radianes (rad)

$f$ = Frecuencia de tensiones trifásicas utilizadas (Hz).

$t_{retraso}$ = Tiempo equivalente a ángulo de retraso de disparo (s)

De esta forma, el tiempo de retraso de disparo equivalente a  $\alpha$  puede ser obtenido sustituyendo (55) en (57):

$$t_{retraso} = \frac{\arccos\left(\frac{V_{PID_{int}}}{\left(\frac{V_{do}}{Precisión_{V_o}}\right)}\right)}{2\pi f} \quad (58)$$

Una vez obtenida la equivalencia para hallar el tiempo de retraso de disparo de los SCR, se procede a utilizar la señal de reloj con frecuencia de 100 MHz obtenida a partir del PLL para hallar los flancos equivalentes de retraso de disparo. De esta forma, siendo el período de cada flanco de subida de la señal de reloj equivalente a 10 ns:

$$Flancos_{\alpha-retraso} = t_{retraso} \frac{1 \text{ flanco}}{10 \cdot 10^{-9} \text{ s}} = t_{retraso} \cdot 100 \cdot 10^6 \quad (59)$$

$$Flancos_{\alpha-\text{retraso}} = 100 \cdot 10^6 \frac{\arccos\left(\frac{V_{PID_{int}}}{\left(\frac{V_{do}}{Precisión_{V_o}}\right)}\right)}{2\pi f} \quad (60)$$

En la cual se pueden sustituir (2), (49) y (50), obteniendo así una ecuación basada en el factor de sobrepico elegido por el usuario, la frecuencia de alimentación trifásica y el valor de ajuste otorgado por el controlador en formato entero (cuyo rango está limitado según (51)).

$$Flancos_{\alpha-\text{retraso}} = 100 \cdot 10^6 \frac{\arccos\left(\frac{V_{PID_{int}}(1 + SP)}{4095}\right)}{2\pi f} \quad (61)$$

Ya obtenida la relación de equivalencia entre los valores de ajuste del controlador PID con los flancos de retraso de disparo, fue necesario diseñar una rutina de programación en VHDL basada en la expresión (61). Sin embargo, debido a las limitaciones del modelo particular de FPGA utilizado fue imposible realizar una operación trigonométrica de forma directa al momento de diseñar una rutina de programación. Esta limitación obligó a utilizar alguna de las siguientes alternativas:

- a) Crear un algoritmo capaz de realizar las operaciones trigonométricas necesarias.
- b) Diseñar una rutina de programación basada en una tabla de consulta en la cual se carguen los valores resultantes de la ecuación (61) según los posibles valores de ajuste del controlador PID en formato entero.

- c) Diseñar una rutina de programación basada en una función aproximada a la función  $\arccos$ , obtenida mediante una aproximación lineal por tramos.

Debido a la cantidad limitada de elementos lógicos dentro del FPGA, se optó por la tercera opción.

Para mantener en lo posible la precisión de las funciones lineales obtenidas mediante la aproximación lineal y tomando en cuenta la limitación referente al uso de variables en formato entero dentro del FPGA, se han programado las mismas utilizando un factor de escalamiento  $10^n$  para cualquier  $n$  entero mayor a 0 (tomando en cuenta el límite de valores enteros en VHDL de 2147483648). Esto permitirá el uso de pendientes y ordenadas de origen con valores decimales para mantener la precisión de las funciones linealizadas, siendo mayor esta precisión mientras más alto sea el valor de  $n$ .

$$Flancos_{\alpha-\text{retraso}}(\text{escalados}) = m10^n V_{PID_{int}} + b10^n \quad (62)$$

$$Flancos_{\alpha-\text{retraso}} = \frac{Flancos_{\alpha-\text{retraso}}(\text{escalados})}{10^n} \quad (63)$$

### 3.6.6. Ajuste de consigna (HMI)

Para lograr ajustar el valor de consigna introducido en el controlador PID, se ha diseñado una rutina de control en VHDL encargada de traducir los valores adquiridos del ADC conectado a la interfaz usuario-máquina utilizada.

Como se mencionó en la *sección 3.3.12*, en el sistema diseñado se utiliza un potenciómetro en conjunto con la fuente de alimentación de  $5V$  y uno de los ADC disponibles en la tarjeta de desarrollo, el cual se encargará de registrar vectores de datos cuyos valores enteros equivalentes varían entre 0 y 4095. Sin embargo, cabe recordar que el rango útil de consigna estará determinado por (51). De esta forma, si se busca realizar una variación de consigna limitada al rango útil al girar la perilla del potenciómetro utilizado es necesario hallar un factor de escalamiento de lectura  $K_{in}$ :

$$K_{in} = \frac{4095}{V_{i_{intMax}}} = \frac{4095}{\frac{4095}{1 + SP}}$$
$$K_{in} = 1 + SP \quad (64)$$

$V_{i_{intMax}} =$  Valor máximo de consigna en formato digital (entero)

Dando como resultado una consigna en formato entero equivalente a (65), donde se han utilizado nuevamente exponentiales decimales para mantener la precisión al utilizar un factor  $K_{in}$  con valores decimales.

$$V_{i_{int}} = \frac{V_{ADC_{int}} 10^n}{K_{in} 10^n} \quad (65)$$

Por último, para evitar sobrepasar los valores límites de consigna, se han establecido condicionales dentro de la rutina de programación, los cuales actuarán como limitadores de los valores de consigna a ser introducidos en el controlador PID. Estos limitadores vendrán dados por:

$$V_{i_{int}} > \frac{4095}{1 + SP} \rightarrow V_{i_{int}} = \frac{4095}{1 + SP}$$

$$V_{i_{int}} < 0 \rightarrow V_{i_{int}} = 0$$

### **3.7. Pruebas prácticas bajo carga y ajustes**

Durante el desarrollo de esta fase se realizaron pruebas de todas las rutinas de control previamente diseñadas para lograr la adaptación del sistema de control del convertidor CA/CC. Estas pruebas se realizaron con miras a evaluar el funcionamiento del sistema, su potencia máxima de salida, el rendimiento del mismo y su regulación.

#### **3.7.1. Pruebas de acondicionamiento de señales de alimentación**

Durante el desarrollo de esta etapa se verificó el funcionamiento de todos los circuitos acondicionadores de señales utilizados dentro del sistema del convertidor CA/CC, asegurando que las señales atenuadas obtenidas representaran con fidelidad a sus equivalentes de alta tensión sin causar daños a la sección de control.

### **3.7.2. Pruebas de sincronización de pulsos de disparo**

Debido a su papel protagónico dentro del convertidor, se realizaron pruebas para verificar el funcionamiento de la lógica de sincronización de pulsos de disparo. Esto implicó verificar las señales de sincronización correspondientes al cruce por cero de las tensiones de línea (o la equivalente intersección de las tensiones de fase).

### **3.7.3. Pruebas de acondicionamiento de pulsos de disparo**

Debido a la alta magnitud de las tensiones utilizadas, fue necesario verificar que los pulsos de disparo generados por la lógica de control programada pudieran ser correctamente utilizados en el puente rectificador una vez que los mismos fueran adaptados y aislados respecto a la sección de electrónica y control.

### **3.7.4. Pruebas de rectificación trifásica controlada por fase a frecuencia de línea**

Utilizando una fuente de alimentación trifásica variable de menor magnitud que el transformador trifásico utilizado se realizaron las pruebas de funcionamiento de la programación de ajuste de consigna, utilizada en este caso para fijar el ángulo de disparo a utilizar en la forma de flancos de retraso de disparo. De igual forma, se verificó el funcionamiento de la lógica de control para la generación de pulsos de disparo de los SCR en base al ángulo de disparo utilizado.

El correcto funcionamiento del lazo de realimentación dependerá en gran parte de la exactitud que posean los valores leídos por el ADC de la señal de salida del convertidor.

Debido a esto, durante estas pruebas también se verificó la exactitud de las señales acondicionadas equivalentes a la tensión de salida del convertidor CA/CC, tomando en cuenta factores como ruido o variaciones de alta frecuencia debido a los elementos conmutadores presentes en el sistema.

Cabe destacar que durante estas pruebas no se utilizó el filtro pasivo del convertidor CA/CC como medida de precaución ante posibles variaciones bruscas de tensión que fueran capaces de generar daños a los condensadores utilizados.

### **3.7.5. Pruebas de convertidor CA/CC a lazo abierto**

Una vez asegurado el funcionamiento de las rutinas de control correspondientes, se conectó la entrada del puente rectificador de SCRs al transformador elevador trifásico, así como también se conectó el filtro pasivo en la salida del convertidor. Este montaje del convertidor CA/CC a lazo abierto permitió realizar una serie de medidas de tensión de salida en función del ángulo de disparo utilizado, las cuales fueron utilizadas para obtener la función óptima a la cual aplicar la linealización por tramos para ser utilizada en la programación del actuador en el convertidor CA/CC a lazo cerrado.

### **3.7.6. Pruebas de convertidor CA/CC a lazo cerrado**

Una vez verificado el funcionamiento de cada elemento particular del sistema, se realizó la prueba de funcionamiento del convertidor CA/CC añadiendo el lazo de realimentación con el controlador PID y su respectivo actuador. Durante el desarrollo de estas pruebas se verificó el error en estado estacionario, oscilación y sobrepico de la tensión

de salida en CC del convertidor, registrando el efecto de la variación de consigna y de las constantes de cada componente del controlador PID.

### **3.7.7. Pruebas de regulación en convertidor CA/CC a lazo cerrado**

Por último, se realizaron las pruebas de regulación, donde se agregó progresivamente la carga descrita en la *sección 3.3.5* para verificar la estabilidad y variación de la tensión de salida del convertidor ante las variaciones de la carga en la salida del mismo.

## CAPÍTULO IV

### ANÁLISIS E INTERPRETACIÓN DE RESULTADOS

#### 4.1. Acondicionamiento de señales de alimentación

Utilizando los circuitos descritos en la *Figura 54*, se ajustaron los interruptores DIP de la tarjeta de circuitos divisores tensión para obtener un factor de atenuación de  $G_5$  mediante el uso conjunto con la tarjeta de aislamiento de señales. Esto permitió atenuar las tensiones de fase en la salida del transformador con valor eficaz de 280 V y obtener una señal bipolar con amplitud máxima de:

$$V_{bipolar} = V_\phi \cdot G_5 = 280 \cdot \sqrt{2} \cdot \frac{2}{120} = 6,6 \text{ V}$$

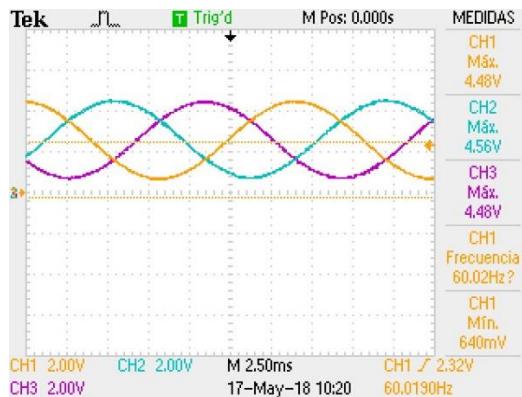
Al poseer esta señal bipolar una amplitud mayor a los 5 V, fue necesario utilizar los circuitos de ajuste de atenuación, lo cual permitió atenuar las señales bipolares tomando en cuenta posibles sobrepicos de tensión en la red de alimentación. De esta forma, las señales bipolares de salida utilizando la máxima impedancia posible en los potenciómetros de ajuste de atenuación tendrán como amplitud:

$$V_{bipolar \text{ atenuada max}} = 6,6 \cdot \frac{10k\Omega}{3k\Omega + 10k\Omega} = 5,07 \text{ V}$$

Al utilizar esta señal bipolar en el adaptador de señales, se obtiene una señal unipolar con valor máximo de:

$$V_{unipolar\ max} = \frac{5,07}{2} + 2,5 = 5,04 V$$

Las señales unipolares acondicionadas obtenidas se pueden observar en la *Figura 79*, siendo las mismas limitadas a valores entre los 0 V y 5 V para ser registradas por los convertidores analógicos a digitales de la tarjeta de desarrollo y aisladas como método de protección.



*Figura 79. Señales unipolares acondicionadas equivalentes a tensiones de fase de transformador trifásico*

Cabe destacar que estas señales obtenidas de forma práctica concuerdan con los resultados teóricos simulados en la *sección 3.5.1*, asegurando así la validez del circuito de acondicionamiento diseñado.

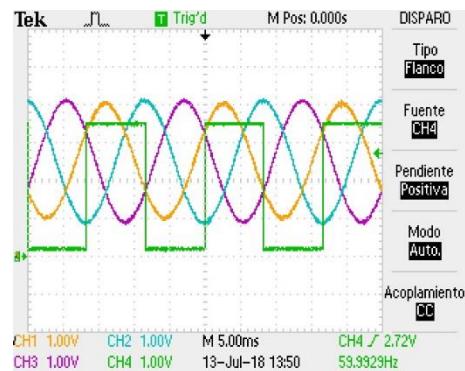
## 4.2. Sincronización de pulsos de disparo

Utilizando la lógica de detección de cruce por cero de las tensiones de línea programada en el FPGA se han obtenido las señales de sincronización presentadas en la **Figura 80**. En esta, se observan las señales unipolares acondicionadas correspondientes a las tensiones de fase, siendo la señal amarilla la tensión  $v_{an}$ , la señal azul la tensión  $v_{bn}$  y la señal roja la tensión  $v_{cn}$ . Estas señales son leídas por los convertidores analógicos a digitales presentes en la tarjeta de desarrollo, de forma tal que se introduzcan los datos correspondientes a la señal muestreada en el FPGA y se generen las señales de sincronización utilizando la rutina de control planteada en la **sección 3.6.2**.

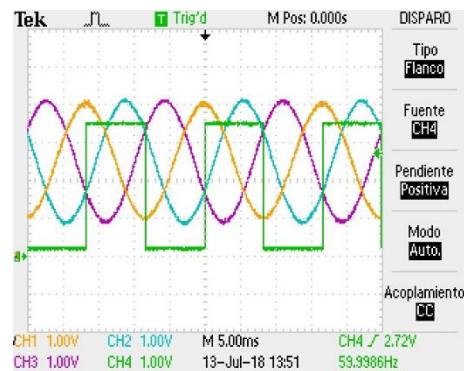
Al detallar las señales de sincronización obtenidas, se puede corroborar que las mismas corresponden a la **Tabla 3**, cambiando sus valores a un valor lógico positivo en el instante de conducción natural de cada SCR (intersección de tensiones de fase o cruce por cero de tensiones de línea). De igual forma, es posible corroborar que cada señal de sincronización posee un valor lógico alto durante el transcurso del semiciclo positivo de su correspondiente tensión de línea (aproximadamente 8,33 ms).

Estas señales obtenidas de forma práctica concuerdan con los resultados teóricos simulados en la **sección 3.5.2**, asegurando así la validez de la lógica de sincronización de disparos diseñada.

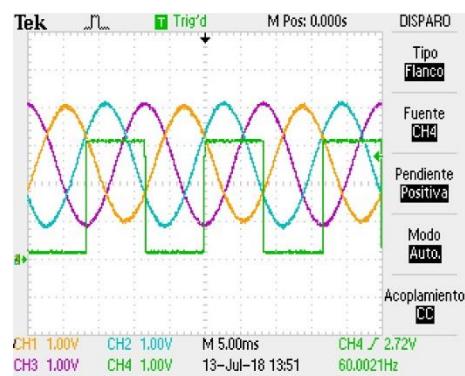
**ZCD SCR1**



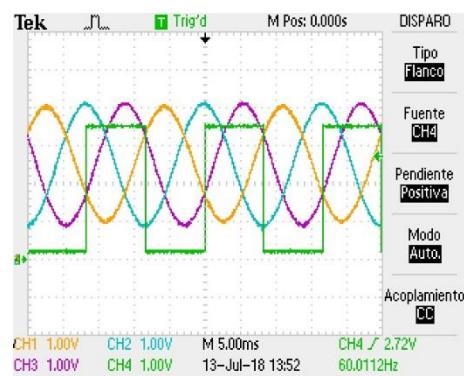
**ZCD SCR2**



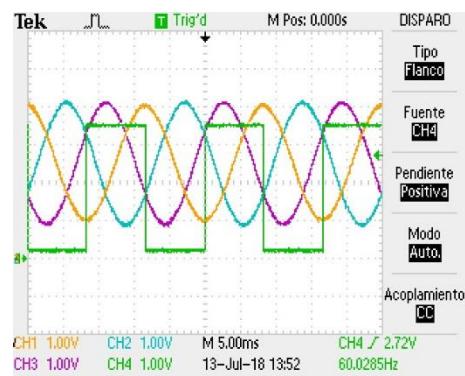
**ZCD SCR3**



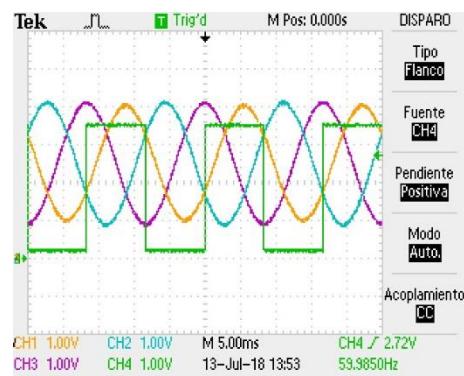
**ZCD SCR4**



**ZCD SCR5**



**ZCD SCR6**



**Figura 80.** Señales de sincronización obtenidas a partir de señales acondicionadas equivalentes a tensiones de fase del transformado trifásico

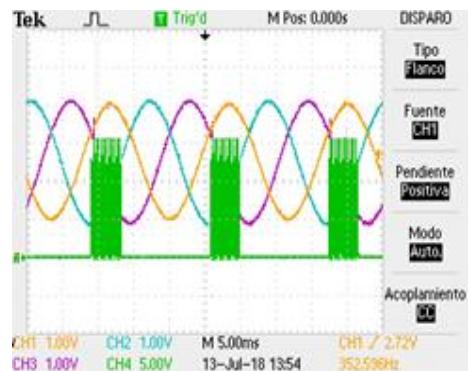
### 4.3. Acondicionamiento de pulsos de disparo

Utilizando las señales de sincronización obtenidas anteriormente y los circuitos descritos en la *Figura 41* se obtuvieron los trenes de pulsos mostrados en la *Figura 81*. Estos evidencian el funcionamiento de la rutina de generación de los trenes de pulsos de disparo, permitiendo variar tanto el instante de generación de estos a partir del instante de conducción natural ( $\alpha = 0^\circ$ ) como la duración de los mismos (limitando en este caso la duración de los pulsos a  $90^\circ$  o su equivalente en tiempo de  $4,16\text{ ms}$ , calculado a partir de (57)). Esta última característica resulta especialmente útil a la hora de trabajar con cargas que requieran corrientes menores a la corriente de mantenimiento de los tiristores en el puente rectificador, permitiendo enviar pulsos desde el instante correspondiente al ángulo de disparo utilizado hasta el instante de desactivación de la señal de sincronización correspondiente. Cabe destacar que estos trenes de pulsos fueron medidos en la salida de los controladores *IR2110*, lo cual se evidencia al observar su amplitud cercana a los  $15\text{ V}$ .

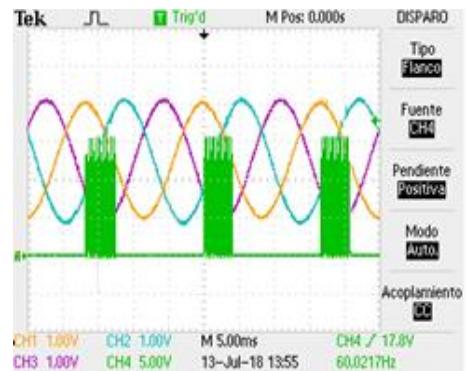
Una vez verificada la generación de los pulsos de disparo y su acondicionamiento de nivel, se verificaron las señales de disparo obtenidas en la salida de los circuitos acondicionadores de disparo descritos en la *sección 3.3.3*, lo cual se observa en la *Figura 82*. Cabe destacar que el uso de un tren de pulsos en la salida del FPGA permite obtener señales de disparo de larga duración a pesar del uso de los transformadores de pulso, lo cual no puede lograrse al utilizar un único pulso de disparo de larga duración (debido a la necesidad de usar una señal alterna para inducir una tensión en el lado secundario del transformador de pulso).

Observando los resultados obtenidos, se corrobora la utilidad de los pulsos de disparo que serán enviados hacia los SCR en el puente rectificador según el ángulo de disparo utilizado, lo cual confirma la validez del circuito diseñado y simulado en la *sección 3.5.3*.

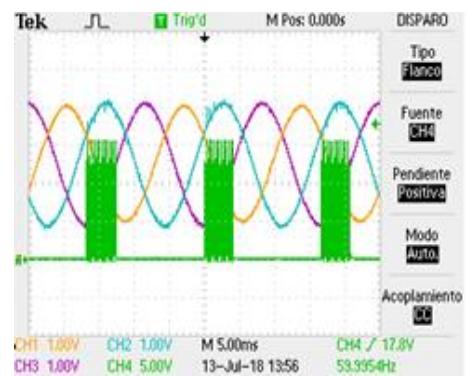
### Pulsos SCR1



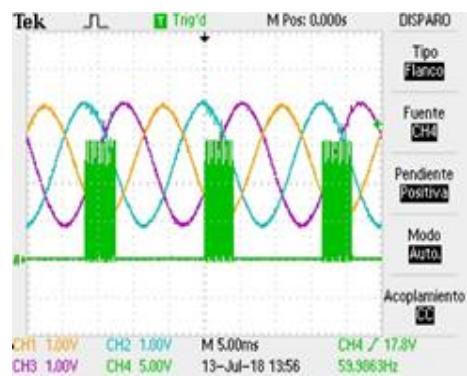
### Pulsos SCR2



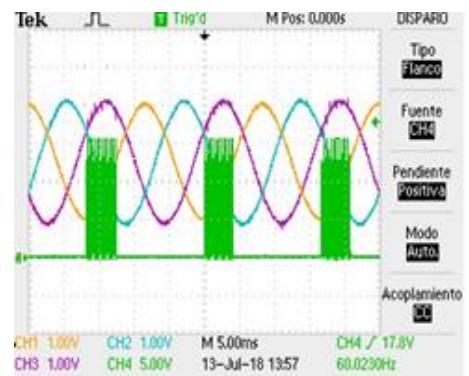
### Pulsos SCR3



### Pulsos SCR4



### Pulsos SCR5



### Pulsos SCR6

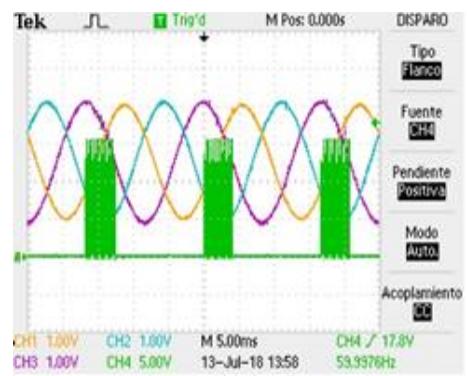
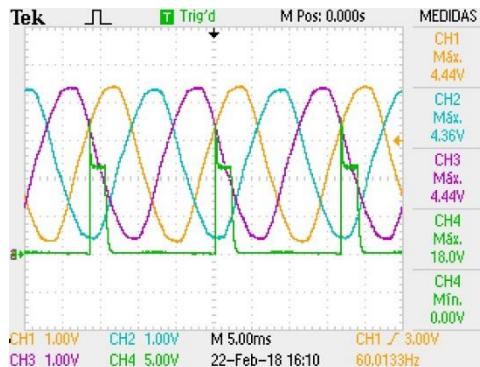
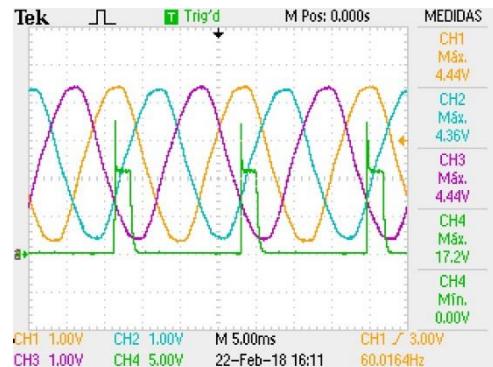


Figura 81. Trenes de pulsos de disparo en la salida de los controladores IR2110 con  $\alpha=0^\circ$

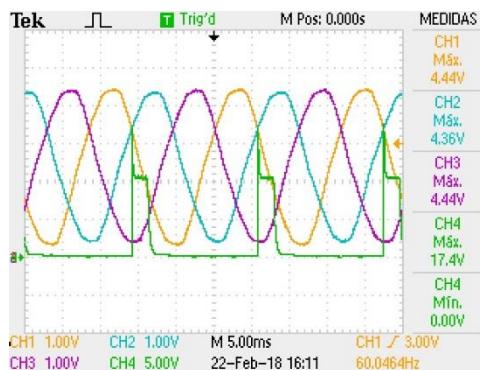
### Pulsos SCR1



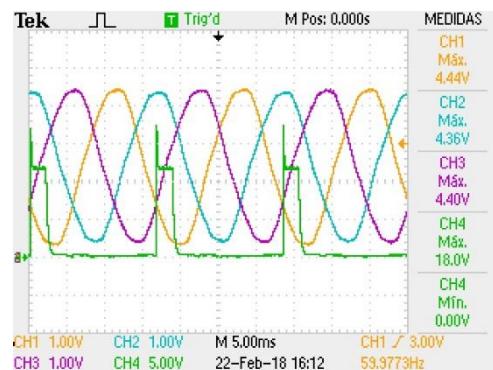
### Pulsos SCR2



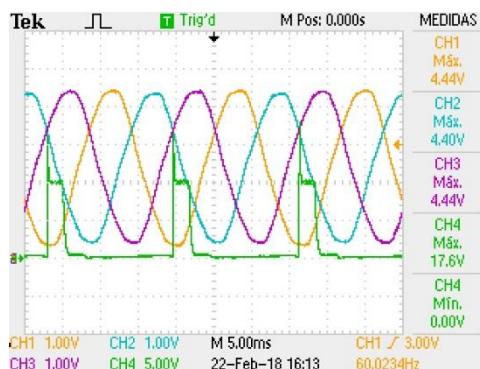
### Pulsos SCR3



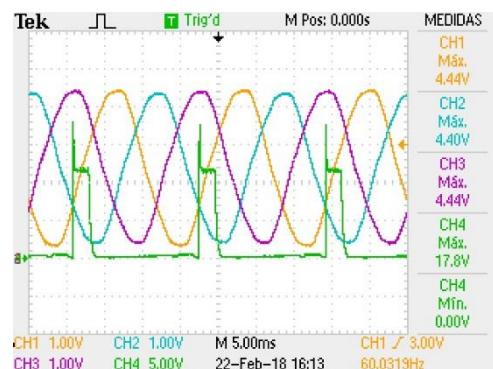
### Pulsos SCR4



### Pulsos SCR5



### Pulsos SCR6



**Figura 82.** Pulsos de disparo en la salida de los circuitos de acondicionamiento de pulsos con  $\alpha=0^\circ$

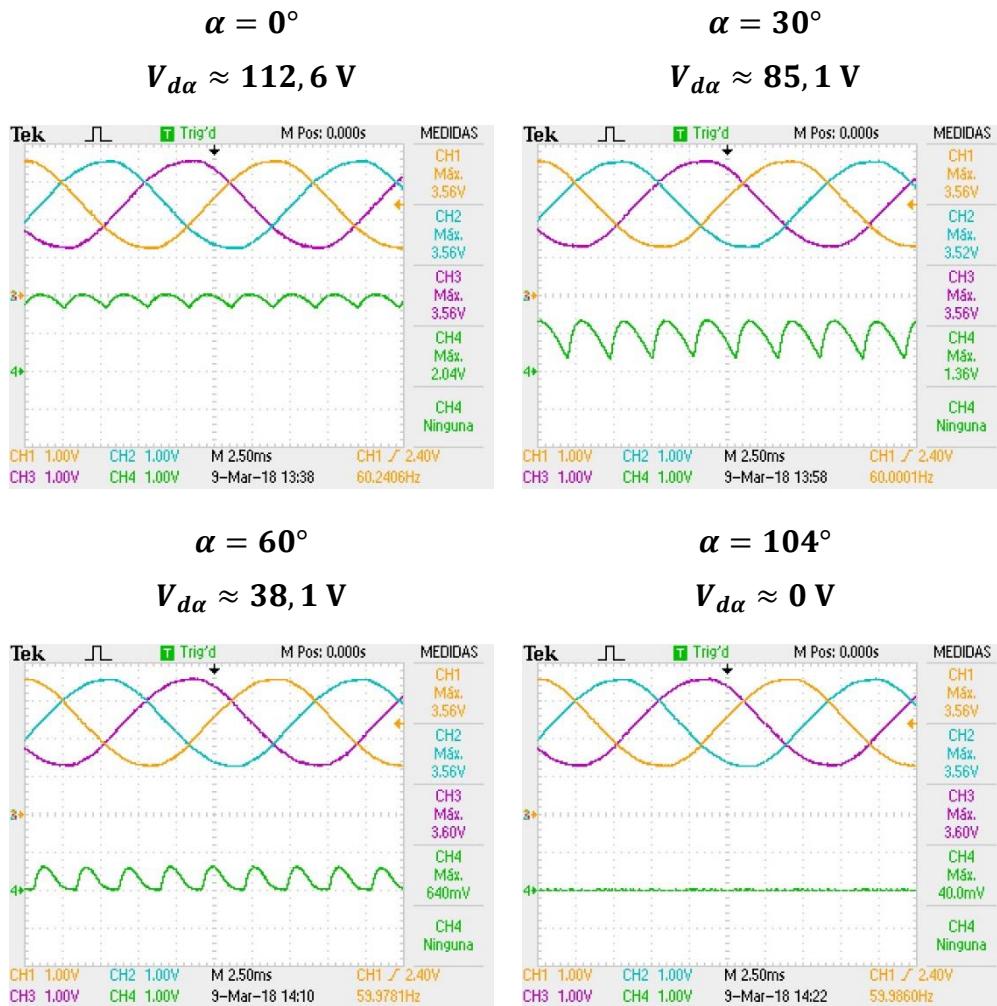
#### 4.4. Rectificador trifásico controlado por fase a frecuencia de línea

Las pruebas de verificación del funcionamiento de la lógica de control de consigna, de la rutina de generación de disparos basados en un ángulo de retraso  $\alpha$  y del acondicionamiento de la señal de salida se realizaron utilizando una fuente de alimentación trifásica controlada conformada por 3 auto transformadores conectados en configuración estrella y con una tensión de fase de 50 V en conjunto con una topología de rectificador trifásico controlado sin lazo de realimentación, ignorando en principio la inclusión del filtro pasivo. De esta forma, se utilizó como elemento de carga conectado en la salida del puente rectificador un bombillo incandescente de 120 V y 60 W de potencia, completando el circuito presentado anteriormente en la *Figura 61*. Las formas de ondas resultantes se pueden observar en la *Figura 83*.

Estas señales resultantes evidencian en primer lugar cómo la señal de salida  $v_d$  ha sido exitosamente atenuada y aislada respecto a la sección de potencia, obteniendo señales de salida de baja magnitud mediante el uso conjunto de la tarjeta de circuitos divisores de tensión y la tarjeta de aislamiento de señales. Tomando en cuenta la modificación de los interruptores DIP en la tarjeta de circuitos divisores de tensión para utilizar la mayor atenuación en los mismos ( $G_5 = 2/120$ ) y al utilizar tensiones de fase de 50 V se limita la señal equivalente a la tensión de salida a un valor máximo de:

$$v_{d\text{ ADC\_Max}} = \frac{2}{120} \cdot \sqrt{2} \cdot V_{LL} = \frac{2}{120} \cdot \sqrt{2} \cdot \sqrt{3} \cdot 50 = 2,04 \text{ V}$$

Valor observado en la primera señal de la *Figura 83*, correspondiente a un ángulo de disparo igual a 0°.



**Figura 83.** Señales de salida para rectificador trifásico controlado utilizando fuente trifásica variable ( $V_\phi = 50 \text{ V}$ ) y carga de  $120 \text{ V}/60 \text{ W}$

Una vez verificado el acondicionamiento de la señal de salida, es posible observar cómo la misma varía a medida que se aumenta el ángulo de retraso de disparo desde  $0^\circ$  hasta un valor aproximado de  $104^\circ$ , disminuyendo su valor promedio desde  $112,6 \text{ V}$  hasta un valor de  $0 \text{ V}$  en la salida. Este comportamiento concuerda con la información teórica previamente expuesta en la *sección 2.2.2.2* (con un pequeño rango extra de ángulos de disparo después de

los  $90^\circ$ ), con lo cual se puede confirmar el funcionamiento de las rutinas correspondientes de control de consigna y de generación de disparos en base a un ángulo de disparo y a las señales de sincronización previamente obtenidas.

Cabe destacar que la rutina de control de consigna fue modificada para otorgar flancos de retraso de disparo equivalentes al ángulo deseado, en lugar de las consignas de tensión en formato de enteros. Esto se debe a que durante estas pruebas no se añadió el controlador ni la sección de conversión de consigna a flancos de retraso de equivalentes (pruebas que fueron realizadas al añadir el lazo de realimentación). De esta forma, según el rango de ángulos de disparos utilizados:

$$\text{Rango de } \alpha = 0^\circ \text{ a } 104^\circ$$

Se obtuvieron los tiempos de retraso de disparo equivalentes utilizando (57) (tomando en cuenta que la frecuencia de red es de  $60\text{ Hz}$ ):

$$\text{Rango de } t_{\text{retraso}} = \frac{0^\circ}{2 \cdot 180^\circ \cdot 60\text{ Hz}} \text{ a } \frac{104^\circ}{2 \cdot 180^\circ \cdot 60\text{ Hz}} = 0\text{ ms a } 4,845\text{ ms}$$

Posteriormente, utilizando (59), se obtuvo el rango de flancos de retraso de disparo en enteros a abarcar durante las pruebas:

$$\text{Rango de Flancos}_{\alpha-\text{retraso}} = 0 \text{ a } 0,04845 \cdot 100 \cdot 10^6 = 0 \text{ a } 484500$$

Estas señales obtenidas de forma práctica concuerdan con los resultados teóricos simulados en la **sección 3.5.5**, asegurando así la validez del sistema diseñado de rectificación trifásica controlada.

#### 4.5. Convertidor CA/CC a lazo abierto

Ya verificado el funcionamiento de las rutinas de control para el rectificador trifásico controlado, se conectó el transformador elevador trifásico, el filtro pasivo y una carga de 3 bombillos incandescentes de 1000 W/220 V al sistema (es decir, una de las ramas de la carga descrita en la **Figura 44**), obteniendo así el montaje correspondiente al convertidor CA/CC sin lazo de realimentación (descrito en la **Figura 63**). Este montaje permitió realizar una serie de medidas de tensión de salida en función del ángulo de disparo utilizado, las cuales fueron utilizadas para obtener la función óptima a ser utilizada en la programación del actuador en el convertidor CA/CC a lazo cerrado.

Tomando los datos de la **Tabla 4**, se tienen como tensiones en el lado secundario del transformador:

$$V_\emptyset = 280 \text{ V}$$

$$V_{LL} = 485 \text{ V}$$

Lo cual implica que la tensión promedio máxima de salida es igual a:

$$V_{d\alpha_{max}} = V_{do} = 1,35V_{LL}\cos(0^\circ) = 1,35 \cdot 485 \text{ V} = 654,75 \text{ V}$$

Este nivel de tensión elevado a la salida requirió el uso conjunto del circuito divisor de alta tensión, la tarjeta de circuitos divisores resistivos (configurando el interruptor DIP correspondiente para obtener la atenuación  $G_1$  de 2/8) y la tarjeta de aislamiento de señales para permitir la adquisición de la señal de salida acondicionada, tal como se describió en el ejemplo de la **Figura 52**. Esto permite obtener un factor de atenuación de:

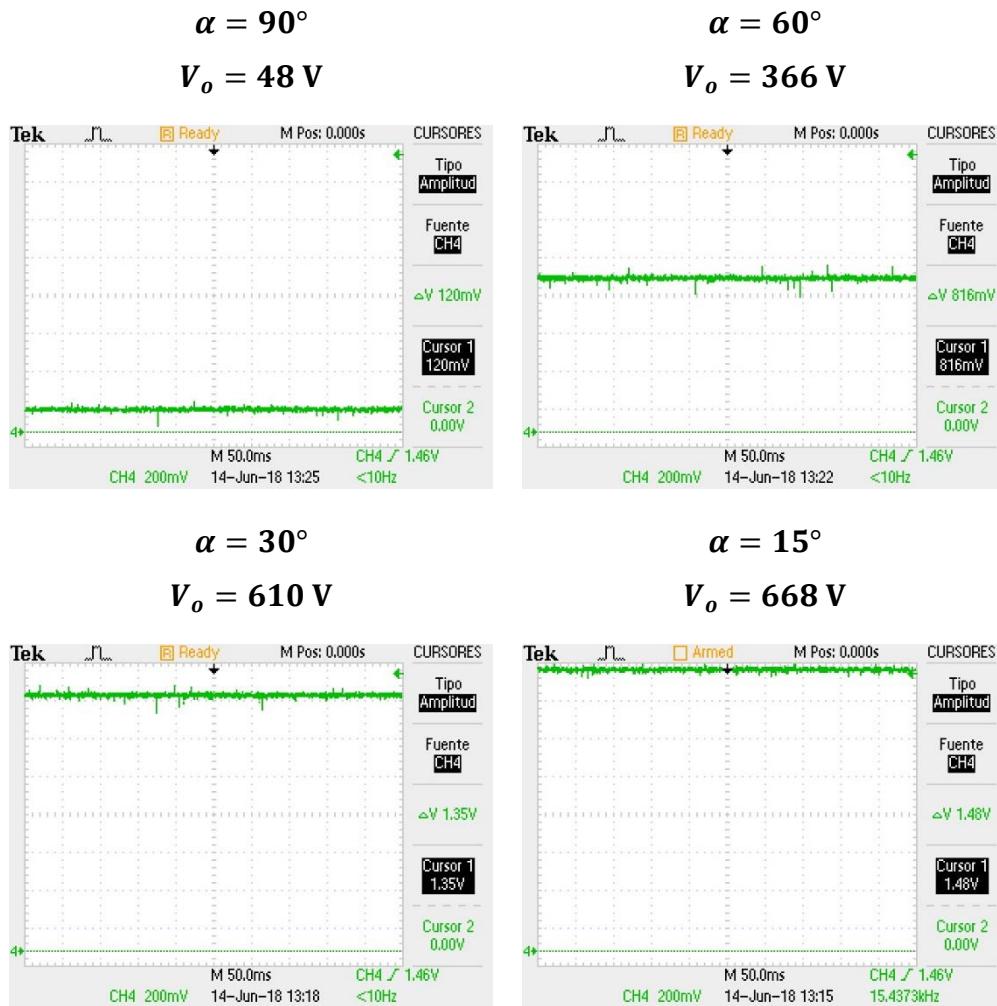
$$G_T = \frac{2k}{2 \cdot 400k + 2 \cdot 3k + 2 \cdot 1k} = \frac{2}{808}$$

Siendo así la tensión máxima capaz de ser leída por el ADC equivalente a:

$$5 \text{ V} = G_T V_{o_{max}}$$

$$V_{o_{max}} = \frac{5 \text{ V}}{\frac{2}{808}} = 2020 \text{ V}$$

De esta forma, se presentan algunas de las señales de salida obtenidas para el convertidor CA/CC a lazo abierto en la **Figura 84**.



**Figura 84.** Señales de salida para convertidor CA/CC a lazo abierto con carga de 3 bombillos incandescentes de 1000 W/220 V

Analizando estas señales de salida es posible observar cómo las mismas corresponden a una tensión en CC, logrando eliminar gran parte del rizado gracias a la acción del filtro pasivo y aumentando su magnitud mientras se disminuye el ángulo de disparo utilizado. Un detalle importante al momento de realizar estas pruebas a lazo abierto recae en el hecho de que es imperativo conectar una carga en la salida del convertidor al momento de energizar el mismo, debido a que el banco de condensadores utilizado puede generar un sobrepico

considerable de tensión en la salida si no hay una carga conectada al mismo al momento de permitir el paso de corriente desde el puente rectificador al filtro.

Otro detalle importante a analizar en las señales de salida se presenta en la forma de transitorios indeseados presentados en la **Figura 85(a)**, los cuales se generan como producto de la variación del valor lógico de los pulsos de disparo introducidos al puente rectificador (comutación de los SCR). Esto se evidencia al tomar en cuenta que el período del tren de pulsos está determinado por un contador basado en la señal de reloj de 100 MHz dentro de la tarjeta de desarrollo. Este contador ha sido configurado para cambiar el valor lógico de la señal de pulso de disparo al registrar 2083 flancos de bajada de la señal de reloj, lo cual equivale a un tiempo de:

$$\frac{T_{tren\ de\ pulsos}}{2} = \frac{2083}{100\ MHz} = 20,83\ us$$

Aproximándose así al período de 21 us registrado mediante el uso del osciloscopio en la **Figura 85(a)**.

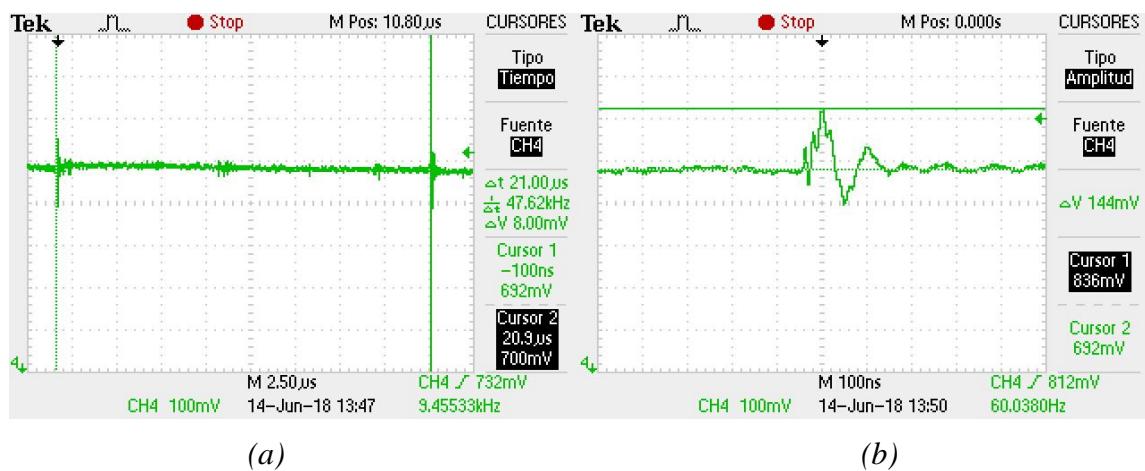
Un ejemplo de estos transitorios se presenta en la **Figura 85(b)**, donde es posible observar que los mismos poseen como características:

$$\Delta V_{o+} = \frac{\Delta V_{o+atenuada}}{G_T} \approx \frac{0,144\ V}{2/808} \approx 58,17\ V$$

$$\Delta V_{o-} = \frac{\Delta V_{o-\text{atenuada}}}{G_T} \approx \frac{0,084 \text{ V}}{2/808} \approx 33,93 \text{ V}$$

$$\text{Sobreelongación máxima} = M_p = \frac{c(t_p) - c(\infty)}{c(\infty)} \cdot 100\% = 20,83\%$$

$$\text{Tiempo de asentamiento} = t_s = 184 \text{ ns}$$



**Figura 85.** Transitorios en la señal de salida del convertidor CA/CC a lazo abierto

Una vez analizados estos transitorios de tensión, se procedió a realizar la serie de mediciones de tensión en la salida del convertidor CA/CC a lazo abierto utilizando un multímetro UT50B (CAT II) de la marca UNI-T con precisión de  $\pm(0,5\% + 1V)$ , obteniendo la curva de tensiones en función del ángulo de disparo utilizado presentada en la **Figura 86**, donde se presenta de igual forma la curva de tensión promedio de salida esperada utilizando la ecuación (20).

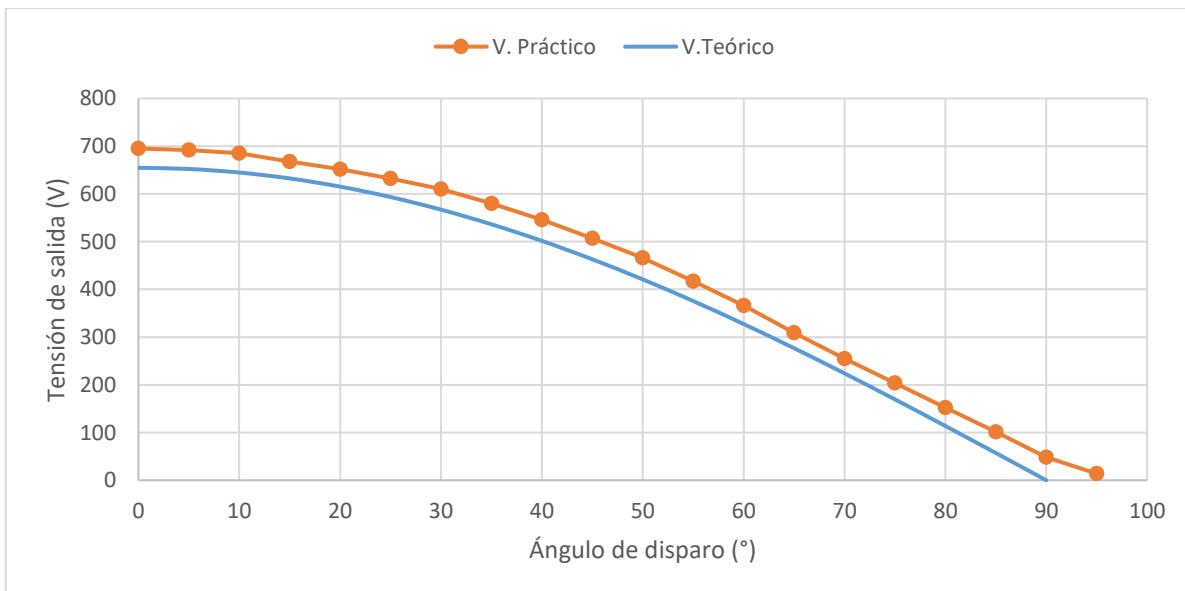
Tomando como referencia los datos presentados en la **sección 3.6.5.2**, se procedió a invertir las variables de la **Figura 86** para obtener la curva de ángulo de disparo en función

de la tensión deseada en la salida a utilizar en el actuador (tomando como referencia (53)). Ya obtenida la curva a utilizar, se procedió a obtener su equivalente convirtiendo sus variables al formato digital a utilizar, obteniendo la equivalencia de ángulos a flancos de retraso de disparo (sustituyendo (57) en (59)) y la equivalencia de tensión deseada a valor entero de consigna (utilizando (48)). Es así como realizando la conversión de variables utilizando las ecuaciones:

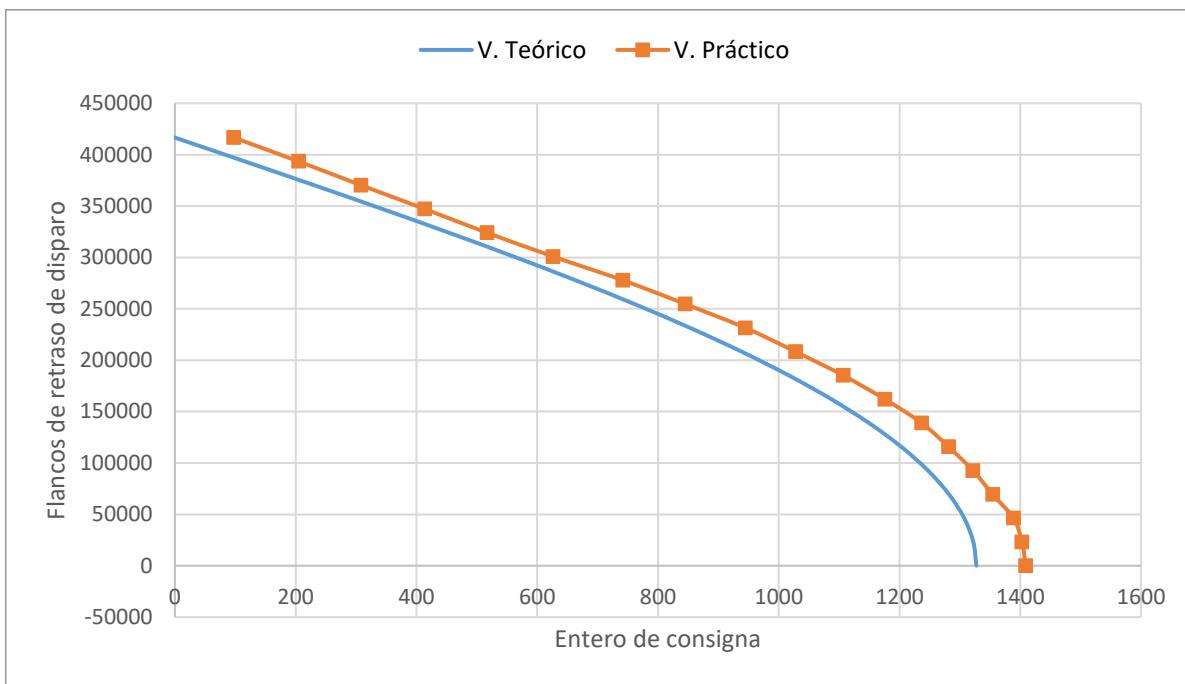
$$Flancos_{\alpha-\text{retraso}} = \frac{\alpha}{2\pi f} 100 \cdot 10^6$$

$$V_{i_{int}} = 4095 \frac{V_i}{V_{o_{max}}} = 4095 \frac{V_i}{2020 V}$$

Se obtiene la curva a ser aproximada linealmente en la *Figura 87*.



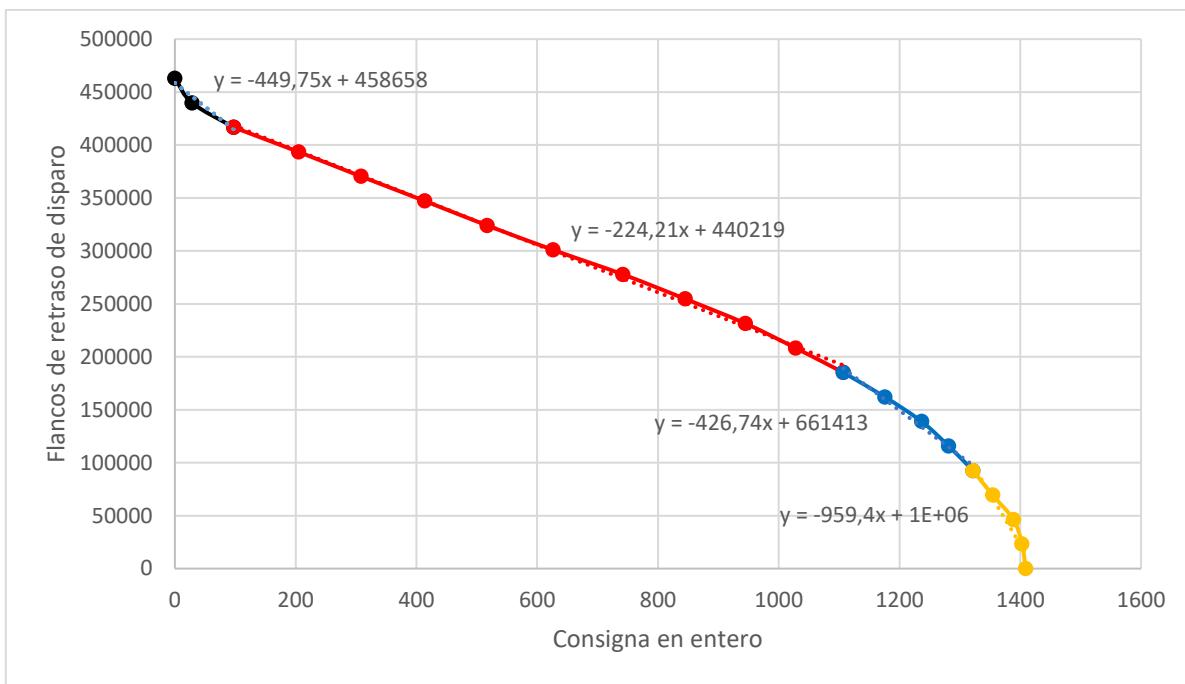
**Figura 86.** Curva de tensión de salida en función al ángulo de disparo para convertidor CA/CC con carga de 3 bombillos incandescentes de 1000 W/220 V



**Figura 87.** Curva de flancos de retraso de disparo en función de consigna en entero para convertidor CA/CC con carga de 3 bombillos incandescentes de 1000 W/220 V

La cual al aproximarse linealmente por tramos da como resultado la función a trozos:

$$Flancos_{\alpha-retrazo} = \begin{cases} -449,75V_{i_{int}} + 458658, & 0 \leq V_{i_{int}} < 97 \\ -224,21V_{i_{int}} + 440219, & 97 \leq V_{i_{int}} < 1107 \\ -426,74V_{i_{int}} + 661413, & 1107 \leq V_{i_{int}} < 1322 \\ -959,4V_{i_{int}} + 10^6, & 1322 \leq V_{i_{int}} < 1409 \\ 0, & 1409 \leq V_{i_{int}} \end{cases}$$



**Figura 88.** Aproximación lineal por tramos de función flancos de retraso de disparo en función de consigna en entero para convertidor CA/CC con carga de 3 bombillos incandescentes de 1000 W/220 V

La obtención de señales en CC de forma práctica concuerda con los resultados teóricos simulados en la [sección 3.5.6](#), asegurando así la validez del sistema diseñado del convertidor CA/CC a lazo abierto.

#### 4.6. Convertidor CA/CC a lazo cerrado

Una vez adquiridas las curvas correspondientes a ser programadas en el actuador del sistema de control, se procedió a realizar las pruebas de funcionamiento del convertidor CA/CC añadiendo el lazo de realimentación. Dentro de las mismas se hizo énfasis en el ajuste de las rutinas de control de consigna, ajuste de constantes del controlador PID y evaluación

de las funciones programadas en el actuador del FPGA obtenidas mediante el método de aproximación lineal según la respuesta del sistema a lazo abierto.

En primer lugar, se calcula el rango útil de consignas en formato entero a utilizar y el factor de escalamiento de consigna para abarcar exclusivamente este rango de valores al girar la perilla del potenciómetro. De esta forma, tomando en cuenta los datos obtenidos en la **sección 4.5** se obtiene:

$$V_\emptyset = 280 \text{ V}$$

$$V_{LL} = 485 \text{ V}$$

$$V_{d\alpha_{max}} = V_{do} = 1,35V_{LL}\cos(0^\circ) = 1,35 \cdot 485 \text{ V} = 654,75 \text{ V}$$

$$V_{o_{max}} = 1,35V_{LL}(1 + SP) = 1,35 \cdot 485(1 + SP) = 2020 \text{ V}$$

$$SP = \frac{V_{o_{max}}}{1,35V_{LL}} - 1 = \frac{2020 \text{ V}}{1,35 \cdot 485 \text{ V}} - 1 = 2,0853 \text{ (208,53 %)}$$

$$Precisión_{V_o} = \frac{V_{o_{max}}}{4095} = \frac{2020 \text{ V}}{4095} = 0,49 \text{ V}$$

$$Rango\ util_{V_{i_{int}}} = 0 \text{ a } \frac{4095}{1 + SP} = 0 \text{ a } 1327$$

$$K_{in} = 1 + SP = 1 + 2,08 = 3,08$$

$$V_{i_{int}} = \frac{V_{ADC_{int}} 10^n}{K_{in} 10^n} = \frac{V_{ADC_{int}} 10^2}{3,08 \cdot 10^2}$$

Siendo la tensión esperada en la salida según la consigna en formato entero:

$$V_i = \frac{V_{i_{int}} V_{o_{max}}}{4095} = 2020 \text{ V} \frac{V_{i_{int}}}{4095}$$

Ya calculados todos los valores de importancia, se procedió a realizar la prueba de funcionamiento del convertidor con ganancia unitaria en la constante proporcional del controlador PID dentro del lazo de realimentación (o en este caso,  $K'_P = 1000000$  debido al uso de un factor de escalamiento  $K_{esc} = 1000000$ , según lo planteado en (35)). De igual forma, se ajustaron las constantes integral y derivativa a valores nulos para verificar el comportamiento del sistema. Los resultados de esta prueba se presentan en la **Tabla 11**, mientras que en la **Figura 89** se presentan algunas de las formas de ondas resultantes acordes a esta tabla de resultados. Cabe destacar que las formas de ondas obtenidas han sido atenuadas y acondicionadas utilizando el mismo circuito de acondicionamiento de señales de salida utilizado anteriormente en la **sección 4.5** y presentado en la **Figura 52**, por lo que las mismas poseen nuevamente un factor de atenuación de  $G_T = 2/808$ . De igual forma, se ha incluido una línea indicadora de nivel, la cual señala de forma aproximada la tensión de consigna utilizada durante la medición respectiva.

Analizando las señales obtenidas se puede observar cómo estas respuestas poseen un error en estado estacionario considerable, lo cual obliga a variar las constantes del controlador PID para ajustar la respuesta según la consigna deseada. De esta forma, cambiando las constantes de forma empírica a los valores presentados en la **Tabla 12** se obtienen los resultados presentados en la **Tabla 13** y las señales de respuesta presentadas en la **Figura 90**.

**Tabla 11.** Respuestas del convertidor CA/CC a lazo cerrado con ganancia unitaria

$V_i$ [V]	$V_o$ [V]	%Desviación
48	39	18,75
101	62	38,61
152	86	43,42
204	111	45,59
255	136	46,67
309	162	47,57

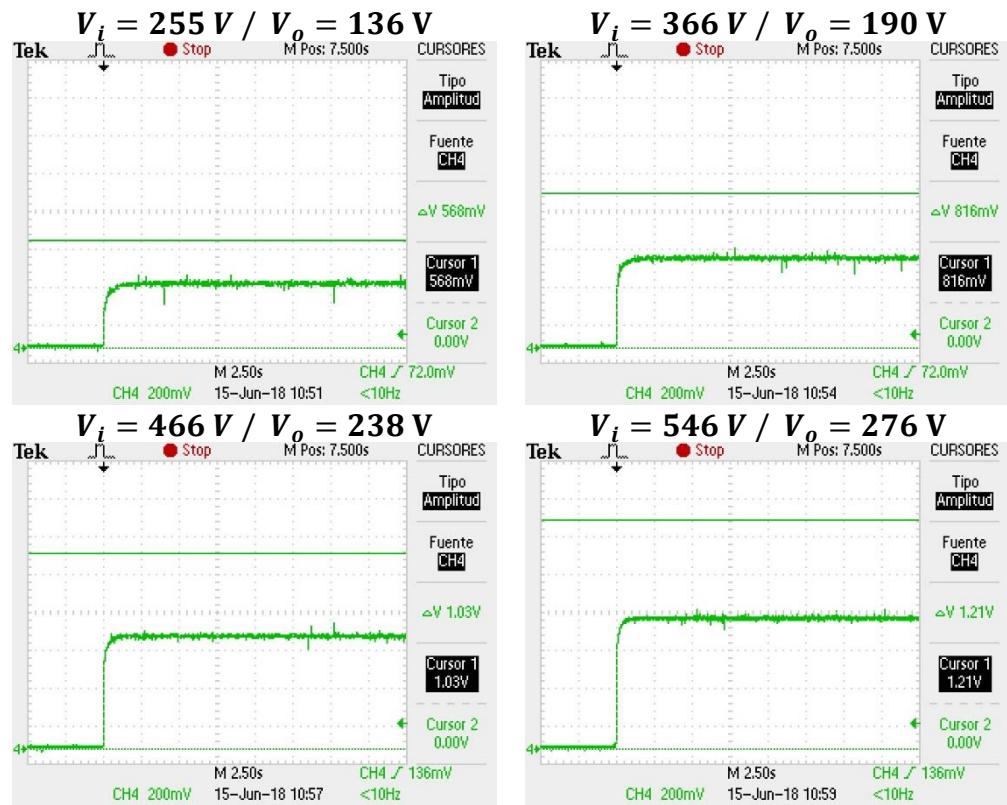
  

$V_i$ [V]	$V_o$ [V]	%Desviación
366	190	48,09
417	214	48,68
466	238	48,93
507	257	49,31
546	276	49,45

**Tabla 12.** Ajuste de constantes de controlador PID para convertidor CA/CC a lazo cerrado

	$K'_P = 100000$	$K_P = \frac{K'_P}{K_{esc}} = \frac{100000}{1000000} = 0,1$
$K''_I = 1$	$K'_I = \frac{K''_I}{T_m} = \frac{1}{800 \cdot 10^{-9}} = 1250000$	$K_I = \frac{K'_I}{K_{esc}} = \frac{1250000}{1000000} = 1,25$
$K''_D = 0$	$K'_D = K''_D T_m = 0$	$K_D = 0$

Estas señales resultantes evidencian un encendido suave respecto al escalón de consigna introducido sin la presencia de oscilaciones ni sobrepicos. Sin embargo, también se observa cómo las mismas presentan una amplitud mayor a la esperada en estado estacionario, lo cual es causado debido a un valor elevado en la constante integral del controlador PID.



**Figura 89.** Respuestas del convertidor CA/CC a lazo cerrado con ganancia unitaria

Debido a que las constantes utilizadas en el controlador diseñado dentro del FPGA están limitadas a valores enteros y que al realizar este ajuste se ha utilizado el menor valor posible de la constante integral para ajustar el error en estado estacionario, se optó por realizar un ajuste en la lógica de consigna programada dentro del controlador. De esta forma, tomando los datos de la **Tabla 13**, es posible obtener la función de consignas esperadas en formato entero en función de la consigna introducida presentada en la **Figura 91**.

**Tabla 13.** Respuestas del convertidor CA/CC a lazo cerrado con ajuste del controlador PID dentro de la zona lineal

<b><math>V_i [V]</math></b>	<b><math>V_o [V]</math></b>	<b>%Desviación</b>	<b><math>V_i [V]</math></b>	<b><math>V_o [V]</math></b>	<b>%Desviación</b>
48	85	77,08	366	401	9,56
101	137	35,64	417	452	8,39
152	188	23,68	466	484	3,86
204	240	17,65	507	484	4,54
255	291	14,12	546	484	11,36
309	344	11,33			

Al analizar esta función, es posible observar cómo la misma es una relación lineal gracias a la limitación del rango de trabajo del convertidor dentro de la mayor zona lineal de la **Figura 88** (correspondiente a un rango de valores aproximados entre  $48\text{ V}$  y  $546\text{ V}$ ), lo cual permite obtener un amplio rango de valores controlados mediante la acción del controlador PID. De esta forma, tomando en cuenta la limitación de valores de consigna dentro de la zona lineal y la relación lineal de ajuste de consigna, se obtienen como ecuaciones para ajustar la lógica de consigna:

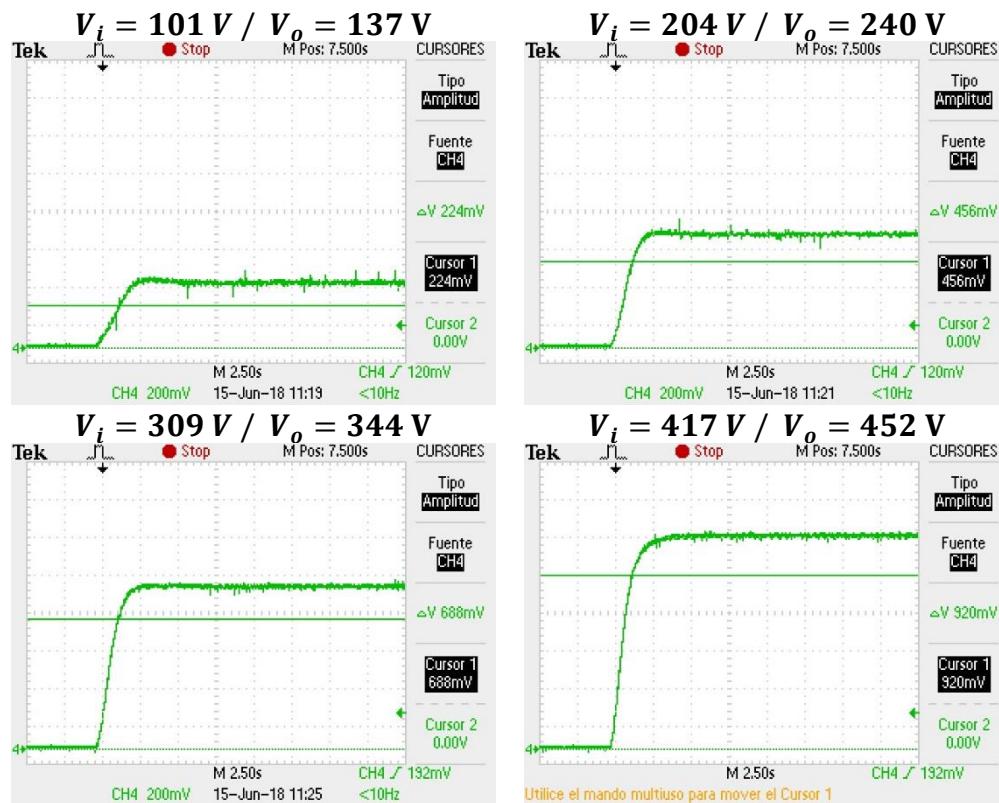
$$m = \frac{V_{i_{int}Max} - V_{i_{int}Min}}{V_{ADC_{int}Max} - V_{ADC_{int}Min}} = \frac{1107 - 97}{4095 - 0} = 0,246$$

$$b = V_{i_{int}Min} = 97$$

$$V_{i_{int}} = 0,246_{ADC_{int}} + 97 = \frac{246V_{ADC_{int}} + 97000}{1000}$$

$$V_{i_{intAjustado}} = 1,0045V_{i_{int}} - 74,904 = \frac{10045V_{i_{int}} + 749040}{10000}$$

$$V_{i_{intAjustado}} = 1,0045(0,246_{ADC_{int}} + 97) - 74,904 = 0,257V_{ADC_{int}} - 22,53$$



**Figura 90.** Respuestas del convertidor CA/CC a lazo cerrado con ajuste del controlador PID dentro de la zona lineal



**Figura 91.** Relación lineal de ajuste de consigna

Lo cual en conjunto con los siguientes condicionales aseguran el funcionamiento del convertidor dentro su zona lineal de operación mediante el ajuste del potenciómetro de consigna:

$$V_{i_{int}} > 1107 \rightarrow V_{i_{int}} = 1107$$

$$V_{i_{int}} < 97 \rightarrow V_{i_{int}} = 97$$

De esta forma, aplicando las correcciones dentro de la lógica de consigna, es posible obtener los resultados presentados en la **Tabla 14**, cuyas señales de respuesta correspondientes pueden ser observadas en la **Figura 92**.

**Tabla 14.** Respuestas del convertidor CA/CC a lazo cerrado con ajuste del controlador PID dentro de la zona lineal y ajuste de consigna

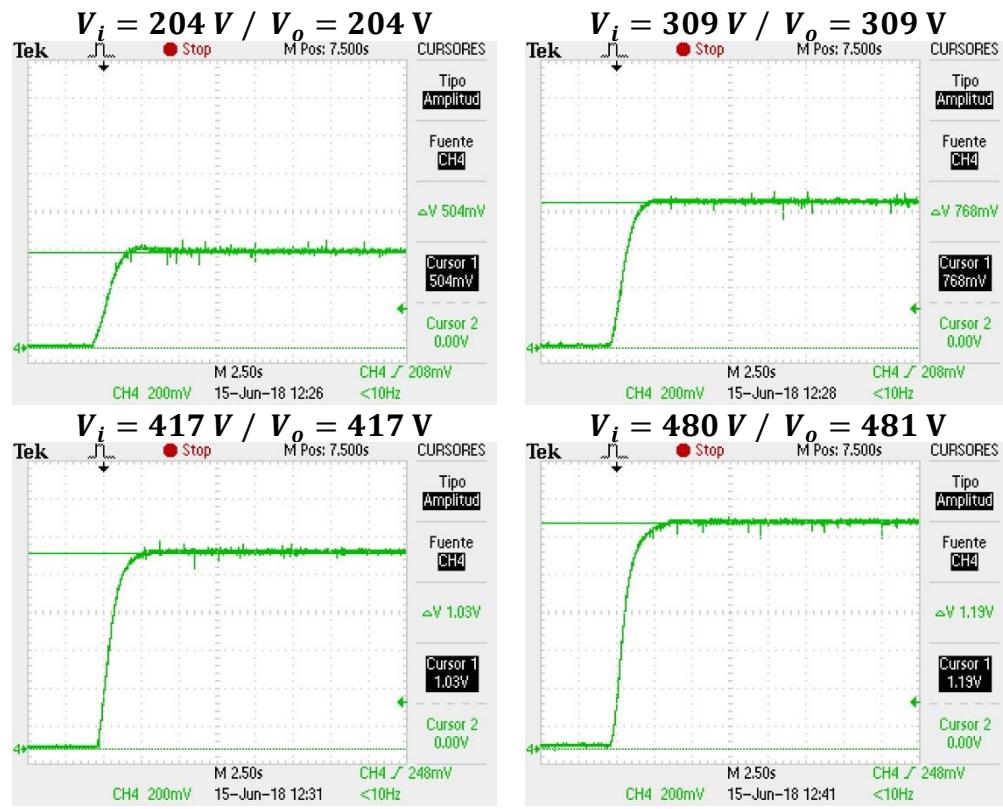
$V_i [V]$	$V_o [V]$	%Desviación
48	48	0
101	101	0
152	152	0
204	204	0
255	255	0

$V_i [V]$	$V_o [V]$	%Desviación
309	309	0
366	366	0
417	417	0
466	467	0,21
480	481	0,21

Estos resultados permiten confirmar el funcionamiento del controlador PID programado en conjunto con la lógica de consigna modificada, con un pequeño margen de error debido a la aproximación lineal realizada en la **Figura 88** pero con las ventajas de una respuesta sin sobrepico y un menor error en estado estacionario.

Al igual que en el caso anterior, es necesario recalcar que estas señales de salida ajustadas por el controlador aún presentan picos transitorios de tensión debido a la conmutación de los tiristores, lo cual demuestra nuevamente la importancia de conectar un elemento regulador con una gran velocidad de ajuste en la salida del convertidor para permitir obtener una salida regulada en CC.



**Figura 92.** Respuestas del convertidor CA/CC a lazo cerrado con ajuste del controlador PID dentro de la zona lineal y ajuste de consigna

La obtención de tensiones en CC acordes a las tensiones de consigna permite confirmar el funcionamiento de la lógica de control diseñada para el convertidor CA/CC a lazo cerrado, lo cual concuerda con los resultados teóricos simulados en la *sección 3.5.7* y permite validar el diseño realizado.

#### 4.7. Regulación en convertidor CA/CC a lazo cerrado

Una vez confirmado el funcionamiento del convertidor CA/CC a lazo cerrado, se procedió a realizar las pruebas de regulación utilizando la carga descrita en la *sección 3.3.5*,

lo cual permitió exigir una cantidad de corriente considerable y verificar de esta forma la variación en la tensión de salida obtenida.

Para lograr la medición de la corriente consumida por la carga, se optó por el uso de una resistencia shunt de  $250\text{ A} / 60\text{ mV}$  colocada en serie antes de la carga utilizada, de forma tal que la corriente de salida sea equivalente a:

$$I_o = 250 \frac{mV_{R_{Shunt}}}{60}$$

De igual forma, para obtener la regulación de tensión se aplica:

$$\varepsilon_V = \frac{V_{o,SC} - V_{o,CC}}{V_{o,SC}} 100\%$$

$\varepsilon_V$  = *Regulación de tensión*

$V_{o,SC}$  = *Tensión de salida con carga inicial*

$V_{o,CC}$  = *Tensión de salida con carga extra*

Cabe destacar que a pesar de que la fórmula de regulación plantea el uso de tensión de salida sin carga, se recuerda que al momento de utilizar el convertidor diseñado es necesario conectar una carga inicial a la salida del banco de condensadores, de forma tal que se eviten sobrepicos de tensión excesivos al momento de permitir la conducción desde el puente rectificador de tiristores hacia el filtro pasivo.

Por último, tomando en cuenta que la tensión máxima permitida dentro de la zona de trabajo lineal será equivalente a 481 V y que la corriente máxima de salida permitida estará en el orden de los 100 A, se tiene:

$$P_{Max} = 481 \text{ V} \cdot 100 \text{ A} = 48100 \text{ W} = 48,1 \text{ kW}$$

$$\%P = \frac{P_o}{P_{Max}} 100\% = \frac{P_o}{48100} 100\%$$

$P_{Max}$ = Potencia máxima de salida capaz de ser otorgada por el convertidor CA/CC

$P_o$ = Potencia de salida otorgada por el convertidor CA/CC

$\%P$ = Porcentaje de potencia de salida máxima utilizada

De esta forma, se presenta la **Tabla 15** comparativa de tensiones, corrientes, regulación y potencias obtenidas según la carga utilizada.

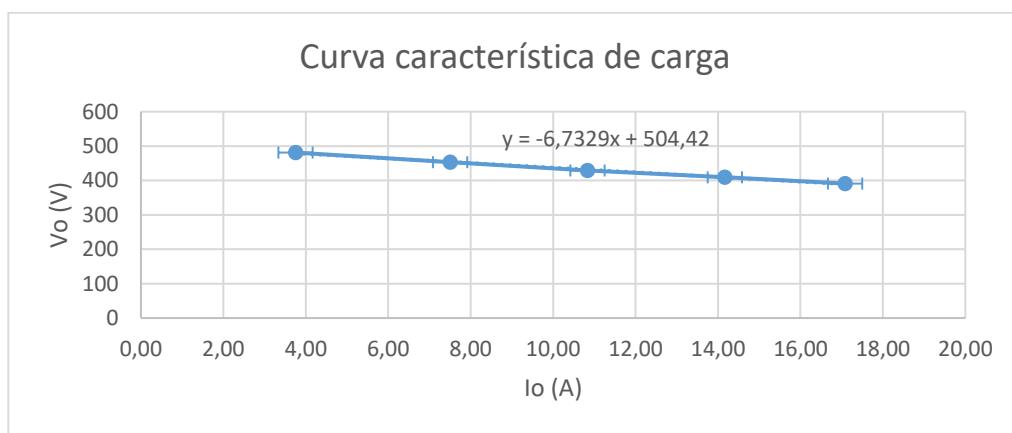
Con estos datos, ha sido posible graficar la curva característica de carga del convertidor en la **Figura 93**, la cual demuestra el comportamiento lineal de la regulación del mismo. Cabe destacar que la pendiente de esta función lineal es considerable, por lo que, nuevamente, se demuestra la importancia de diseñar una etapa de regulación para asegurar una tensión estable en la salida sin importar la carga utilizada.

El análisis de los resultados obtenidos permite verificar la regulación con pendiente negativa y comportamiento lineal a medida que se conecta más carga en la salida del convertidor CA/CC, lo cual concuerda con los datos teóricos presentados en la **sección**

2.2.2.2.4 y la simulación realizada en la sección 3.5.8, validando nuevamente el funcionamiento del convertidor diseñado según el comportamiento esperado del mismo.

**Tabla 15.** Regulación de convertidor CA/CC

Ramas	$V_i$ [V]	$V_o$ [V]	$V_{Rshunt}$ [V]	$I_o$ [V]	$\epsilon_V$ [%]	$P_o$ [kW]	%P [%]
S1	481	481	0,9	3,75	0	1,80	3,75
S1, S2	481	453	1,8	7,5	5,82	3,40	7,06
S1, S2, S3	481	429	2,6	10,83	10,81	4,65	9,66
S1, S2, S3, S4	481	409	3,4	14,16	14,96	5,79	12,05
S1, S2, S3, S4, S5	481	391	4,1	17,08	18,71	6,68	13,89



**Figura 93.** Regulación de convertidor CA/CC

## **CONCLUSIONES**

Gracias a la recopilación de datos teóricos realizada a través de la consulta de múltiples materiales bibliográficos y el análisis de cada uno de los componentes del convertidor CA/CC se ha logrado el desarrollo del presente trabajo de grado, permitiendo utilizar la información presentada en este tomo como referencia para futuros proyectos o modificaciones del mismo. De esta forma, se ha cumplido con el primer objetivo específico planteado.

Al realizar el análisis y estudio de las tarjetas de desarrollo equipadas con FPGA suministradas por la FIIIDT ha sido posible incluir las mismas en el lazo de control del convertidor mediante el uso del lenguaje descriptivo de hardware VHDL. Esto demuestra las capacidades de este tipo de tarjetas para ser utilizadas en futuros proyectos o en el diseño de sistemas de control para un requerimiento dado, otorgando las mismas un elemento de control capaz de realizar múltiples operaciones en paralelo a altas velocidades. Es de esta forma cómo la sustitución del antiguo sistema de control utilizando estas tarjetas de desarrollo ha permitido cumplir con el segundo objetivo específico planteado.

Mediante el estudio y análisis de la información y diseños planteados en [1] por Unamo, se han logrado obtener los datos necesarios para realizar la adaptación del sistema de control a ser utilizado. Los principios básicos de la técnica de control diseñada previamente han sido plasmados en este tomo, siendo los mismos modificados según las necesidades encontradas para mejorar el diseño del sistema de control desarrollado. Mediante la presentación de estos datos analizados para ser utilizados como referencia para futuras investigaciones, se ha cumplido con el tercer objetivo específico planteado anteriormente.

Utilizando software de simulación de circuitos eléctricos, de procesamiento matemático y de diseño para dispositivos lógicos programables ha sido posible realizar la mayoría de las simulaciones involucradas en el desarrollo de este proyecto, cumpliendo con el cuarto objetivo propuesto y registrando los resultados obtenidos en el presente tomo. Cabe destacar que, debido a las limitaciones en las librerías de componentes, fue necesario utilizar múltiples softwares de simulación de circuitos eléctricos, lo cual se observa en el desarrollo del trabajo realizado al utilizar PSIM 9.0 de la empresa Powersim para realizar simulaciones en las cuales se hizo énfasis en los aspectos de electrónica de potencia y NI Multisim 14.0 de la empresa National Instruments al hacer énfasis en circuitos de electrónica con bajos niveles de tensión. El uso de herramientas de procesamiento matemático como MATLAB R2017a otorgan la posibilidad de realizar los análisis numéricos del sistema y su respuesta escalón, lo cual resulta especialmente útil al momento de diseñar el controlador y sus variables implicadas. Cabe destacar que al trabajar con este tipo de sistemas ha de tomarse en cuenta el comportamiento no lineal del mismo, así como la necesidad de conocer de forma precisa el punto de operación y el modelo de impedancia de carga a ser utilizado para obtener una representación matemática válida al momento de realizar las simulaciones correspondientes. Esta complejidad a la hora de trabajar con este tipo de sistemas permite corroborar la utilidad del uso de un controlador PID, el cual resulta adecuado al no conocer con exactitud todos los parámetros implicados en un proceso a controlar.

La adaptación de la técnica de control utilizada anteriormente implicó un estudio extensivo de los conceptos relacionados al uso de FPGA y su programación utilizando el lenguaje descriptivo VHDL. Cabe destacar que durante el desarrollo del proyecto se encontraron diversas complicaciones debido a las capacidades limitadas del FPGA utilizado, sin embargo, mediante el uso de una programación basada en la equivalencia de valores digitales respecto a los datos adquiridos de las señales analógicas fue posible realizar la implementación del sistema de control en la nueva tarjeta de desarrollo, cumpliendo de esta manera con el quinto objetivo planteado.

Al realizar las pruebas de funcionamiento del convertidor CA/CC con el sistema de control adaptado es posible observar el funcionamiento parcialmente exitoso del mismo. Esto se debe a que, a pesar de lograr obtener señales de respuesta acordes a las simulaciones realizadas, se han obtenido múltiples problemas de regulación en la salida del convertidor, tanto a nivel de transitorios indeseados producto de la conmutación de los tiristores como a nivel de variación a la salida al momento de aumentar la carga utilizada. Una vez realizada esta evaluación de desempeño y regulación del convertidor y confirmar el funcionamiento esperado de la fuente sin la adición de una etapa de regulación, se confirma el cumplimiento del último objetivo planteado.

Una vez cumplidos todos los objetivos específicos planteados, es posible confirmar la interrogante principal en la cual ha sido basado el presente proyecto, asegurando de esta forma la posibilidad de adaptar el sistema de control digital diseñado previamente en la FIIIDT para controlar un convertidor CA/CC utilizando las tarjetas de desarrollo equipadas con FPGA mediante el uso del lenguaje descriptivo de hardware VHDL.

## **RECOMENDACIONES**

Es importante señalar que durante el desarrollo de este proyecto se ha logrado la adaptación del sistema de control para el convertidor CA/CC utilizando una tarjeta de desarrollo equipada con FPGA sin la adición de la sección de regulación previamente diseñada. Esto se debe a las limitaciones físicas del FPGA utilizado, presentando el mismo un número limitado de elementos lógicos a ser utilizados para lograr la adaptación deseada. De esta forma, al momento de realizar futuros desarrollos o proyectos se plantea el uso de un FPGA con mayores capacidades y recursos, tales como los dispositivos de la serie Cyclone más actuales.

Debido a la gran cantidad de variables analógicas a ser registradas para el correcto desempeño del sistema de control (entre las cuales se encuentran las tensiones de fase/tensiones de línea en la alimentación del sistema, la tensión de salida no regulada, la tensión de salida regulada, la corriente de entrada, la corriente de salida no regulada, la corriente de salida regulada y la interfaz usuario-máquina para establecer la consigna deseada) se plantea el diseño de una tarjeta de desarrollo con un mayor número de convertidores analógicos a digitales, capaces de adquirir todas las variables involucradas en el sistema.

A nivel de sistemas de control, se ha podido observar cómo el sistema presenta un comportamiento no lineal, variando además según la impedancia de carga conectada en paralelo al banco de condensadores utilizado. Tomando en cuenta que los controladores PID presentan como limitación el hecho de que los mismos actúan de manera lineal, se propone en primer lugar el desarrollo de una rutina de sintonización automática de las constantes

utilizadas en el controlador al momento de variar la carga utilizada, basada en la programación de algún método de sintonización (tal como el método de Ziegler-Nichols). De igual forma, se plantea la limitación del rango de salida, de forma tal que el controlador trabaje en un rango de valores de salida cuyo comportamiento pueda ser aproximado de manera lineal.

La inclusión de una sección de regulación en el sistema se vuelve imperativa a la hora de diseñar una fuente de alimentación que provea una salida sin variaciones a la hora de conectar cualquier tipo de carga en la salida del convertidor. De esta forma, se plantea inclusión de un regulador basado en el principio de conmutación, capaz de otorgar una salida estable sin grandes pérdidas de rendimiento debido a la potencia consumida por el mismo. La inclusión de este regulador requiere de un convertidor analógico a digital dedicado a registrar la corriente de salida del convertidor, de manera tal que se encuentre una relación entre la variación de tensión en la salida según la corriente otorgada por el convertidor. Una vez hallada esta relación sería posible modificar nuevamente la lógica de consigna programa, de forma tal que se ajuste la misma para asegurar una tensión estable en la salida mediante la acción conjunta del controlador PID y la lógica modificada de consigna (la cual puede ser diseñada en base a otro controlador PID).

Una de las variables más importantes a tomar en cuenta para evaluar el desempeño del convertidor recae en la eficacia del mismo. De esta forma, se plantea la necesidad de registrar tanto la tensión y la corriente de entrada del convertidor como la tensión y corriente de salida del mismo. Es así como mediante el diseño de una rutina de programación sería posible realizar los cálculos correspondientes para obtener la potencia de entrada, la potencia de salida y la eficacia del convertidor. Cabe destacar que el diseño de esta rutina de cálculos de variables debe ser realizada tomando en cuenta las limitaciones de la tarjeta de desarrollo a la hora de realizar cálculos, implicando de esta forma la utilización de variables

equivalentes en formato entero u operaciones en formato de punto flotante (en el caso de poseer más elementos lógicos disponibles).

Como última recomendación se plantea el desarrollo de una interfaz gráfica, la cual permitiría al usuario observar variables como tensiones, corrientes, potencias y eficacia tanto de forma numérica como visual, así como también permitiría el ajuste de las constantes del controlador y de la consigna. Cabe destacar que el uso de una interfaz gráfica implica del desarrollo de rutinas de comunicación, capaces de transmitir los datos recopilados en la tarjeta de desarrollo al HMI utilizado para su posterior exposición. De igual forma, es necesario tomar en cuenta la conversión de los datos transmitidos, debido a que las variables dentro del FPGA solo pueden ser almacenadas en formato de vectores binarios, enteros o vectores de bits equivalentes a una variable en formato de punto flotante.

## **REFERENCIAS BIBLIOGRÁFICAS**

- [1] Unamo, Jorge. «Diseño, elaboración e implementación de un rectificador trifásico controlado mediante PID digital como elemento primario de regulación para una fuente DC de laboratorio de 15 kW,» Caracas, 2006.
- [2] Alloza, Jesús. Montaje de componentes y periféricos microinformático, Antequera: IC Editorial, 2012.
- [3] Mohan, N. ;Undeland, T. y Robbins, W. Power Electronics. Converters, Applications and Design, Segunda ed., Toronto: John Wiley & Sons, Inc, 1995.
- [4] Rashid, Muhammad. Electrónica de potencia, circuitos, dispositivos y aplicaciones, Tercera ed., México: Pearson Educación, 2004.
- [5] Chu, Pong. FPGA Prototyping by VHDL Examples, Cleveland: Wiley-Interscience, 2008.
- [6] Wikipedia. «Controlador PID,» [En línea]. Available: [https://es.wikipedia.org/wiki/Controlador\\_PID](https://es.wikipedia.org/wiki/Controlador_PID). [Último acceso: 23 04 2018].
- [7] Hernández, R. ; Fernández, C. ; Baptista P. Metodología de la Investigación.Tercera Ed, México:McGraw Hill, 2003.
- [8] Jayachandran, Manikandan. «Control a three-phase full-wave rectifier with an FPGA,» *EE Times*, p. 4, 2006.

- [9] Pareja, Miguel. Diseño y desarrollo de circuitos impresos con KiCad, Primera ed., Madrid: RC Libros, 2010.
- [10] Dorf, R. y Bishop, R. Sistemas de control moderno, Décima ed., Madrid: Pearson Educación S.A., 2005.
- [11] Beauregard, Brett. «Improving the Beginner's PID» [En línea]. Available: <http://brettbeauregard.com/blog/2011/04/improving-the-beginners-pid-introduction/>. [Último acceso: 18 05 2018].

## BIBLIOGRAFÍA

- Alexander, C. y Sadiku, M. Fundamentos de Circuitos Eléctricos, Tercera ed., Madrid: McGraw-Hill, 2006.
- Alloza, Jesús. Montaje de componentes y periféricos microinformático, Antequera: IC Editorial, 2012.
- Beauregard, Brett. «Improving the Beginner's PID» [En línea]. Available: <http://brettbeauregard.com/blog/2011/04/improving-the-beginners-pid-introduction/>. [Último acceso: 18 05 2018].
- Bhasker, Jayaram. A VHDL Primer, Tercera ed., Allentown: Prentice Hall, 1999.
- Bose, Bimal. Modern Power Electronics and AC Drives, Primera ed., Prentice Hall, 2002.
- Chu, Pong. FPGA Prototyping by VHDL Examples, Cleveland: Wiley-Interscience, 2008.
- Coughlin, R. y Discroll F., Amplificadores operacionales y circuitos integrados lineales, Cuarta ed., Mexico: Prentice Hall Hispanoamericana.
- Dorf, R. y Bishop, R. Sistemas de control moderno, Décima ed., Madrid: Pearson Educación S.A., 2005.

- Gomáriz, S.; Biel, D.; Matas, J. y Reyes, M. Teoría de Control. Diseño Electrónico, Barceloma: Ediciones UPC, 2001.
- Hayt, W. ; Kemmerly, J.y Durbin, S. Análisis de circuitos en ingeniería, Séptima ed., México: McGraw-Hill, 2007.
- Horowitz, P. y Hill W., The art of electronics, Tercera ed., Nueva York: Cambridge University Press , 2015.
- Jayachandran, Manikandan. «Control a three-phase full-wave rectifier with an FPGA,» *EE Times*, p. 4, 2006.
- Kuo, Benjamin. Sistemas de control automático, Séptima ed., México: Prentice Hall.
- Matolo, Mwonga. «Design a three phase controlled rectifier for use in the laboratory,» Nairobi, 2011.
- Mohan, N. ;Undeland, T. y Robbins, W. Power Electronics. Converters, Applications and Design, Segunda ed., Toronto: John Wiley & Sons, Inc, 1995.
- Mora, Jesús F. Máquinas Eléctricas, Quinta ed., Madrid: McGraw-Hill, 2003.
- National Instruments. «Line and Load Regulation for Programmable DC Power Supplies and Precision DC Sources,» 06 05 2014. [En línea]. Available: <http://www.ni.com/white-paper/3597/en/>. [Último acceso: 05 03 2017].
- Ogata, Katsuhiko. Ingeniería de Control Moderna, Quinta ed., Madrid: Pearson Educación, 2010.

- Pareja, Miguel. Diseño y desarrollo de circuitos impresos con KiCad, Primera ed., Madrid: RC Libros, 2010.
- Rashid, Muhammad. Electrónica de potencia, circuitos, dispositivos y aplicaciones, Tercera ed., México: Pearson Educación, 2004.
- Smith, Gina. FPGAs 101 Everything you need to know to get started, Newnes, 2010.
- Tektronix. «Tektronix DC Power Supplies Technical Information,» 30 09 2015. [En línea]. Available: [http://www.tek.com/sites/tek.com/files/media/document/resources/TechInfo\\_DCPower.pdf](http://www.tek.com/sites/tek.com/files/media/document/resources/TechInfo_DCPower.pdf). [Último acceso: 20 1 2017].
- Tocci, R.; Widmer, N.; y Moss, G. Digital System Principles and Applications, Décima ed., Pearson Prentice Hall, 2007.
- Unamo, Jorge. «Diseño, elaboración e implementación de un rectificador trifásico controlado mediante PID digital como elemento primario de regulación para una fuente DC de laboratorio de 15 kW,» Caracas, 2006.
- Wikipedia. «Controlador PID,» [En línea]. Available: [https://es.wikipedia.org/wiki/Controlador\\_PID](https://es.wikipedia.org/wiki/Controlador_PID). [Último acceso: 23 04 2018].

## GLOSARIO

<b>Conmutación:</b>	Cambio de circuito de una corriente eléctrica; en general, acción de abrir, cerrar o dirigir un circuito eléctrico.
<b>Amplificadores de instrumentación:</b>	Tipo de amplificador diferencial creado a partir de amplificadores operacionales. Está diseñado para tener una alta impedancia de entrada y un alto rechazo al modo común.
<b>Condensador de desacople:</b>	Condensador utilizado para desacoplar las señales de CA de una señal de CC.
<b>Contactor:</b>	Componente electromecánico que tiene por objetivo establecer o interrumpir el paso de corriente tan pronto se dé tensión a la bobina.
<b>Corriente de enganche:</b>	Corriente del ánodo mínima requerida para mantener el tiristor en estado de conducción inmediatamente después de que ha sido activado y se ha retirado la señal de la compuerta.
<b>Corriente de inrush:</b>	Corriente tomada de la red por un transformador durante los primeros ciclos

desde el momento en que es energizado. Se trata de un fenómeno transitorio de unos pocos ciclos de red que por la naturaleza no lineal del núcleo magnético lleva a la máquina a la saturación.

**Corriente de mantenimiento:**

Corriente del ánodo mínima para mantener el tiristor en estado de régimen permanente.

**Electrónica de potencia:**

Aplicación de electrónica de estado sólido para el control y la conversión de la energía eléctrica.

**Elementos lógicos:**

También conocidos como bloques lógicos configurables. Son un conjunto de bloques lógicos fundamentales encontrados dentro un FPGA.

**Fasor:**

Número complejo que presenta la información sobre la amplitud y el ángulo de fase de una función senoidal.

**Fuente de alimentación:**

Dispositivo cuya función es proveer una o varias salidas de corriente continua regulada para otorgar potencia a componentes, módulos o dispositivos que se conectan a la misma.

<b>Histéresis:</b>	Tendencia de un elemento a conservar una de sus propiedades, en ausencia del estímulo que la ha generado.
<b>Impedancia:</b>	Medida de oposición que presenta un circuito a una corriente cuando se aplica una tensión.
<b>Inversor:</b>	Dispositivo electrónico que convierte una determinada tensión de entrada de corriente continua en otro tensión de salida de corriente alterna.
<b>Interfaz usuario-máquina:</b>	Todas las partes de un sistema interactivo (software o hardware) que proporcionan la información y el control necesarios para que el usuario lleve a cabo una tarea con el sistema interactivo. Es el punto de acción en que un hombre entra en contacto con una máquina.
<b>Lenguaje descriptivo de hardware:</b>	Lenguajes de programación especializados que se utilizan para definir la estructura, diseño y operación de circuitos electrónicos, y más comúnmente, de circuitos electrónicos digitales.
<b>Linealización:</b>	Proceso de encontrar la aproximación lineal de una función en un punto dado.

<b>Lógica sincrónica:</b>	Sistemas basados en el uso de una señal de reloj (compuesta por una serie de pulsos cuadrados) para determinar el cambio de estado de sus salidas.
<b>Neutro:</b>	Terminal utilizado para conducir la corriente de vuelta a la fuente. El mismo representa el punto de referencia en un sistema de distribución eléctrica.
<b>Normalizar:</b>	Ajustar un valor medido en una escala distinta a una escala común.
<b>Rendimiento:</b>	Cociente entre la potencia útil de salida y la potencia absorbida o total.
<b>Resolución digital:</b>	Longitud de palabras digitales (número de bits) que componen a una señal.
<b>Regulación de carga:</b>	Medida de la habilidad que posee un canal de salida para permanecer constante a pesar de presentarse cambios en la carga conectada a la misma.
<b>Semiconductores:</b>	Elemento que se comporta como un conductor o como un aislante dependiendo de diversos factores, como por ejemplo el campo eléctrico o magnético, la presión, la radiación que le incide, o la temperatura del ambiente en el que se encuentre.

<b>Señal bipolar:</b>	Señal capaz de asumir una de dos polaridades, siendo ninguna de estas igual a 0.
<b>Señal unipolar:</b>	Señal cuyos valores están limitados entre 0 y algún valor positivo.
<b>Sistema de control:</b>	Conjunto de elementos que interactúan entre sí para conseguir que la salida de un proceso se comporte tal y como se desea, mediante una acción de control.
<b>Sistema de control realimentado:</b>	Sistema que mantiene una relación determinada entre la salida y la entrada de referencia, comparándolas y usando la diferencia como medio de control.
<b>Sobrepico:</b>	Expresado en porcentaje. Es el máximo valor pico de la curva de respuesta medida a partir de la unidad.
<b>Tarjeta de desarrollo:</b>	Tarjeta de circuito impreso con hardware diseñado para facilitar la experimentación con algún elemento de control (como un procesador).
<b>Tiempo de muestreo:</b>	La tasa o frecuencia de muestreo es el número de muestras por unidad de tiempo que se toman de una señal continua para producir una señal discreta.

<b>Transformador de pulso:</b>	Tipo de transformador utilizado para transferir un tren de pulsos rectangulares con una mínima o nula distorsión armónica.
<b>Zona lineal activa:</b>	Estado de polarización de un transistor donde el mismo trabaja como amplificador lineal.
<b>Zona de saturación:</b>	Estado de polarización de un transistor donde el mismo trabaja como interruptor.

## ANEXOS

### Anexo 1. Rutina de control de convertidores analógicos a digitales en VHDL

```
1. LIBRARY IEEE;
2. USE IEEE.STD_LOGIC_1164.ALL;
3. USE IEEE.STD_LOGIC_ARITH.ALL;
4.
5. ENTITY AD7866x3Controller IS PORT(
6.     DoutA_ADC1:IN STD_LOGIC;
7.     DoutB_ADC1:IN STD_LOGIC;
8.     DoutA_ADC2:IN STD_LOGIC;
9.     DoutB_ADC2:IN STD_LOGIC;
10.    DoutA_ADC3:IN STD_LOGIC;
11.    DoutB_ADC3:IN STD_LOGIC;
12.    PllClk:IN STD_LOGIC;
13.    SC1k:IN STD_LOGIC;
14.    CS:OUT STD_LOGIC;
15.    A0_ADC1:OUT STD_LOGIC;
16.    A0_ADC2:OUT STD_LOGIC;
17.    A0_ADC3:OUT STD_LOGIC;
18.    Tm:OUT STD_LOGIC;
19.    Data_Adq_ADC1A:OUT STD_LOGIC_VECTOR (15 DOWNTO 0);
20.    Data_Adq_ADC1B:OUT STD_LOGIC_VECTOR (15 DOWNTO 0);
21.    Data_Adq_ADC2A:OUT STD_LOGIC_VECTOR (15 DOWNTO 0);
22.    Data_Adq_ADC2B:OUT STD_LOGIC_VECTOR (15 DOWNTO 0);
23.    Data_Adq_ADC3A:OUT STD_LOGIC_VECTOR (15 DOWNTO 0);
24.    Data_Adq_ADC3B:OUT STD_LOGIC_VECTOR (15 DOWNTO 0));
25. END AD7866x3Controller;
26.
27. ARCHITECTURE Arq_AD7866x3Controller OF AD7866x3Controller IS
28.
29. TYPE ESTADO IS (Inactivo,Inicio,Espera_Flanco,Ciclo_Siguiente,Espera1,Adquirir_Dat
o,Espera2,TQuiet1,TQuiet2);
30. SIGNAL Estado_Actual:ESTADO:=Inactivo;
31. SIGNAL IntData_Adq_ADC1A:STD_LOGIC_VECTOR (15 DOWNTO 0):="0000000000000000";
32. SIGNAL IntData_Adq_ADC1B:STD_LOGIC_VECTOR (15 DOWNTO 0):="0000000000000000";
33. SIGNAL IntData_Adq_ADC2A:STD_LOGIC_VECTOR (15 DOWNTO 0):="0000000000000000";
34. SIGNAL IntData_Adq_ADC2B:STD_LOGIC_VECTOR (15 DOWNTO 0):="0000000000000000";
35. SIGNAL IntData_Adq_ADC3A:STD_LOGIC_VECTOR (15 DOWNTO 0):="0000000000000000";
36. SIGNAL IntData_Adq_ADC3B:STD_LOGIC_VECTOR (15 DOWNTO 0):="0000000000000000";
37. SIGNAL Cuenta_Ciclo:INTEGER RANGE 0 TO 16:=0;
38. SIGNAL Cuenta_Bit_Out:INTEGER RANGE -1 TO 14:=14;
39. SIGNAL Enable:STD_LOGIC:='1';
40. SIGNAL Channel_Select:STD_LOGIC:='0';
41.
42. BEGIN
43.     FSM:PROCESS(PllClk)
44.         BEGIN
45.             IF FALLING_EDGE(PllClk) THEN
46.                 CASE Estado_Actual IS
```

```

47.          WHEN Inactivo=>
48.              CS<='1';
49.              Tm<='0';
50.              IF Enable='1' THEN
51.                  Estado_Actual<=Inicio;
52.              END IF;
53.          WHEN Inicio=>
54.              IF Channel_Select='0' THEN
55.                  A0_ADC1<='0';
56.                  A0_ADC2<='0';
57.                  A0_ADC3<='0';
58.              ELSE
59.                  A0_ADC1<='1';
60.                  A0_ADC2<='1';
61.                  A0_ADC3<='1';
62.              END IF;
63.              Tm<='0';
64.              CS<='0';
65.              Cuenta_Ciclo<=0;
66.              Cuenta_Bit_Out<=14;
67.              IF (Enable='1' AND SClk='1') THEN
68.                  Estado_Actual<=Espera_Flanco;
69.              ELSIF Enable='0' THEN
70.                  Estado_Actual<=Inactivo;
71.              END IF;
72.          WHEN Espera_Flanco=>
73.              CS<='0';
74.              Tm<='0';
75.              IF (SClk='0')THEN
76.                  Estado_Actual<=Ciclo_Siguiente;
77.              END IF;
78.          WHEN Ciclo_Siguiente=>
79.              CS<='0';
80.              Tm<='0';
81.              Cuenta_Ciclo<=Cuenta_Ciclo+1;
82.              Estado_Actual<=Espera1;
83.          WHEN Espera1=>
84.              CS<='0';
85.              Tm<='0';
86.              IF (SClk='1' AND Cuenta_Ciclo<16) THEN
87.                  Estado_Actual<=Adquirir_Dato;
88.              ELSIF (SClk='1' AND Cuenta_Ciclo=16) THEN
89.                  Estado_Actual<=TQuiet1;
90.              END IF;
91.          WHEN Adquirir_Dato=>
92.              CS<='0';
93.              Tm<='0';
94.              IntData_Adq_ADC1A(Cuenta_Bit_Out)<=DoutA_ADC1;
95.              IntData_Adq_ADC1B(Cuenta_Bit_Out)<=DoutB_ADC1;
96.              IntData_Adq_ADC2A(Cuenta_Bit_Out)<=DoutA_ADC2;
97.              IntData_Adq_ADC2B(Cuenta_Bit_Out)<=DoutB_ADC2;
98.              IntData_Adq_ADC3A(Cuenta_Bit_Out)<=DoutA_ADC3;
99.              IntData_Adq_ADC3B(Cuenta_Bit_Out)<=DoutB_ADC3;
100.             Cuenta_Bit_Out<=Cuenta_Bit_Out-1;
101.             Estado_Actual<=Espera2;
102.         WHEN Espera2=>

```

```

103.          CS<='0';
104.          Tm<='0';
105.          IF (Sclk='0') THEN
106.              Estado_Actual<=Ciclo_Siguiente;
107.          END IF;

108.          WHEN TQuiet1=>
109.              CS<='1';
110.              Tm<='1';
111.              Data_Adq_ADC1A<=IntData_Adq_ADC1A;
112.              Data_Adq_ADC1B<=IntData_Adq_ADC1B;
113.              Data_Adq_ADC2A<=IntData_Adq_ADC2A;
114.              Data_Adq_ADC2B<=IntData_Adq_ADC2B;
115.              Data_Adq_ADC3A<=IntData_Adq_ADC3A;
116.              Data_Adq_ADC3B<=IntData_Adq_ADC3B;

117.          IF (Enable='1' AND Sclk='0') THEN
118.              Estado_Actual<=TQuiet2;
119.          END IF;
120.          WHEN TQuiet2=>
121.              CS<='1';
122.              Tm<='1';
123.              IF (Enable='1' AND Sclk='1') THEN
124.                  Estado_Actual<=Inicio;
125.              END IF;
126.              WHEN OTHERS=>NULL;
127.          END CASE;
128.      END IF;
129.  END PROCESS;
130. END Arq_AD7866x3Controller;

```

## Anexo 2. Rutina de detección de cruce por cero en VHDL

```
1. LIBRARY IEEE;
2. USE IEEE.STD_LOGIC_1164.ALL;
3. USE IEEE.STD_LOGIC_ARITH.ALL;
4. USE IEEE.STD_LOGIC_UNSIGNED.ALL;
5.
6. ENTITY ZCD IS PORT(
7.     Main_Clock:IN STD_LOGIC;
8.     Data_Adq_ADC1A:IN STD_LOGIC_VECTOR (15 DOWNTO 0);
9.     Data_Adq_ADC1B:IN STD_LOGIC_VECTOR (15 DOWNTO 0);
10.    Data_Adq_ADC2A:IN STD_LOGIC_VECTOR (15 DOWNTO 0);
11.    ZCD_SCR1:OUT STD_LOGIC;
12.    ZCD_SCR2:OUT STD_LOGIC;
13.    ZCD_SCR3:OUT STD_LOGIC;
14.    ZCD_SCR4:OUT STD_LOGIC;
15.    ZCD_SCR5:OUT STD_LOGIC;
16.    ZCD_SCR6:OUT STD_LOGIC);
17. END ZCD;
18.
19. ARCHITECTURE Arq_ZCD OF ZCD IS
20.
21. SIGNAL Limite_Diferencia:INTEGER RANGE 0 TO 300:=240;
22. SIGNAL IntData_ADC1A:STD_LOGIC_VECTOR (11 DOWNTO 0);
23. SIGNAL IntData_ADC1B:STD_LOGIC_VECTOR (11 DOWNTO 0);
24. SIGNAL IntData_ADC2A:STD_LOGIC_VECTOR (11 DOWNTO 0);
25. SIGNAL Va:INTEGER RANGE 0 TO 4095;
26. SIGNAL Vb:INTEGER RANGE 0 TO 4095;
27. SIGNAL Vc:INTEGER RANGE 0 TO 4095;
28.
29. BEGIN
30.     ZCDprocess:PROCESS(Main_Clock)
31.     BEGIN
32.         IF FALLING_EDGE(Main_Clock) THEN
33.             IntData_ADC1A(11)<=NOT(Data_Adq_ADC1A(11));
34.             IntData_ADC1A(10 DOWNTO 0)<=Data_Adq_ADC1A(10 DOWNTO 0);
35.             Va<=Conv_integer(IntData_ADC1A);
36.             IntData_ADC1B(11)<=NOT(Data_Adq_ADC1B(11));
37.             IntData_ADC1B(10 DOWNTO 0)<=Data_Adq_ADC1B(10 DOWNTO 0);
38.             Vb<=Conv_integer(IntData_ADC1B);
39.             IntData_ADC2A(11)<=NOT(Data_Adq_ADC2A(11));
40.             IntData_ADC2A(10 DOWNTO 0)<=Data_Adq_ADC2A(10 DOWNTO 0);
41.             Vc<=Conv_integer(IntData_ADC2A);
42.
43.             IF ((Va-Vc)>Limite_Diferencia) THEN
44.                 ZCD_SCR1<='1';
45.                 ZCD_SCR4<='0';
46.             END IF;
47.             IF ((Vb-Vc)>Limite_Diferencia) THEN
48.                 ZCD_SCR2<='1';
49.                 ZCD_SCR5<='0';
50.             END IF;
51.             IF ((Vb-Va)>Limite_Diferencia) THEN
52.                 ZCD_SCR3<='1';
53.                 ZCD_SCR6<='0';
```

```
54.      END IF;
55.      IF ((Vc-Va)>Limite_Diferencia) THEN
56.          ZCD_SCR4<='1';
57.          ZCD_SCR1<='0';
58.      END IF;
59.      IF ((Vc-Vb)>Limite_Diferencia) THEN
60.          ZCD_SCR5<='1';
61.          ZCD_SCR2<='0';
62.      END IF;
63.      IF ((Va-Vb)>Limite_Diferencia) THEN
64.          ZCD_SCR6<='1';
65.          ZCD_SCR3<='0';
66.      END IF;
67.  END IF;
68. END PROCESS;
69. END Arq_ZCD;
```

### Anexo 3. Rutina de control de disparo de SCR en VHDL

```
1. LIBRARY IEEE;
2. USE IEEE.STD_LOGIC_1164.ALL;
3. USE IEEE.STD_LOGIC_ARITH.ALL;
4.
5. ENTITY Gen_Pulso IS PORT(
6.     Main_Clock:IN STD_LOGIC;
7.     Angulo_Disparo:IN INTEGER;
8.     ZCD_SCR1:IN STD_LOGIC;
9.     ZCD_SCR2:IN STD_LOGIC;
10.    ZCD_SCR3:IN STD_LOGIC;
11.    ZCD_SCR4:IN STD_LOGIC;
12.    ZCD_SCR5:IN STD_LOGIC;
13.    ZCD_SCR6:IN STD_LOGIC;
14.    Pulso_SCR1:OUT STD_LOGIC;
15.    Pulso_SCR2:OUT STD_LOGIC;
16.    Pulso_SCR3:OUT STD_LOGIC;
17.    Pulso_SCR4:OUT STD_LOGIC;
18.    Pulso_SCR5:OUT STD_LOGIC;
19.    Pulso_SCR6:OUT STD_LOGIC);
20. END Gen_Pulso;
21.
22. ARCHITECTURE Arq_Gen_Pulso OF Gen_Pulso IS
23.
24. SIGNAL Bandera_Encendido:STD_LOGIC:='1';
25. CONSTANT Duracion_Pulso:INTEGER RANGE 0 TO 850000:=416666;
26. CONSTANT Periodo_TrenPulso:INTEGER RANGE 0 TO 3000:=2083;
27. SIGNAL Retardo_SCR1:INTEGER RANGE 0 TO 850000:=0;
28. SIGNAL Retardo_SCR2:INTEGER RANGE 0 TO 850000:=0;
29. SIGNAL Retardo_SCR3:INTEGER RANGE 0 TO 850000:=0;
30. SIGNAL Retardo_SCR4:INTEGER RANGE 0 TO 850000:=0;
31. SIGNAL Retardo_SCR5:INTEGER RANGE 0 TO 850000:=0;
32. SIGNAL Retardo_SCR6:INTEGER RANGE 0 TO 850000:=0;
33. SIGNAL Contador_TrenPulso1:INTEGER RANGE 0 TO 2090:=2084;
34. SIGNAL Contador_TrenPulso2:INTEGER RANGE 0 TO 2090:=2084;
35. SIGNAL Contador_TrenPulso3:INTEGER RANGE 0 TO 2090:=2084;
36. SIGNAL Contador_TrenPulso4:INTEGER RANGE 0 TO 2090:=2084;
37. SIGNAL Contador_TrenPulso5:INTEGER RANGE 0 TO 2090:=2084;
38. SIGNAL Contador_TrenPulso6:INTEGER RANGE 0 TO 2090:=2084;
39. SIGNAL Duracion_Pulso_SCR1:INTEGER RANGE 0 TO 850000:=0;
40. SIGNAL Duracion_Pulso_SCR2:INTEGER RANGE 0 TO 850000:=0;
41. SIGNAL Duracion_Pulso_SCR3:INTEGER RANGE 0 TO 850000:=0;
42. SIGNAL Duracion_Pulso_SCR4:INTEGER RANGE 0 TO 850000:=0;
43. SIGNAL Duracion_Pulso_SCR5:INTEGER RANGE 0 TO 850000:=0;
44. SIGNAL Duracion_Pulso_SCR6:INTEGER RANGE 0 TO 850000:=0;
45. SIGNAL Pulso_SCR1_Listo:STD_LOGIC:='0';
46. SIGNAL Pulso_SCR2_Listo:STD_LOGIC:='0';
47. SIGNAL Pulso_SCR3_Listo:STD_LOGIC:='0';
48. SIGNAL Pulso_SCR4_Listo:STD_LOGIC:='0';
49. SIGNAL Pulso_SCR5_Listo:STD_LOGIC:='0';
50. SIGNAL Pulso_SCR6_Listo:STD_LOGIC:='0';
51. SIGNAL Pulso_SCR1_Buffer:STD_LOGIC;
52. SIGNAL Pulso_SCR2_Buffer:STD_LOGIC;
53. SIGNAL Pulso_SCR3_Buffer:STD_LOGIC;
```

```

54. SIGNAL Pulso_SCR4_Buffer:STD_LOGIC;
55. SIGNAL Pulso_SCR5_Buffer:STD_LOGIC;
56. SIGNAL Pulso_SCR6_Buffer:STD_LOGIC;
57.
58. BEGIN
59.     Gen_Pulso_Process:PROCESS(Main_Clock)
60.     BEGIN
61.         IF FALLING_EDGE(Main_Clock) THEN
62.             IF Bandera_Encendido='1' THEN
63.                 --Generación del pulso para SCR1 (Vca -)
64.                 IF ZCD_SCR1='1' THEN
65.
66.                     IF Retardo_SCR1<Angulo_Disparo THEN
67.                         Retardo_SCR1<=Retardo_SCR1+1;
68.                     ELSE
69.                         IF (Duracion_Pulso_SCR1<Duracion_Pulso AND Pulso_SCR1_List
70. o='0') THEN
71.                             IF Contador_TrenPulso1>=Periodo_TrenPulso THEN
72.                                 Pulso_SCR1_Buffer<=NOT(Pulso_SCR1_Buffer);
73.                                 Pulso_SCR1<=Pulso_SCR1_Buffer;
74.                                 Contador_TrenPulso1<=0;
75.                             ELSE
76.                                 Contador_TrenPulso1<=Contador_TrenPulso1+1;
77.                             END IF;
78.                             Duracion_Pulso_SCR1<=Duracion_Pulso_SCR1+1;
79.                         ELSE
80.                             Pulso_SCR1<='0';
81.                             Duracion_Pulso_SCR1<=0;
82.                             Pulso_SCR1_Listo<='1';
83.                         END IF;
84.                     ELSE
85.                         Pulso_SCR1<='0';
86.                         Pulso_SCR1_Listo<='0';
87.                         Duracion_Pulso_SCR1<=0;
88.                         Retardo_SCR1<=0;
89.                     END IF;
90.                 --Generación del pulso para SCR2 (Vbc +)
91.                 IF ZCD_SCR2='1' THEN
92.
93.                     IF Retardo_SCR2<Angulo_Disparo THEN
94.                         Retardo_SCR2<=Retardo_SCR2+1;
95.                     ELSE
96.                         IF (Duracion_Pulso_SCR2<Duracion_Pulso AND Pulso_SCR2_Lis
97. to='0') THEN
98.                             IF Contador_TrenPulso2>=Periodo_TrenPulso THEN
99.                                 Pulso_SCR2_Buffer<=NOT(Pulso_SCR2_Buffer);
100.                                Pulso_SCR2<=Pulso_SCR2_Buffer;
101.                                Contador_TrenPulso2<=0;
102.                            ELSE
103.                                Contador_TrenPulso2<=Contador_TrenPulso2+1
104. ;
105.                         END IF;
106.                         Duracion_Pulso_SCR2<=Duracion_Pulso_SCR2+1;
107.                     ELSE

```

```

104.                               Pulso_SCR2<='0';
105.                               Duracion_Pulso_SCR2<=0;
106.                               Pulso_SCR2_Listo<='1';
107.                           END IF;
108.                       END IF;
109.                   ELSE
110.                       Pulso_SCR2<='0';
111.                       Pulso_SCR2_Listo<='0';
112.                       Duracion_Pulso_SCR2<=0;
113.                       Retardo_SCR2<=0;
114.                   END IF;
115.                   --Generación del pulso para SCR3 (Vab -)
116.                   IF ZCD_SCR3='1' THEN

117.                       IF Retardo_SCR3<Angulo_Disparo THEN
118.                           Retardo_SCR3<=Retardo_SCR3+1;
119.                       ELSE
120.                           IF (Duracion_Pulso_SCR3<Duracion_Pulso AND Pulso_S
121.                               CR3_Listo='0') THEN
122.                                   IF Contador_TrenPulso3>=Periodo_TrenPulso THEN
123.                                       Pulso_SCR3_Buffer<=NOT(Pulso_SCR3_Buffer);
124.                                       Pulso_SCR3<=Pulso_SCR3_Buffer;
125.                                       Contador_TrenPulso3<=0;
126.                                   ELSE
127.                                       Contador_TrenPulso3<=Contador_TrenPulso3+1
128.                                   ;
129.                               END IF;
130.                               Duracion_Pulso_SCR3<=Duracion_Pulso_SCR3+1;
131.                           ELSE
132.                               Pulso_SCR3<='0';
133.                               Duracion_Pulso_SCR3<=0;
134.                               Pulso_SCR3_Listo<='1';
135.                           END IF;
136.                       END IF;
137.                   ELSE
138.                       Pulso_SCR3<='0';
139.                       Pulso_SCR3_Listo<='0';
140.                       Duracion_Pulso_SCR3<=0;
141.                       Retardo_SCR3<=0;
142.                   END IF;
143.                   --Generación del pulso para SCR4 (Vca +)
144.                   IF ZCD_SCR4='1' THEN

145.                       IF Retardo_SCR4<Angulo_Disparo THEN
146.                           Retardo_SCR4<=Retardo_SCR4+1;
147.                       ELSE
148.                           IF (Duracion_Pulso_SCR4<Duracion_Pulso AND Pulso_S
149.                               CR4_Listo='0') THEN
150.                                   IF Contador_TrenPulso4>=Periodo_TrenPulso THEN

```

```

151.           ELSE
152.                   Contador_TrenPulso4<=Contador_TrenPulso4+1
153. ;
154.           END IF;
155.           Duracion_Pulso_SCR4<=Duracion_Pulso_SCR4+1;
156.       ELSE
157.           Pulso_SCR4<='0';
158.           Duracion_Pulso_SCR4<=0;
159.           Pulso_SCR4_Listo<='1';
160.       END IF;
161.   END IF;
162.   Pulso_SCR4<='0';
163.   Pulso_SCR4_Listo<='0';
164.   Duracion_Pulso_SCR4<=0;
165.   Retardo_SCR4<=0;
166. END IF;
167. --Generación del pulso para SCR5 (Vbc -)
168. IF ZCD_SCR5='1' THEN

169.     IF Retardo_SCR5<Angulo_Disparo THEN
170.         Retardo_SCR5<=Retardo_SCR5+1;
171.     ELSE
172.         IF (Duracion_Pulso_SCR5<Duracion_Pulso AND Pulso_S
CR5_Listo='0') THEN
173.             IF Contador_TrenPulso5>=Periodo_TrenPulso THEN

174.                 Pulso_SCR5_Buffer<=NOT(Pulso_SCR5_Buffer);

175.                 Pulso_SCR5<=Pulso_SCR5_Buffer;
176.                 Contador_TrenPulso5<=0;
177.             ELSE
178.                 Contador_TrenPulso5<=Contador_TrenPulso5+1
;
179.             END IF;
180.             Duracion_Pulso_SCR5<=Duracion_Pulso_SCR5+1;
181.         ELSE
182.             Pulso_SCR5<='0';
183.             Duracion_Pulso_SCR5<=0;
184.             Pulso_SCR5_Listo<='1';
185.         END IF;
186.     END IF;
187.     ELSE
188.         Pulso_SCR5<='0';
189.         Pulso_SCR5_Listo<='0';
190.         Duracion_Pulso_SCR5<=0;
191.         Retardo_SCR5<=0;
192.     END IF;
193. --Generación del pulso para SCR6 (Vab +)
194. IF ZCD_SCR6='1' THEN

195.     IF Retardo_SCR6<Angulo_Disparo THEN
196.         Retardo_SCR6<=Retardo_SCR6+1;
197.     ELSE
198.         IF (Duracion_Pulso_SCR6<Duracion_Pulso AND Pulso_S
CR6_Listo='0') THEN

```

```

199.           IF Contador_TrenPulso6>=Periodo_TrenPulso THEN
200.               Pulso_SCR6_Buffer<=NOT(Pulso_SCR6_Buffer);
201.               Pulso_SCR6<=Pulso_SCR6_Buffer;
202.               Contador_TrenPulso6<=0;
203.           ELSE
204.               Contador_TrenPulso6<=Contador_TrenPulso6+1
205.           ;
206.           END IF;
207.           Duracion_Pulso_SCR6<=Duracion_Pulso_SCR6+1;
208.       ELSE
209.           Pulso_SCR6<='0';
210.           Duracion_Pulso_SCR6<=0;
211.           Pulso_SCR6_Listo<='1';
212.       END IF;
213.   ELSE
214.       Pulso_SCR6<='0';
215.       Pulso_SCR6_Listo<='0';
216.       Duracion_Pulso_SCR6<=0;
217.       Retardo_SCR6<=0;
218.   END IF;
219. ELSE
220.     Pulso_SCR1<='0';
221.     Pulso_SCR2<='0';
222.     Pulso_SCR3<='0';
223.     Pulso_SCR4<='0';
224.     Pulso_SCR5<='0';
225.     Pulso_SCR6<='0';
226.     Pulso_SCR1_Listo<='0';
227.     Pulso_SCR2_Listo<='0';
228.     Pulso_SCR3_Listo<='0';
229.     Pulso_SCR4_Listo<='0';
230.     Pulso_SCR5_Listo<='0';
231.     Pulso_SCR6_Listo<='0';
232.     Duracion_Pulso_SCR1<=0;
233.     Duracion_Pulso_SCR2<=0;
234.     Duracion_Pulso_SCR3<=0;
235.     Duracion_Pulso_SCR4<=0;
236.     Duracion_Pulso_SCR5<=0;
237.     Duracion_Pulso_SCR6<=0;
238.     Retardo_SCR1<=0;
239.     Retardo_SCR2<=0;
240.     Retardo_SCR3<=0;
241.     Retardo_SCR4<=0;
242.     Retardo_SCR5<=0;
243.     Retardo_SCR6<=0;
244. END IF;
245. END IF;
246. END PROCESS;
247. END Arq_Gen_Pulso;

```

#### Anexo 4. Rutina de controlador PID en VHDL

```
1. LIBRARY IEEE;
2. USE IEEE.STD_LOGIC_1164.ALL;
3. USE IEEE.NUMERIC_STD.ALL;
4. USE IEEE.STD_LOGIC_ARITH.ALL;
5. USE IEEE.STD_LOGIC_UNSIGNED.ALL;
6.
7. ENTITY PID IS PORT(
8.
9.     Main_Clock:IN STD_LOGIC;
10.    Tm:IN STD_LOGIC;
11.    Setpoint:IN INTEGER;
12.    Input_ADC:IN STD_LOGIC_VECTOR(15 DOWNTO 0);
13.    CalculoLista:OUT STD_LOGIC;
14.    Output:OUT INTEGER);
15.
16. END PID;
17.
18. ARCHITECTURE ARQPID OF PID IS
19.
20. TYPE ESTADO IS (Inicio,EsperaMuestra,CalculoPID,EsperaReinicioTm);
21. SIGNAL Estado_Actual:ESTADO:=Inicio;
22. SIGNAL Input_Data:STD_LOGIC_VECTOR(11 DOWNTO 0);
23. SIGNAL Input:INTEGER RANGE 0 TO 4095:=0;
24. SIGNAL Kp:INTEGER:=100000;
25. SIGNAL Ki:INTEGER:=1;
26. SIGNAL Kd:INTEGER:=0;
27. SIGNAL Error:INTEGER:=0;
28. SIGNAL Int_Term:INTEGER:=0;
29. SIGNAL dInput:INTEGER:=0;
30. SIGNAL Input_Anterior:INTEGER RANGE 0 TO 4095:=0;
31. SIGNAL Output_Escalada:INTEGER:=0;
32. SIGNAL IntTermMax:INTEGER:=1107000000;
33. SIGNAL IntTermMin:INTEGER:=0;
34. SIGNAL Output_Max:INTEGER RANGE 0 TO 4095:=1107;
35. SIGNAL Output_Min:INTEGER RANGE 0 TO 4095:=97;
36. SIGNAL Output_Buffer:INTEGER:=0;
37. SIGNAL Output_int:INTEGER:=97;
38.
39.
40. BEGIN
41.     PID_FSM:PROCESS(Main_Clock)
42.         BEGIN
43.             IF FALLING_EDGE(Main_Clock) THEN
44.                 CASE Estado_Actual IS
45.
46.                     WHEN Inicio=>
47.                         Output<=0;
48.                         CalculoLista<='0';
49.                         IF (Tm='1') THEN
50.                             Estado_Actual<=CalculoPID;
51.                         END IF;
52.
53.                     WHEN CalculoPID=>
```

```

54.           Input_Data(10 DOWNTO 0)<=Input_ADC(10 DOWNTO 0);
55.           Input_Data(11)<=NOT(Input_ADC(11));
56.           Input<=Conv_integer(Input_Data);
57.
58.           Error<=Setpoint-Input;
59.           Int_Term<=Int_Term+(Ki*Error);
60.
61.           IF Int_Term>IntTermMax THEN
62.               Int_Term<=IntTermMax;
63.           ELSIF Int_Term<IntTermMin THEN
64.               Int_Term<=IntTermMin;
65.           END IF;
66.           dInput<=Input-Input_Anterior;
67.
68.           Output_Escalada<=(Kp*Error)+(Int_Term)-(Kd*dInput);
69.           Output_Buffer<=Output_Escalada/1000000;
70.
71.           IF Output_Buffer>Output_Max THEN
72.               Output<=Output_Max;
73.               Output_int<=Output_Max;
74.           ELSIF Output_Buffer<Output_Min THEN
75.               Output<=Output_Min;
76.               Output_int<=Output_Min;
77.           ELSE
78.               Output<=Output_Buffer;
79.               Output_int<=Output_Buffer;
80.           END IF;
81.
82.           Input_Anterior<=Input;
83.           Estado_Actual<=EsperaReinicioTm;
84.
85.           WHEN EsperaReinicioTm=>
86.               Output<=Output_int;
87.               CalculoListo<='1';
88.               IF (Tm='0') THEN
89.                   Estado_Actual<=EsperaMuestra;
90.               END IF;
91.
92.           WHEN EsperaMuestra=>
93.               Output<=Output_int;
94.               CalculoListo<='0';
95.               IF (Tm='1') THEN
96.                   Estado_Actual<=CalculoPID;
97.               END IF;
98.
99.           WHEN OTHERS=>NULL;
100.
101.          END CASE;
102.
103.          END IF;
104.
105.         END PROCESS;
106.
107.     END ARQPID;

```

## Anexo 5. Rutina de control de actuador en VHDL

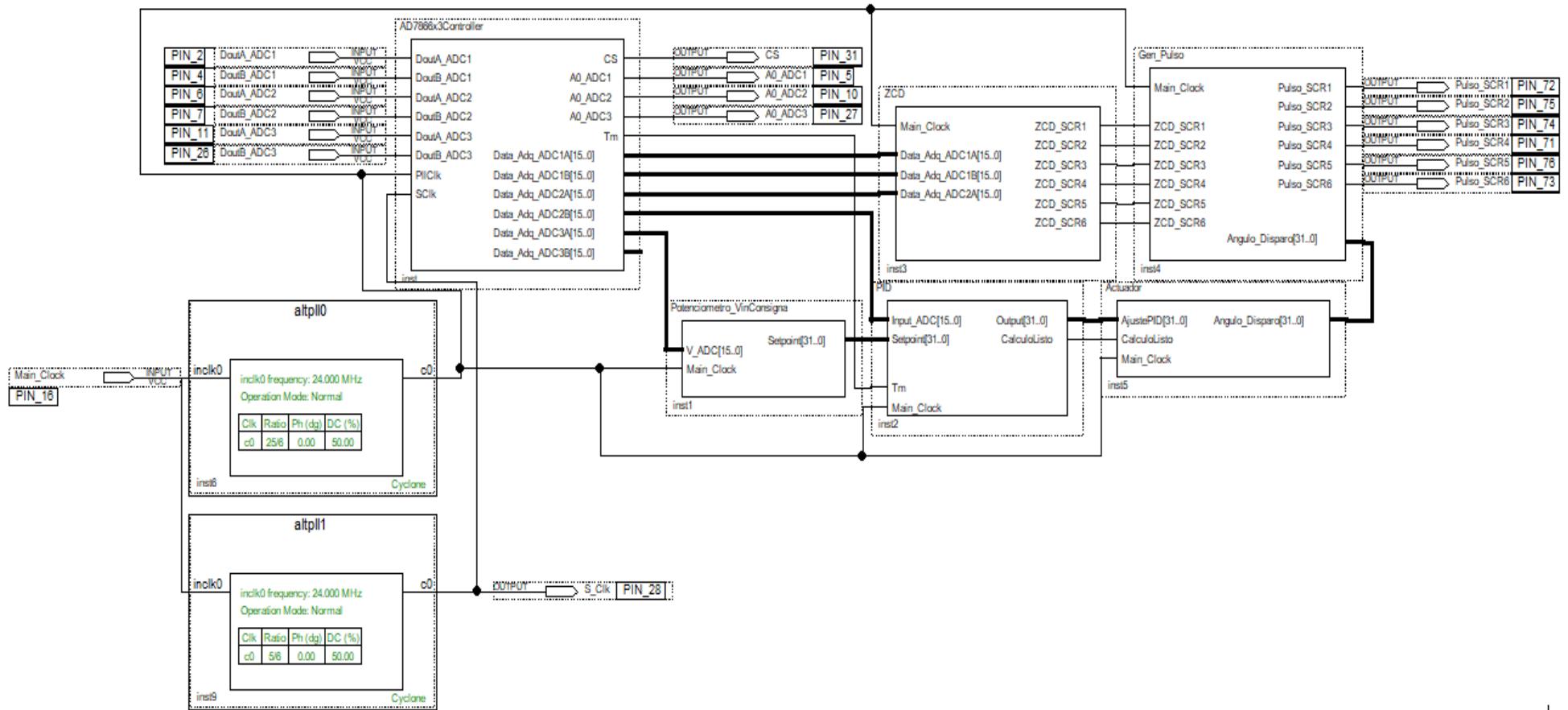
```
1. LIBRARY IEEE;
2. USE IEEE.STD_LOGIC_1164.ALL;
3. USE IEEE.NUMERIC_STD.ALL;
4. USE IEEE.STD_LOGIC_ARITH.ALL;
5.
6. ENTITY Actuador IS PORT(
7.     Main_Clock:IN STD_LOGIC;
8.     AjustePID:IN INTEGER;
9.     CalculoLista:IN STD_LOGIC;
10.    Angulo_Disparo:OUT INTEGER);
11. END Actuador;
12.
13. ARCHITECTURE Arq_Actuador OF Actuador IS
14.
15. SIGNAL Angulo_Buffer:INTEGER:=416667;
16. SIGNAL Angulo_DisparoInt:INTEGER:=416667;
17. TYPE ESTADO IS (Inicio,CalculoAlfa,Espera1,Espera2);
18. SIGNAL Estado_Actual:ESTADO:=Inicio;
19.
20. BEGIN
21.     Actuador_FSM:PROCESS(Main_Clock)
22.
23.     BEGIN
24.
25.         IF FALLING_EDGE(Main_Clock) THEN
26.
27.             CASE Estado_Actual IS
28.
29.                 WHEN Inicio=>
30.                     Angulo_Disparo<=416667;
31.                     IF CalculoLista='1' THEN
32.                         Estado_Actual<=CalculoAlfa;
33.                     END IF;
34.
35.                 WHEN CalculoAlfa=>
36.                     IF (AjustePID<10) THEN
37.                         Angulo_Buffer<=416667;
38.                     ELSIF (AjustePID>=10 AND AjustePID<97) THEN
39.                         Angulo_Buffer<=((-44975*AjustePID)+45865800)/100;
40.                     ELSIF (AjustePID>=97 AND AjustePID<1107) THEN
41.                         Angulo_Buffer<=((-22421*AjustePID)+44021900)/100;
42.                     ELSIF (AjustePID>=1107) THEN
43.                         Angulo_Buffer<=185185;
44.                     END IF;
45.
46.                     Angulo_DisparoInt<=Angulo_Buffer;
47.                     Angulo_Disparo<=Angulo_Buffer;
48.
49.                     Estado_Actual<=Espera1;
50.
51.                 WHEN Espera1=>
52.                     Angulo_Disparo<=Angulo_DisparoInt;
53.                     IF CalculoLista='0' THEN
```

```
53.           Estado_Actual<=Espera2;
54.       END IF;
55.
56.       WHEN Espera2=>
57.           Angulo_Disparo<=Angulo_DisparoInt;
58.           IF CalculoListo='1' THEN
59.               Estado_Actual<=CalculoAlfa;
60.           END IF;
61.
62.           WHEN OTHERS=>NULL;
63.       END CASE;
64.   END IF;
65. END PROCESS;
66. END Arq_Actuador;
```

## Anexo 6. Rutina de ajuste de consigna en VHDL

```
1. LIBRARY IEEE;
2. USE IEEE.STD_LOGIC_1164.ALL;
3. USE IEEE.STD_LOGIC_ARITH.ALL;
4. USE IEEE.STD_LOGIC_UNSIGNED.ALL;
5.
6. ENTITY Potenciometro_VinConsigna IS PORT(
7.
8.     Main_Clock:IN STD_LOGIC;
9.     V_ADC:IN STD_LOGIC_VECTOR (15 DOWNTO 0);
10.    Setpoint:OUT INTEGER);
11.
12. END Potenciometro_VinConsigna;
13.
14. ARCHITECTURE ArqPotenciometro_VinConsigna OF Potenciometro_VinConsigna IS
15.
16. SIGNAL V_ADC_Binario:STD_LOGIC_VECTOR (11 DOWNTO 0);
17. SIGNAL V_ADC_Entero:INTEGER RANGE 0 TO 4095:=0;
18. SIGNAL SetpointBuffer:INTEGER:=0;
19. SIGNAL SetpointInt:INTEGER:=0;
20.
21. BEGIN
22.
23.     AsignacionVinConsigna:PROCESS(Main_Clock)
24.     BEGIN
25.
26.         IF FALLING_EDGE(Main_Clock) THEN
27.             V_ADC_Binario(10 DOWNTO 0)<=V_ADC(10 DOWNTO 0);
28.             V_ADC_Binario(11)<=NOT(V_ADC(11));
29.             V_ADC_Entero<=Conv_integer(V_ADC_Binario);
30.             SetpointBuffer<=(246*V_ADC_Entero+97000)/1000;
31.             IF (SetpointBuffer>1107) THEN
32.                 SetpointInt<=1107;
33.             ELSIF (SetpointBuffer<93) THEN
34.                 SetpointInt<=93;
35.             ELSE
36.                 SetpointInt<=SetpointBuffer;
37.             END IF;
38.             Setpoint<=((10045*SetpointInt)-749040)/10000;
39.         END IF;
40.
41.     END PROCESS;
42. END ArqPotenciometro_VinConsigna;
```

*Anexo 7. Diagrama de bloques del sistema de control diseñado en Quartus II*



*Anexo 8. Extracto de hoja de datos para SCR SKKT 92B12 E*

## SKKT 92, SKKH 92, SKKT 92B



### Thyristor / Diode Modules

#### SKKT 92

#### SKKT 92B

#### SKKH 92

### Features

- Heat transfer through aluminium oxide ceramic isolated metal baseplate
- Hard soldered joints for high reliability
- UL recognized, file no. E 63 532

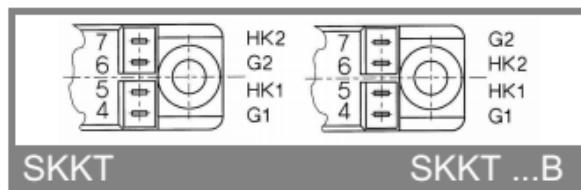
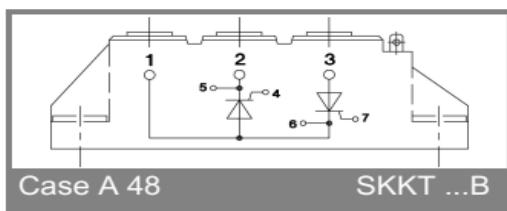
### Typical Applications\*

- DC motor control (e. g. for machine tools)
- AC motor soft starters
- Temperature control (e. g. for ovens, chemical processes)
- Professional light dimming (studios, theaters)

\*) See the assembly instructions

$V_{RSM}$ V	$V_{RRM}, V_{DRM}$ V	$I_{TRMS} = 150 \text{ A}$ (maximum value for continuous operation) $I_{TAV} = 95 \text{ A}$ (sin. 180; $T_c = 85^\circ\text{C}$ )		
900	800	SKKT 92/08E	SKKT 92B08E	SKKH 92/08E
1300	1200	SKKT 92/12E	SKKT 92B12E	SKKH 92/12E
1500	1400	SKKT 92/14E	SKKT 92B14E	SKKH 92/14E
1700	1600	SKKT 92/16E	SKKT 92B16E	SKKH 92/16E
1900	1800	SKKT 92/18E	SKKT 92B18E	SKKH 92/18E

Symbol	Conditions	Values	Units
$I_{TAV}$	$\sin. 180; T_c = 85 (100)^\circ\text{C};$ $P3/180; T_a = 45^\circ\text{C}; B2 / B6$	95 (68)	A
$I_D$	$P3/180F; T_a = 35^\circ\text{C}; B2 / B6$	70 / 85	A
$I_{RMS}$	$P3/180F; T_a = 35^\circ\text{C}; W1 / W3$	140 / 175	A
		190 / 3 * 135	A
$I_{TSM}$	$T_{vj} = 25^\circ\text{C}; 10 \text{ ms}$	2000	A
	$T_{vj} = 125^\circ\text{C}; 10 \text{ ms}$	1750	A
$i_{st}$	$T_{vj} = 25^\circ\text{C}; 8,3 \dots 10 \text{ ms}$	20000	A <sup>2</sup> s
	$T_{vj} = 125^\circ\text{C}; 8,3 \dots 10 \text{ ms}$	15000	A <sup>2</sup> s
$V_T$	$T_{vj} = 25^\circ\text{C}; I_T = 300 \text{ A}$	max. 1,65	V
$V_{T(TO)}$	$T_{vj} = 125^\circ\text{C}$	max. 0,9	V
$r_T$	$T_{vj} = 125^\circ\text{C}$	max. 2	mΩ
$I_{DD}; I_{RD}$	$T_{vj} = 125^\circ\text{C}; V_{RD} = V_{RRM}; V_{DD} = V_{DRM}$	max. 20	mA
$t_{gd}$	$T_{vj} = 25^\circ\text{C}; I_G = 1 \text{ A}; di_G/dt = 1 \text{ A}/\mu\text{s}$	1	μs
$t_{gr}$	$V_D = 0,67 * V_{DRM}$	2	μs
$(di/dt)_{cr}$	$T_{vj} = 125^\circ\text{C}$	max. 150	A/μs
$(dv/dt)_{cr}$	$T_{vj} = 125^\circ\text{C}$	max. 1000	V/μs
$t_q$	$T_{vj} = 125^\circ\text{C},$ $T_{vj} = 25^\circ\text{C}; \text{typ. / max.}$	100	μs
$I_H$	$T_{vj} = 25^\circ\text{C}; \text{typ. / max.}$	150 / 250	mA
$I_L$	$T_{vj} = 25^\circ\text{C}; R_G = 33 \Omega; \text{typ. / max.}$	300 / 600	mA
$V_{GT}$	$T_{vj} = 25^\circ\text{C}; \text{d.c.}$	min. 3	V
$I_{GT}$	$T_{vj} = 25^\circ\text{C}; \text{d.c.}$	min. 150	mA
$V_{GD}$	$T_{vj} = 125^\circ\text{C}; \text{d.c.}$	max. 0,25	V
$I_{GD}$	$T_{vj} = 125^\circ\text{C}; \text{d.c.}$	max. 6	mA
$R_{th(j-c)}$	cont.; per thyristor / per module	0,28 / 0,14	K/W
$R_{th(j-c)}$	sin. 180; per thyristor / per module	0,3 / 0,15	K/W
$R_{th(j-c)}$	rec. 120; per thyristor / per module	0,32 / 0,16	K/W
$R_{th(h-s)}$	per thyristor / per module	0,2 / 0,1	K/W
$T_{vj}$		- 40 ... + 125	°C
$T_{stg}$		- 40 ... + 125	°C
$V_{isol}$	a. c. 50 Hz; r.m.s.; 1 s / 1 min.	3600 / 3000	V-
$M_s$	to heatsink	5 ± 15 % <sup>1)</sup>	Nm
$M_t$	to terminals	3 ± 15 %	Nm
a	approx.	5 * 9,81	m/s <sup>2</sup>
m		95	g
Case	SKKT SKKT ...B SKKH	A 46 A 48 A 47	



## Anexo 9. Extracto de hoja de datos para condensadores B43310

### Specifications and characteristics in brief 規格及特点简介

Rated voltage $V_R$ 额定电压 $V_R$	400 ... 450 V DC		
Surge voltage $V_S$ 浪涌电压 $V_S$	$1.10 \cdot V_R$		
Rated capacitance $C_R$ 额定电容 $C_R$	1800 ... 15000 $\mu\text{F}$		
Capacitance tolerance 电容量偏差	$\pm 20\% \triangleq M$		
Leakage current $I_{\text{leak}}$ 漏电流 $I_{\text{leak}}$ (20 °C, 5 minutes)	<p>0.008 C·V [<math>\mu\text{A}</math>] or 5 mA whichever is smaller 0.008 C·V [<math>\mu\text{A}</math>] 或 5 mA 取小值</p> <p><math>C = \text{Rated Capacitance } [\mu\text{F}], V = \text{Rated Voltage } [V]</math> <math>C = \text{额定容值 } [\mu\text{F}], V = \text{额定电压 } [V]</math></p>		
$\tan \delta_{\max.}$ (20 °C, 120 Hz) 耗角正切 $\tan \delta_{\max.}$ (20 °C, 120 Hz)	0.2		
Load life 负载寿命 $85^\circ\text{C}; V_R; I_{AC,R}$	2000 h (小时)	$\Delta C/C$ 容量变化	Less than $\pm 15\%$ of initial value 小于初始值 $\pm 15\%$
		$\tan \delta$ 损耗角正切	Not more than 175% of specified value 不超过 175% 规定值
		$I_{\text{leak}}$ 漏电流	Less than specified value 小于规定值
Vibration resistance test 抗振试验	<p>To IEC 60068-2-6, test Fc: Displacement amplitude 0.75 mm, frequency range 10 ... 55 Hz, acceleration max. 10 g, duration 3 <math>\times</math> 2 h. Capacitor mounted by its body which is rigidly clamped to the work surface.</p> <p>符合 IEC 60068-2-6, 试验 Fc: 位移幅值: 0.75 mm; 频率范围: 10 ... 55 Hz; 最大加速度: 10 g; 持续时间: 3 X 2h。 电容器本身牢固地固定在工作表面。</p>		
IEC climatic category IEC 气候种类	<p>To IEC 60068-1: 25/085/56 (-25 °C/+85 °C/56 days damp heat test)</p> <p>符合 IEC 60068-1: 25/085/56 (-25 °C/+85 °C/56 天, 湿热试验)</p>		
Detail specification 详细规格	Similar to CECC 30301-810 与 CECC 30301-810 相似		
Sectional specification 局部规格	IEC 60384-4		

### Ripple current capability 纹波电流能力

Due to the ripple current capability of the contact elements, the following current upper limits must not be exceeded: 由于接触元件的纹波电流容量, 不得超过以下电流上限:

Capacitor diameter d 电容器直径 d	51.6 mm	64.3 mm	76.9 mm	91.0 mm
$I_{AC,max}$ 最大电流	34 A	45 A	57 A	80 A

## Anexo 10. Extracto de hoja de datos para FPGA modelo Cyclone I EP1C6T144C6

### Introduction

The Cyclone® field programmable gate array family is based on a 1.5-V, 0.13- $\mu$ m, all-layer copper SRAM process, with densities up to 20,060 logic elements (LEs) and up to 288 Kbits of RAM. With features like phase-locked loops (PLLs) for clocking and a dedicated double data rate (DDR) interface to meet DDR SDRAM and fast cycle RAM (FCRAM) memory requirements, Cyclone devices are a cost-effective solution for data-path applications. Cyclone devices support various I/O standards, including LVDS at data rates up to 640 megabits per second (Mbps), and 66- and 33-MHz, 64- and 32-bit peripheral component interconnect (PCI), for interfacing with and supporting ASSP and ASIC devices. Altera also offers new low-cost serial configuration devices to configure Cyclone devices.

### Features

The Cyclone device family offers the following features:

- 2,910 to 20,060 LEs, see [Table 1–1](#)
- Up to 294,912 RAM bits (36,864 bytes)
- Supports configuration through low-cost serial configuration device
- Support for LVTTL, LVCMS, SSTL-2, and SSTL-3 I/O standards
- Support for 66- and 33-MHz, 64- and 32-bit PCI standard
- High-speed (640 Mbps) LVDS I/O support
- Low-speed (311 Mbps) LVDS I/O support
- 311-Mbps RSDS I/O support
- Up to two PLLs per device provide clock multiplication and phase shifting
- Up to eight global clock lines with six clock resources available per logic array block (LAB) row
- Support for external memory, including DDR SDRAM (133 MHz), FCRAM, and single data rate (SDR) SDRAM
- Support for multiple intellectual property (IP) cores, including Altera® MegaCore® functions and Altera Megafunctions Partners Program (AMPP™) megafunctions.

<b>Cyclone Device Features</b>					
Feature	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
LEs	2,910	4,000	5,980	12,060	20,060
M4K RAM blocks (128 × 36 bits)	13	17	20	52	64
Total RAM bits	59,904	78,336	92,160	239,616	294,912
PLLs	1	2	2	2	2
Maximum user I/O pins ( <a href="#">1</a> )	104	301	185	249	301

**Anexo 11. Extracto de hoja de datos para amplificador de instrumentación AD620 (I)**



# Low Cost Low Power Instrumentation Amplifier

## AD620

### FEATURES

#### Easy to use

- Gain set with one external resistor  
(Gain range 1 to 10,000)
- Wide power supply range ( $\pm 2.3$  V to  $\pm 18$  V)
- Higher performance than 3 op amp IA designs
- Available in 8-lead DIP and SOIC packaging
- Low power, 1.3 mA max supply current
- Excellent dc performance (B grade)
  - 50  $\mu$ V max, input offset voltage
  - 0.6  $\mu$ V/ $^{\circ}$ C max, input offset drift
  - 1.0 nA max, input bias current
  - 100 dB min common-mode rejection ratio (G = 10)

#### Low noise

- 9 nV/ $\sqrt{\text{Hz}}$  @ 1 kHz, input voltage noise
- 0.28  $\mu$ V p-p noise (0.1 Hz to 10 Hz)

#### Excellent ac specifications

- 120 kHz bandwidth (G = 100)
- 15  $\mu$ s settling time to 0.01%

### APPLICATIONS

- Weigh scales
- ECG and medical instrumentation
- Transducer interface
- Data acquisition systems
- Industrial process controls
- Battery-powered and portable equipment

### CONNECTION DIAGRAM

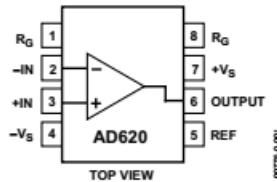


Figure 1. 8-Lead PDIP (N), Cerdip (Q), and SOIC (R) Packages

### PRODUCT DESCRIPTION

The AD620 is a low cost, high accuracy instrumentation amplifier that requires only one external resistor to set gains of 1 to 10,000. Furthermore, the AD620 features 8-lead SOIC and DIP packaging that is smaller than discrete designs and offers lower power (only 1.3 mA max supply current), making it a good fit for battery-powered, portable (or remote) applications.

The AD620, with its high accuracy of 40 ppm maximum nonlinearity, low offset voltage of 50  $\mu$ V max, and offset drift of 0.6  $\mu$ V/ $^{\circ}$ C max, is ideal for use in precision data acquisition systems, such as weigh scales and transducer interfaces. Furthermore, the low noise, low input bias current, and low power of the AD620 make it well suited for medical applications, such as ECG and noninvasive blood pressure monitors.

The low input bias current of 1.0 nA max is made possible with the use of SuperBeta processing in the input stage. The AD620 works well as a preamplifier due to its low input voltage noise of 9 nV/ $\sqrt{\text{Hz}}$  at 1 kHz, 0.28  $\mu$ V p-p in the 0.1 Hz to 10 Hz band, and 0.1 pA/ $\sqrt{\text{Hz}}$  input current noise. Also, the AD620 is well suited for multiplexed applications with its settling time of 15  $\mu$ s to 0.01%, and its cost is low enough to enable designs with one in-amp per channel.

Table 1. Next Generation Upgrades for AD620

Part	Comment
AD8221	Better specs at lower price
AD8222	Dual channel or differential out
AD8226	Low power, wide input range
AD8220	JFET input
AD8228	Best gain accuracy
AD8295	+2 precision op amps or differential out
AD8429	Ultra low noise

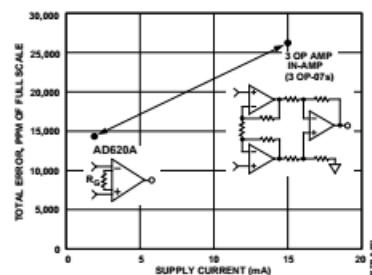


Figure 2. Three Op Amp IA Designs vs. AD620

**Anexo 12. Extracto de hoja de datos para amplificador de instrumentación AD620 (II)**

## THEORY OF OPERATION

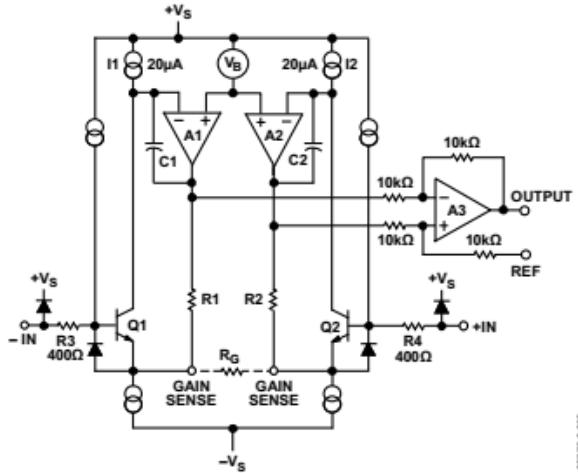


Figure 36. Simplified Schematic of AD620

The AD620 is a monolithic instrumentation amplifier based on a modification of the classic three op amp approach. Absolute value trimming allows the user to program gain accurately (to 0.15% at G = 100) with only one resistor. Monolithic construction and laser wafer trimming allow the tight matching and tracking of circuit components, thus ensuring the high level of performance inherent in this circuit.

The input transistors Q1 and Q2 provide a single differential-pair bipolar input for high precision (Figure 36), yet offer 10× lower input bias current thanks to Superbeta processing. Feedback through the Q1-A1-R1 loop and the Q2-A2-R2 loop maintains constant collector current of the input devices Q1 and Q2, thereby impressing the input voltage across the external gain setting resistor  $R_G$ . This creates a differential gain from the inputs to the A1/A2 outputs given by  $G = (R1 + R2)/R_G + 1$ . The unity-gain subtractor, A3, removes any common-mode signal, yielding a single-ended output referred to the REF pin potential.

The value of  $R_G$  also determines the transconductance of the preamp stage. As  $R_G$  is reduced for larger gains, the transconductance increases asymptotically to that of the input transistors. This has three important advantages: (a) Open-loop gain is boosted for increasing programmed gain, thus reducing gain related errors. (b) The gain-bandwidth product (determined by C1 and C2 and the preamp transconductance) increases with programmed gain, thus optimizing frequency response. (c) The input voltage noise is reduced to a value of 9 nV/√Hz, determined mainly by the collector current and base resistance of the input devices.

The internal gain resistors, R1 and R2, are trimmed to an absolute value of 24.7 kΩ, allowing the gain to be programmed accurately with a single external resistor.

The gain equation is then

$$G = \frac{49.4k\Omega}{R_G} + 1$$

$$R_G = \frac{49.4k\Omega}{G-1}$$

*Anexo 13. Extracto de hoja de datos para amplificador de aislamiento AD210*



# Precision, Wide Bandwidth 3-Port Isolation Amplifier

**AD210**

## FEATURES

**High CMV Isolation:** 2500 V rms Continuous  
 $\pm 3500$  V Peak Continuous  
**Small Size:** 1.00" x 2.10" x 0.350"  
**Three-Port Isolation:** Input, Output, and Power  
**Low Nonlinearity:**  $\pm 0.012\%$  max  
**Wide Bandwidth:** 20 kHz Full-Power (-3 dB)  
**Low Gain Drift:**  $\pm 25$  ppm/ $^{\circ}\text{C}$  max  
**High CMR:** 120 dB ( $G = 100$  V/V)  
**Isolated Power:**  $\pm 15$  V @  $\pm 5$  mA  
**Uncommitted Input Amplifier**

## APPLICATIONS

Multichannel Data Acquisition  
 High Voltage Instrumentation Amplifier  
 Current Shunt Measurements  
 Process Signal Isolation

## GENERAL DESCRIPTION

The AD210 is the latest member of a new generation of low cost, high performance isolation amplifiers. This three-port, wide bandwidth isolation amplifier is manufactured with surface-mounted components in an automated assembly process. The AD210 combines design expertise with state-of-the-art manufacturing technology to produce an extremely compact and economical isolator whose performance and abundant user features far exceed those offered in more expensive devices.

The AD210 provides a complete isolation function with both signal and power isolation supplied via transformer coupling internal to the module. The AD210's functionally complete design, powered by a single +15 V supply, eliminates the need for an external DC/DC converter, unlike optically coupled isolation devices. The true three-port design structure permits the AD210 to be applied as an input or output isolator, in single or multichannel applications. The AD210 will maintain its high performance under sustained common-mode stress.

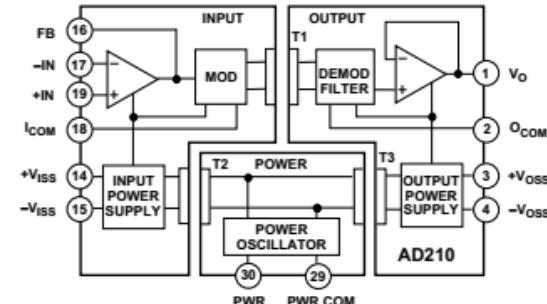
Providing high accuracy and complete galvanic isolation, the AD210 interrupts ground loops and leakage paths, and rejects common-mode voltage and noise that may otherwise degrade measurement accuracy. In addition, the AD210 provides protection from fault conditions that may cause damage to other sections of a measurement system.

## PRODUCT HIGHLIGHTS

The AD210 is a full-featured isolator providing numerous user benefits including:

**High Common-Mode Performance:** The AD210 provides 2500 V rms (Continuous) and  $\pm 3500$  V peak (Continuous) common-

## FUNCTIONAL BLOCK DIAGRAM



mode voltage isolation between any two ports. Low input capacitance of 5 pF results in a 120 dB CMR at a gain of 100, and a low leakage current (2  $\mu$ A rms max @ 240 V rms, 60 Hz).

**High Accuracy:** With maximum nonlinearity of  $\pm 0.012\%$  (B Grade), gain drift of  $\pm 25$  ppm/ $^{\circ}\text{C}$  max and input offset drift of ( $\pm 10 \pm 30/G$ )  $\mu\text{V}/^{\circ}\text{C}$ , the AD210 assures signal integrity while providing high level isolation.

**Wide Bandwidth:** The AD210's full-power bandwidth of 20 kHz makes it useful for wideband signals. It is also effective in applications like control loops, where limited bandwidth could result in instability.

**Small Size:** The AD210 provides a complete isolation function in a small DIP package just 1.00" x 2.10" x 0.350". The low profile DIP package allows application in 0.5" card racks and assemblies. The pinout is optimized to facilitate board layout while maintaining isolation spacing between ports.

**Three-Port Design:** The AD210's three-port design structure allows each port (Input, Output, and Power) to remain independent. This three-port design permits the AD210 to be used as an input or output isolator. It also provides additional system protection should a fault occur in the power source.

**Isolated Power:**  $\pm 15$  V @ 5 mA is available at the input and output sections of the isolator. This feature permits the AD210 to excite floating signal conditioners, front-end amplifiers and remote transducers at the input as well as other circuitry at the output.

**Flexible Input:** An uncommitted operational amplifier is provided at the input. This amplifier provides buffering and gain as required and facilitates many alternative input functions as required by the user.

*Anexo 14. Extracto de hoja de datos para ADC AD7866 (I)*



# Dual 1 MSPS, 12-Bit, 2-Channel SAR ADC with Serial Interface

**AD7866**

## FEATURES

- Dual 12-Bit, 2-Channel ADC
- Fast Throughput Rate: 1 MSPS
- Specified for  $V_{DD}$  of 2.7 V to 5.25 V
- Low Power
  - 11.4 mW Max at 1 MSPS with 3 V Supplies
  - 24 mW Max at 1 MSPS with 5 V Supplies
- Wide Input Bandwidth
  - 70 dB SNR at 300 kHz Input Frequency
- On-Board Reference 2.5 V
- 40°C to +125°C Operation
- Flexible Power/Throughput Rate Management
- Simultaneous Conversion/Read
- No Pipeline Delays
- High Speed Serial Interface SPI™/QSPI™/  
MICROWIRE™/DSP Compatible
- Shutdown Mode: 1  $\mu$ A Max
- 20-Lead TSSOP Package

## GENERAL DESCRIPTION

The AD7866 is a dual 12-bit high speed, low power, successive approximation ADC. The part operates from a single 2.7 V to 5.25 V power supply and features throughput rates up to 1 MSPS. The device contains two ADCs, each preceded by a low noise, wide bandwidth track-and-hold amplifier that can handle input frequencies in excess of 10 MHz.

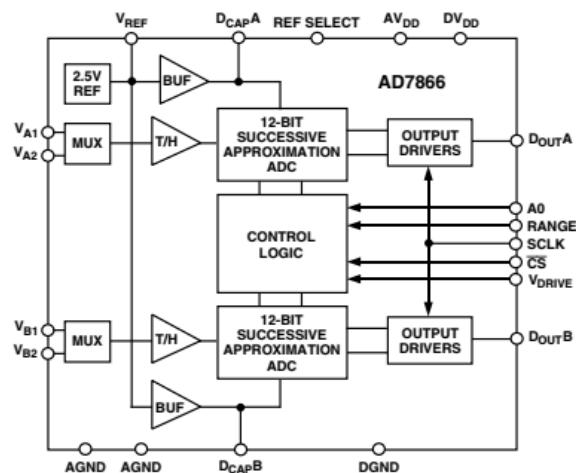
The conversion process and data acquisition are controlled using standard control inputs, allowing easy interfacing to microprocessors or DSPs. The input signal is sampled on the falling edge of  $\overline{CS}$ ; conversion is also initiated at this point. The conversion time is determined by the SCLK frequency. There are no pipelined delays associated with the part.

The AD7866 uses advanced design techniques to achieve very low power dissipation at high throughput rates. With 3 V supplies and 1 MSPS throughput rate, the part consumes a maximum of 3.8 mA. With 5 V supplies and 1 MSPS, the current consumption is a maximum of 4.8 mA. The part also offers flexible power/throughput rate management when operating in sleep mode.

The analog input range for the part can be selected to be a 0 V to  $V_{REF}$  range or a  $2 \times V_{REF}$  range with either straight binary or twos complement output coding. The AD7866 has an on-chip 2.5 V reference that can be overdriven if an external reference is preferred. Each on-board ADC can also be supplied with a separate individual external reference.

The AD7866 is available in a 20-lead thin shrink small outline (TSSOP) package.

## FUNCTIONAL BLOCK DIAGRAM



## PRODUCT HIGHLIGHTS

1. The AD7866 features two complete ADC functions, allowing simultaneous sampling and conversion of two channels. Each ADC has a 2-channel input multiplexer. The conversion result of both channels is available simultaneously on separate data lines, or may be taken on one data line if only one serial port is available.
2. High Throughput with Low Power Consumption—The AD7866 offers a 1 MSPS throughput rate with 11.4 mW maximum power consumption when operating at 3 V.
3. Flexible Power/Throughput Rate Management—The conversion rate is determined by the serial clock, allowing the power consumption to be reduced as the conversion time is reduced through a SCLK frequency increase. Power efficiency can be maximized at lower throughput rates if the part enters sleep during conversions.
4. No Pipeline Delay—The part features two standard successive approximation ADCs with accurate control of the sampling instant via a  $\overline{CS}$  input and once off conversion control.

*Anexo 15. Extracto de hoja de datos para ADC AD7866 (II)*

**TIMING SPECIFICATIONS<sup>1</sup>** ( $V_{DD} = 2.7\text{ V}$  to  $5.25\text{ V}$ ,  $V_{DRIVE} = 2.7\text{ V}$  to  $5.25\text{ V}$ ,  $V_{REF} = 2.5\text{ V}$ ;  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

Parameter	Limit at $T_{MIN}, T_{MAX}$	Unit	Description
$f_{SCLK}^2$	10 20	kHz min MHz max	
$t_{CONVERT}$	$16 \times t_{SCLK}$ 800	ns max ns max	$t_{SCLK} = 1/f_{SCLK}$ $f_{SCLK} = 20\text{ MHz}$
$t_{QUIET}$	50	ns max	Minimum Time between End of Serial Read and Next Falling Edge of $\overline{CS}$
$t_2$	10	ns min	$\overline{CS}$ to SCLK Setup Time
$t_3^3$	25	ns max	Delay from $\overline{CS}$ until $D_{OUTA}$ and $D_{OUTB}$ Three-State Disabled
$t_4^3$	40	ns max	Data Access Time after SCLK Falling Edge. $V_{DRIVE} \geq 3\text{ V}$ , $C_L = 50\text{ pF}$ ; $V_{DRIVE} < 3\text{ V}$ , $C_L = 25\text{ pF}$
$t_5$	0.4 $t_{SCLK}$	ns min	SCLK Low Pulsewidth
$t_6$	0.4 $t_{SCLK}$	ns min	SCLK High Pulsewidth
$t_7$	10	ns min	SCLK to Data Valid Hold Time
$t_8^4$	25	ns max	$CS$ Rising Edge to $D_{OUTA}$ , $D_{OUTB}$ , High Impedance
$t_9^4$	10 50	ns min ns max	SCLK Falling Edge to $D_{OUTA}$ , $D_{OUTB}$ , High Impedance SCLK Falling Edge to $D_{OUTA}$ , $D_{OUTB}$ , High Impedance

*Anexo 16. Extracto de hoja de datos para controlador IR2110 (I)*

International  
**IR** Rectifier

Data Sheet No. PD60147 rev.U

**IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF**

## HIGH AND LOW SIDE DRIVER

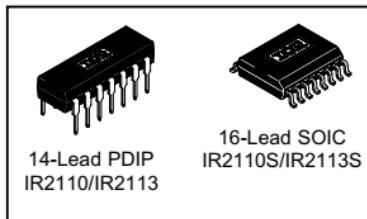
### Features

- Floating channel designed for bootstrap operation
- Fully operational to +500V or +600V
- Tolerant to negative transient voltage
- $dV/dt$  immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
- Separate logic supply range from 3.3V to 20V
- Logic and power ground  $\pm 5V$  offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

### Product Summary

V <sub>OFFSET</sub> (IR2110)	500V max.
(IR2113)	600V max.
I <sub>O</sub> +-	2A / 2A
V <sub>OUT</sub>	10 - 20V
t <sub>on/off</sub> (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

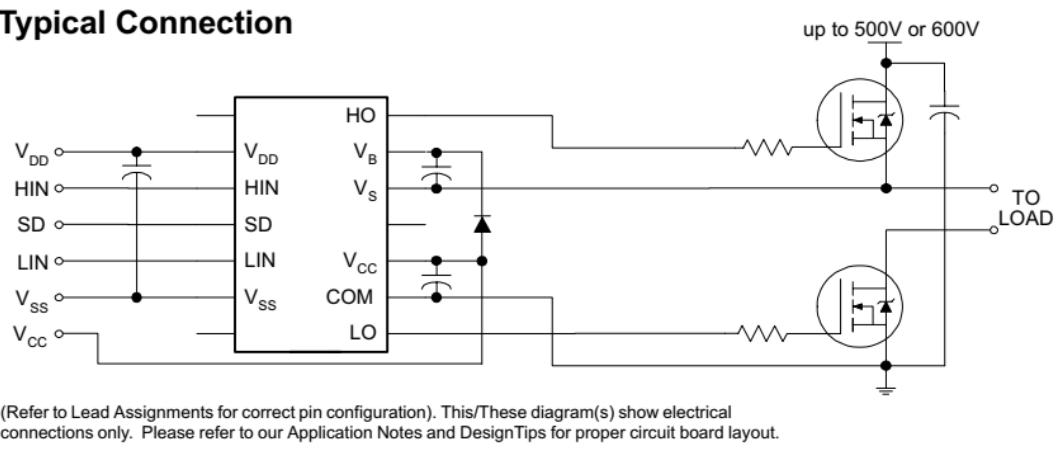
### Packages



### Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

### Typical Connection



*Anexo 17. Extracto de hoja de datos para controlador IR2110 (II)*

**Lead Definitions**

<b>Symbol</b>	<b>Description</b>
V <sub>DD</sub>	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
V <sub>SS</sub>	Logic ground
V <sub>B</sub>	High side floating supply
HO	High side gate drive output
V <sub>S</sub>	High side floating supply return
V <sub>CC</sub>	Low side supply
LO	Low side gate drive output
COM	Low side return

**Anexo 18. Extracto de hoja de datos para transformadores de pulso SKPT 11**

**Electrical Data**

Type	NP/NS	$\int v dt$ $\mu Vs$	$R_p$ $\Omega$	$R_s$ $\Omega$	$L_p$ mH	$C_K$ pF	$I_M$ mA	$t_r$ $\mu s$	$R_c$ $\Omega$	$V_{ww}$ v	$V_{isol}$ KV	Circuit
SKPT 17-2/2	1:1	200			5	12	400	1,5		440	4	A
SKPT 17-4/2	2:1:1	200	5,6	2,2	20	20	400	2,5	27	440	4	B
SKPT 17-5/2	3:1:1	200	16	2	50	20	400	2,5	27	440	4	B
SKPT 17-5/2 S/E	3:1:1	200	16	2	50	20	400	2,5	27	440	4	B
SKPT 22-3/3	1:1:1	300	0,8	0,8	2	25	250	1	40	440	4	B
SKPT 27-2/10	1:1	1000	0,8	0,8	6	60	1000	3	10	440	4	A
SKPT 27-3/10	1:1:1	1000	0,98	0,98	6	60	1000	3	10	440	4	B
SKPT 27-4/10	2:1:1	1000	3,5	1,5	24	60	1000	3	10	440	4	B
SKPT 27-5/10	3:1:1	1000	6	0,6	54	60	1000	3	10	440	4	B
SKPT 32-8/50 *	2:1	5000	0,9	0,45	10	30	1000	0,5	27	750	5	B
SKPT 32- 10/25*	4:1	2500	0,86	0,14	10	30	1000	0,5	27	750	5	A
SKPT 11 **	1:1	200			5	10	300	5	40	440		A
SKPT 12 **	1:1:1	200	1,2	1,2	5	12	300	5	40	440		B
SKPT 14-0050 **	1:2:2				2,1							
SKPT 1121 TP11 **	3:1			34	10,5							
SKPT 1227/TP NUM 2 **	1+1:1	814			12+12	12	1100	1	10	380		
SKPT 17-0314 **	2:1	500	4,0	2,1	20	12	400	1	100	380		A
SKPT 17-0605 **	2:1	120			800	12	300	0,2	27	440		
SKPT 25b3 ***	1:1:1	300	0,55	0,55	2	9	250	1,5	47	500	4	B
SKPT 25e3 ***	3:1:1	300	1,7	0,55	15	10	250	1,5	47	500	4	B
SKPT 14c2,5 ***	2:1	250	1,6	0,86	7,5	12	150	2,5	80	500	4	D
SKPT 14i3 ***	1:1	350	1,25	1,25	2,8	12	150	2,5	80	500	4	D
SKPT 14k2,5 ***	1:1:1	250	0,86	0,86	1,8	10	150	2	80	500	4	C

\* Long duration pulse

\*\* Special

\*\*\* Imported  
Symbols

**Pulse  
Transformer**

**SKPT**



**Feature**

- High isolation
- Compact design
- Low coupling capacity

**Typical Applications**

- Trigger circuit thyristor

NP/NS	Ration between primary and secondary windings.
$\int v dt$	Minimum area voltage x time, of a pulse applied to the primary that can be transferred to the secondary.
$R_p$	Resistance of the primary winding
$R_s$	Resistance of each secondary winding
$L_p$	Inductance of primary winding ( at 1 KHz)
$C_K$	Coupling capacitance between two windings.
$I_M$	Highest peak current obtainable at a rise time lower than 1 $\mu s$
$t_r$	Rise time of voltage pulse
$R_c$	Load resistance for test
$V_{ww}$	Maximum alternating working voltage between windings (R.M.S value)
$V_{isol}$	Insulation test voltage (R.M.S)

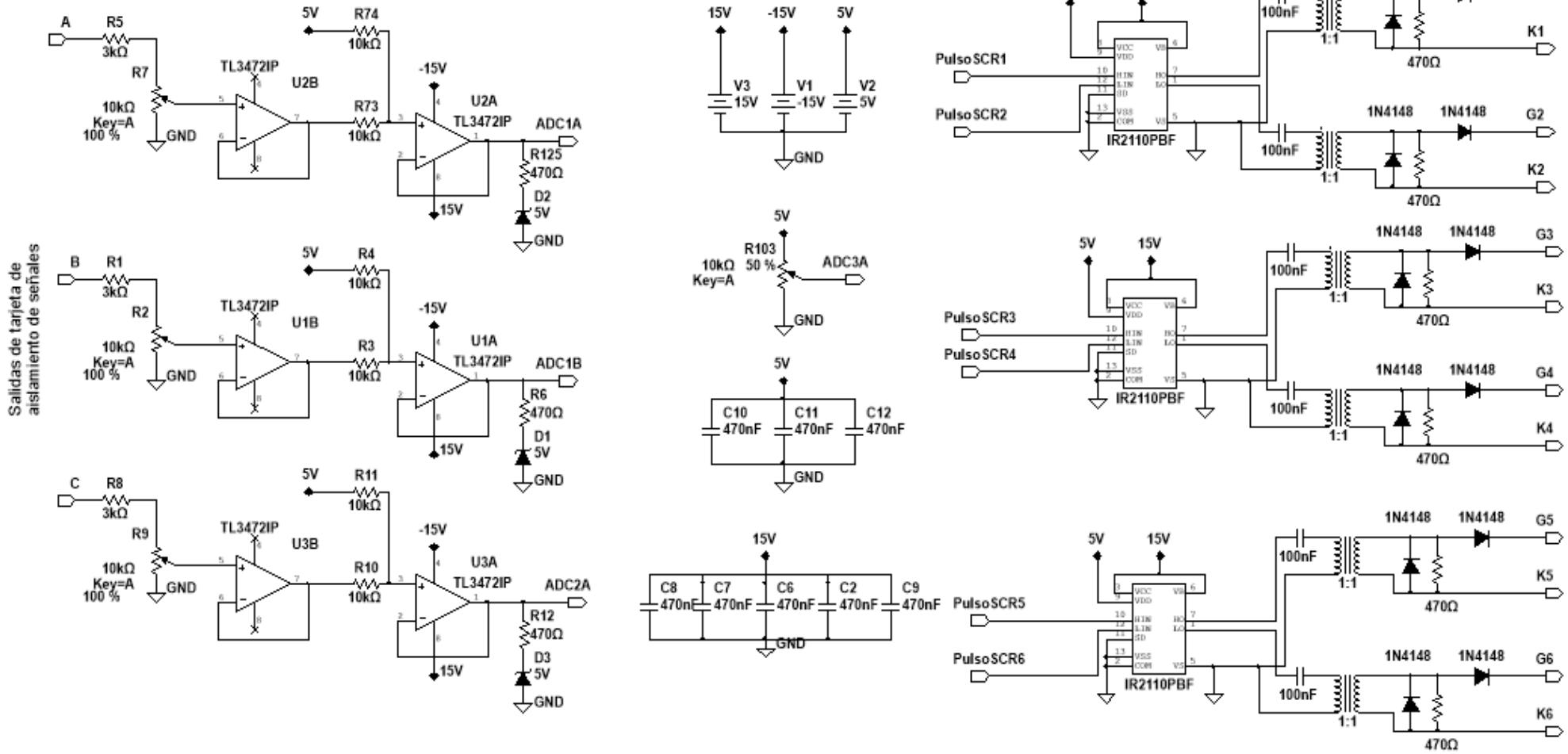
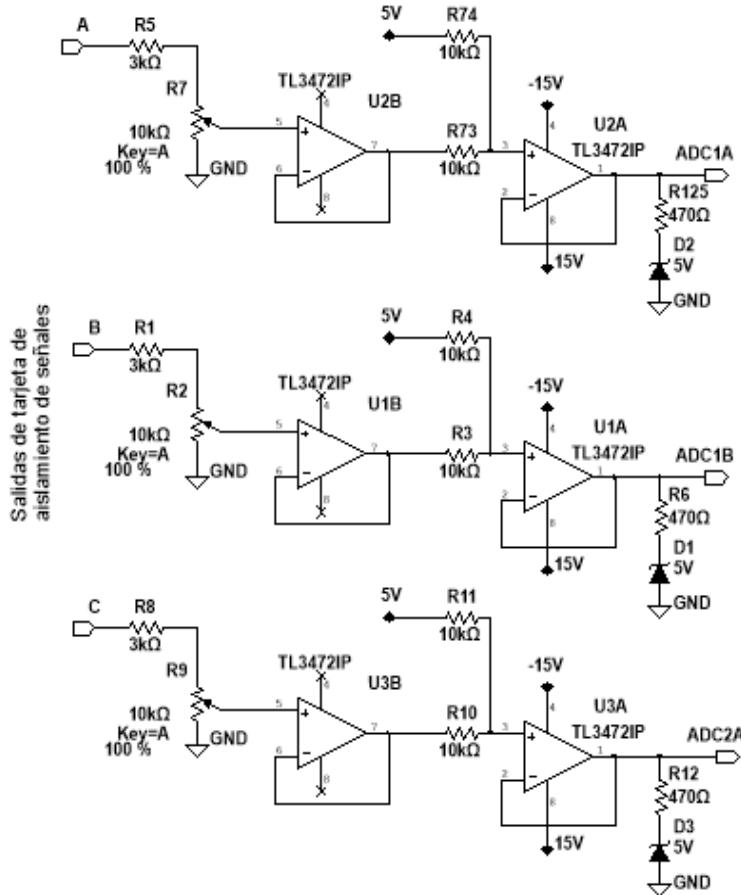
*Anexo 19. Extracto de hoja de datos de multímetro UT50B de la marca UNI-T*

Recommended Product Gallery																																																											
UT50B	Modern Digital Multimeters																																																										
 <a href="#">Enlarge</a>	<b>SPECIFICATIONS</b> <table border="1"> <thead> <tr> <th>Basic Functions</th> <th>Range</th> <th>Best Accuracy</th> </tr> </thead> <tbody> <tr> <td><b>DC Voltage</b></td> <td>200mV/2V/20V/200V/1000V</td> <td>±(0.5%+1)</td> </tr> <tr> <td><b>AC Voltage</b></td> <td>2V/20V/200V/750V</td> <td>±(0.8%+3)</td> </tr> <tr> <td><b>DC Current</b></td> <td>2mA/20mA/200mA/20A</td> <td>±(0.8%+1)</td> </tr> <tr> <td><b>AC Current</b></td> <td>20mA/200mA/20A</td> <td>±(1%+3)</td> </tr> <tr> <td><b>Resistance</b></td> <td>200Ω/2kΩ/20kΩ/200kΩ/2MΩ/20MΩ/200MΩ</td> <td>±(0.8%+1)</td> </tr> <tr> <td><b>Capacitance</b></td> <td>20nF/200nF/2μF/100μF</td> <td>±(4%+3)</td> </tr> <tr> <td><b>Temperature (°C)</b></td> <td>-40°C ~ 1000°C</td> <td>±(1%+3)</td> </tr> <tr> <td><b>Temperature (°F)</b></td> <td>-40°F ~ 1832°F</td> <td>±(1%+4)</td> </tr> <tr> <td><b>Special Functions</b></td> <td></td> <td></td> </tr> <tr> <td><b>Diode</b></td> <td>✓</td> <td></td> </tr> <tr> <td><b>Continuity Buzzer</b></td> <td>✓</td> <td></td> </tr> <tr> <td><b>Data Hold</b></td> <td>✓</td> <td></td> </tr> <tr> <td><b>Display Backlight</b></td> <td>Auto Sensor</td> <td></td> </tr> <tr> <td><b>Full Icon Display</b></td> <td>✓</td> <td></td> </tr> <tr> <td><b>Sleep Mode</b></td> <td>✓</td> <td></td> </tr> <tr> <td><b>Low Battery Display</b></td> <td>✓</td> <td></td> </tr> <tr> <td><b>Input Impedance for DC Voltage Measurement</b></td> <td>Around 10MΩ</td> <td></td> </tr> <tr> <td><b>Max. Display</b></td> <td>1999</td> <td></td> </tr> </tbody> </table>		Basic Functions	Range	Best Accuracy	<b>DC Voltage</b>	200mV/2V/20V/200V/1000V	±(0.5%+1)	<b>AC Voltage</b>	2V/20V/200V/750V	±(0.8%+3)	<b>DC Current</b>	2mA/20mA/200mA/20A	±(0.8%+1)	<b>AC Current</b>	20mA/200mA/20A	±(1%+3)	<b>Resistance</b>	200Ω/2kΩ/20kΩ/200kΩ/2MΩ/20MΩ/200MΩ	±(0.8%+1)	<b>Capacitance</b>	20nF/200nF/2μF/100μF	±(4%+3)	<b>Temperature (°C)</b>	-40°C ~ 1000°C	±(1%+3)	<b>Temperature (°F)</b>	-40°F ~ 1832°F	±(1%+4)	<b>Special Functions</b>			<b>Diode</b>	✓		<b>Continuity Buzzer</b>	✓		<b>Data Hold</b>	✓		<b>Display Backlight</b>	Auto Sensor		<b>Full Icon Display</b>	✓		<b>Sleep Mode</b>	✓		<b>Low Battery Display</b>	✓		<b>Input Impedance for DC Voltage Measurement</b>	Around 10MΩ		<b>Max. Display</b>	1999	
Basic Functions	Range	Best Accuracy																																																									
<b>DC Voltage</b>	200mV/2V/20V/200V/1000V	±(0.5%+1)																																																									
<b>AC Voltage</b>	2V/20V/200V/750V	±(0.8%+3)																																																									
<b>DC Current</b>	2mA/20mA/200mA/20A	±(0.8%+1)																																																									
<b>AC Current</b>	20mA/200mA/20A	±(1%+3)																																																									
<b>Resistance</b>	200Ω/2kΩ/20kΩ/200kΩ/2MΩ/20MΩ/200MΩ	±(0.8%+1)																																																									
<b>Capacitance</b>	20nF/200nF/2μF/100μF	±(4%+3)																																																									
<b>Temperature (°C)</b>	-40°C ~ 1000°C	±(1%+3)																																																									
<b>Temperature (°F)</b>	-40°F ~ 1832°F	±(1%+4)																																																									
<b>Special Functions</b>																																																											
<b>Diode</b>	✓																																																										
<b>Continuity Buzzer</b>	✓																																																										
<b>Data Hold</b>	✓																																																										
<b>Display Backlight</b>	Auto Sensor																																																										
<b>Full Icon Display</b>	✓																																																										
<b>Sleep Mode</b>	✓																																																										
<b>Low Battery Display</b>	✓																																																										
<b>Input Impedance for DC Voltage Measurement</b>	Around 10MΩ																																																										
<b>Max. Display</b>	1999																																																										



Registered Design No.: 0211977.6M003

**Anexo 20. Plano circuitual de circuitos de acondicionamiento de señales de fase y de disparo diseñados**



*Anexo 21. Tabla de resultados y medidas para convertidor CA/CC a lazo abierto*

Ángulo de disparo (°)	Flancos de retraso	Vo Teórico (V)	VoInt Teórico	Vo Práctico (V)	VoInt Práctico
0	0	654,72	1327	695	1409
5	23148	652,22	1322	692	1403
10	46296	644,77	1307	685	1389
15	69444	632,41	1282	668	1354
20	92593	615,23	1247	652	1322
25	115741	593,37	1203	632	1281
30	138889	567,00	1149	610	1237
35	162037	536,31	1087	580	1176
40	185185	501,54	1017	546	1107
45	208333	462,95	939	507	1028
50	231481	420,84	853	466	945
55	254630	375,53	761	417	845
60	277778	327,36	664	366	742
65	300926	276,69	561	309	626
70	324074	223,93	454	255	517
75	347222	169,45	344	204	414
80	370370	113,69	230	152	308
85	393519	57,06	116	101	205
90	416667	0,00	0	48	97
95	439815	-57,06	-116	14	28
100	462963	-113,69	-230	0	0

*Anexo 22. Asignación de pines utilizada en el diseño dentro del FPGA*

Node Name /	Location	Direction	I/O Bank	I/O Standard	VREF Group
DoutA_ADC1	PIN_2	Input	1	3.3-V LVTTL (default)	B1_N0
DoutA_ADC2	PIN_6	Input	1	3.3-V LVTTL (default)	B1_N0
DoutA_ADC3	PIN_11	Input	1	3.3-V LVTTL (default)	B1_N1
DoutB_ADC1	PIN_4	Input	1	3.3-V LVTTL (default)	B1_N0
DoutB_ADC2	PIN_7	Input	1	3.3-V LVTTL (default)	B1_N0
DoutB_ADC3	PIN_26	Input	1	3.3-V LVTTL (default)	B1_N1
Main_Clock	PIN_16	Input	1	3.3-V LVTTL (default)	B1_N1
Pulso_SCR1	PIN_72	Output	4	3.3-V LVTTL (default)	B4_N0
Pulso_SCR2	PIN_75	Output	3	3.3-V LVTTL (default)	B3_N2
Pulso_SCR3	PIN_74	Output	3	3.3-V LVTTL (default)	B3_N2
Pulso_SCR4	PIN_71	Output	4	3.3-V LVTTL (default)	B4_N0
Pulso_SCR5	PIN_76	Output	3	3.3-V LVTTL (default)	B3_N2
Pulso_SCR6	PIN_73	Output	3	3.3-V LVTTL (default)	B3_N2
S_Clk	PIN_28	Output	1	3.3-V LVTTL (default)	B1_N2
ZCD_SCR1	PIN_61	Output	4	3.3-V LVTTL (default)	B4_N0
ZCD_SCR2	PIN_62	Output	4	3.3-V LVTTL (default)	B4_N0
ZCD_SCR3	PIN_67	Output	4	3.3-V LVTTL (default)	B4_N0
ZCD_SCR4	PIN_68	Output	4	3.3-V LVTTL (default)	B4_N0
ZCD_SCR5	PIN_69	Output	4	3.3-V LVTTL (default)	B4_N0
ZCD_SCR6	PIN_70	Output	4	3.3-V LVTTL (default)	B4_N0