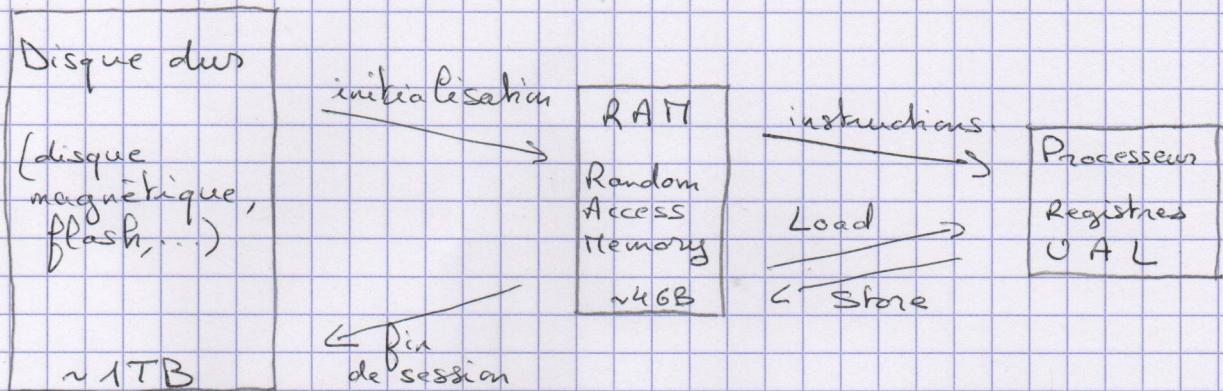


Principes

* Schéma global

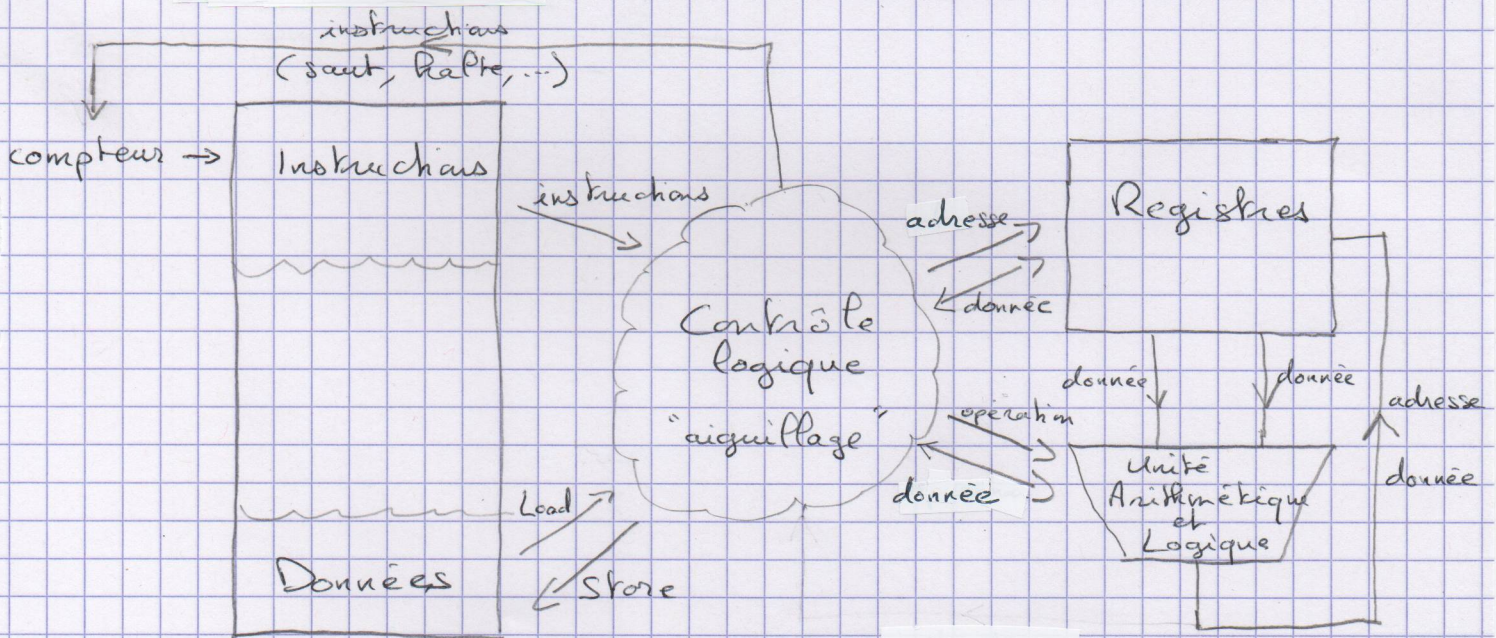


mémoire non volatile

mémoires volatiles

on utilise des mémoires intermédiaires (caches) pour optimiser les flux de données.

* Exécution

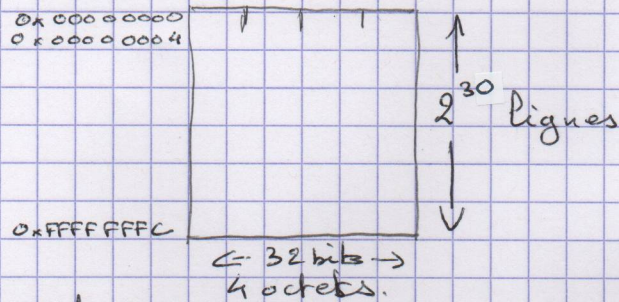


* Architecture 32 bits.

Chaque instruction est codée sur 32 bits

Conséquence : le compteur peut parcourir 2^{32} valeurs

La RAM contient au plus $2^{32} = 4 \text{ Gigabytes}$



chaque ligne a une
capacité de 4 octets = 32 bits

Instructions

* $OP(Ra, Rb, Rc)$

$Reg(Rc) \leftarrow Reg(Ra) \text{ op } Reg(Rb)$

Opcode	Rc	Ra	Rb	inutilisé
6 bits	5 bits	5 bits	5 bits	

ou

* $OP(Ra, \text{constante}, Rc)$

$Reg(Rc) \leftarrow Reg(Ra) \text{ op } \text{constante}$

Opcode	Rc	Ra	constante (entier signé)
6 bits	5 bits	5 bits	16 bits

Conséquences :

* 6 bits sont réservées aux instructions

→ au plus $2^6 = 64$ opérations disponibles

* 5 bits sont réservées pour les adresses de registres

→ au plus $2^5 = 32$ registres.

* 16 bits sont réservées pour les constantes (signées)

→ valeurs comprises entre -32768 et 32767