

DEBER 2 – ORGANIZACIÓN DE COMPUTADORES

1. List and briefly define the possible states that define an instruction execution.

1. Instruction address calculation (IAC): determina la dirección de la próxima instrucción que se ejecutará.

2. Instruction fetch (IF): Lee las instrucciones de la memoria al procesador

3. Instruction operation decoding (IOD): Determinar el tipo de operación y los operandos a usar.

4. Cálculo de dirección de operando (OAC): Determina la dirección del operando.

5. Obtención de operando (OF): Obtiene el operando de la memoria o leerlo desde E/S.

6. Operación de datos (DO): Realiza la operación indicada en la instrucción.

7. Almacén de operandos (SO): Escriba el resultado en la memoria o en E/S.

Referencias:

Tarrataca,L. Top Level view of computer function.

[http://web.ist.utl.pt/luis.tarrataca/classes/computer_architecture/Chapter3-](http://web.ist.utl.pt/luis.tarrataca/classes/computer_architecture/Chapter3-TopLevel.pdf)

[TopLevel.pdf](http://web.ist.utl.pt/luis.tarrataca/classes/computer_architecture/Chapter3-TopLevel.pdf)

2. What types of transfers must a computer's interconnection structure (e.g., bus) support?

1. Memory to processor: La memoria contiene instrucciones son leídas por el procesador. En este caso, el procesador accede a esta memoria para obtener las instrucciones y los a procesar.

2. Processor to memory: El procesador envía una unidad de datos a la memoria para ser almacenada. En otras palabras, el procesador transfiere información a la memoria para ser guardada y utilizada posteriormente.

3. I/O to processor: El procesador recupera datos de un dispositivo de entrada/salida (I/O) a través de un módulo de I/O.

4. Processor to I/O: Realiza el proceso inverso a I/O to procesor es decir ahora el procesador es el que envía datos al dispositivo de I/O.

5. I/O to or from memory: Lee o escribe datos directamente en la memoria sin necesidad de que el procesador actúe como intermediario.

En resumen, existen cinco tipos de transferencias de datos y el procesador es el componente principal encargado de realizar estas transferencias y se comunica con otros componentes del sistema a través de una estructura de interconexión, como un bus.

Referencias:

<https://acikders.ankara.edu.tr/mod/resource/view.php?id=29275>

3. **Consider a hypothetical 32-bit microprocessor having 32-bit instructions composed of two fields: the first byte contains the opcode and the remainder the immediate operand or an operand address.**

- a. **What is the maximum directly addressable memory capacity (in bytes)?**

32bits microprocessor – 8 byte =24bits

Addressable memory= 2^{24} =16777216 bytes

Referencias:

Point, T. (2018). How To Find Maximum Addressable Memory [Video]. In YouTube. <https://www.youtube.com/watch?v=o-Q1GzuQ8oo>

- b. **Discuss the impact on the system speed if the microprocessor bus has:**

i. **32-bit local address bus and a 16-bit local data bus, or**

ii. **16-bit local address bus and a 16-bit local data bus.**

Si el bus de direcciones tiene una longitud de 32 bits, se puede transmitir una dirección completa en un solo ciclo, lo que permite acceder a toda la memoria disponible. Sin embargo, si el bus de datos está limitado a 16 bits, se necesitarán dos ciclos para recuperar una instrucción de 32 bits, lo que aumenta el tiempo de acceso y limita la velocidad de procesamiento.

- c. How many bits are needed for the program counter and the instruction register?

24 bits

4. A microprocessor is clocked at a rate of 5 GHz.

- a. How long is a clock cycle?

Dada la frecuencia de 5GHz.

Rotaciones en 1 segundo = $5 \times 10^9 = 5000000000$

$1 / \text{Rotaciones en 1 segundo} = 0,20 \text{ nanosegundos}$

- b. What is the duration of a particular type of machine instruction consisting of three clock cycles?

$3 \times 0,20 \text{ nanosegundos} = 0,6 \text{ nanosegundos}$

Referencias:

Ciancarelli, N. (2016). Cycles, Instructions and Clock Rate - Problem 1.5 [Video]. In YouTube. <https://www.youtube.com/watch?v=liKtiM12Vww>

5. Suppose you wish to run a program P with 7.5×10^9 instructions on a 5 GHz machine with a CPI of 0.8.

- a. What is the expected CPU time?

Por el literal 4a.

$(7.5 \times 10^9) \times (0.8) \times (0.20) = 1.2 \text{ segundos}$

- b. When you run P, it takes 3 seconds of wall clock time to complete. What is the percentage of the CPU time P received?

$1.2/3 = 0.4 \times 100 = 40\%$

6. A nonpipelined processor has a clock rate of 2.5 GHz and an average CPI (cycles per instruction) of 4. An upgrade to the processor introduces a five-stage pipeline. However, due to internal pipeline delays, such as latch delay, the clock rate of the new processor must be reduced to 2 GHz. What is the speedup achieved for a typical program?

Execution time non pipeline = $4 \times (1/2.5) = 1.6 \text{ nanosegundos}$

Execution for pipeline = $1 \times (1/2) = 0.5 \text{ nanosegundos}$

Speed up = Execution time non pipeline / Execution time pipeline

Speed up = $1.60 / 0.5 = 3.2$

Referencias:

GATE GATE CS 2015 Set 1 Question 65. (2015, February 20). GeeksforGeeks.

<https://www.geeksforgeeks.org/gate-gate-cs-2015-set-1-question-48/>