

БИЛЕТ 1

1. Степен на интеграция. Поколения ИС.

1- во поколение: SSI (small-scale integration) - с ниска степен на интеграция (< 100 компонента/чип): ЛЕ (AND, OR, NAND, NOR, XOR и AP);

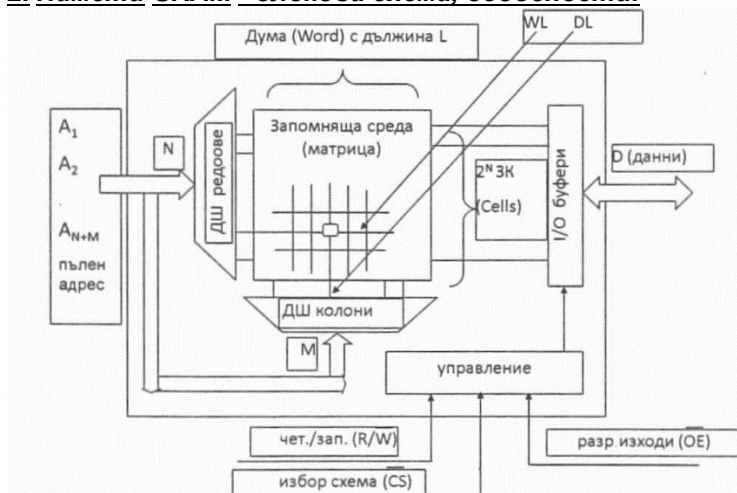
2- ро поколение: MSI (medium-scale integration) - със средна степен на интеграция (от 100 до 3000 компонента/чип): броячи, дешифратори, суматори, мултиплексори, регистри и др.

3- то поколение: LSI (large-scale integration): с висока степен на интеграция (от 3000 to 100,000 компонента/чип): специализирани схеми, малки микроконтролери, АЦП, ЦАП, памети с неголям обем.

4- то поколение: VLSI (very large-scale integration): със свръхвисока степен на интеграция (от 100,000 до 1,000,000 компонента/чип): микроконтролери, полупроводникови памети (главно SRAM, PROM), някои DSP структури;

5- то поколение: ULSI / SVLSI (ultra large-scale integration): с повече от 1млн. електронни компонента на чип - съвременни DRAM памети, PLD структури (FPGA, CPLD), микропроцесори с общо предназначение, многоядрени процесори (multi-core processors, схеми за обработка на изображения и др.;

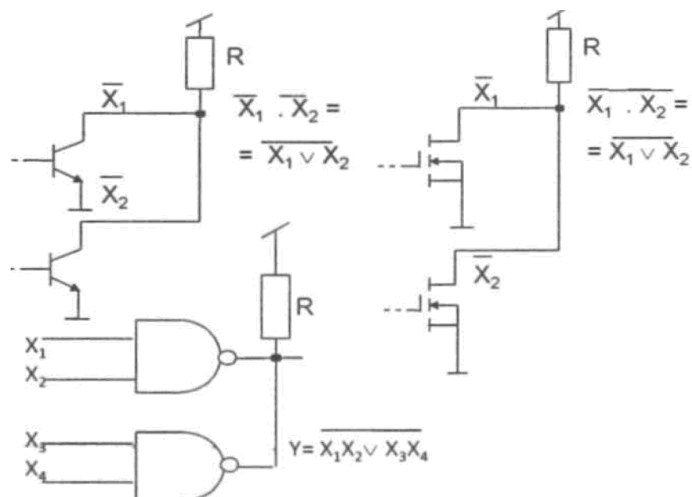
2. Памети SRAM - блокова схема, особености.



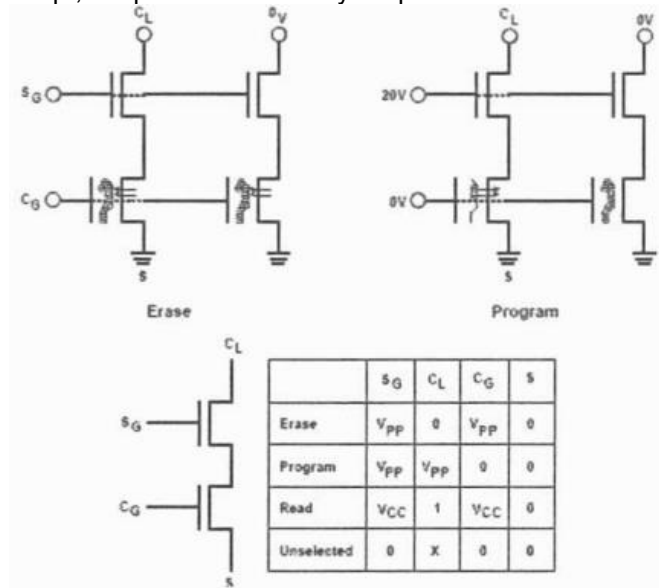
- с около 10 пъти по-ниска плътност на разполагане в чипа от DRAM;
- ниска статична консумация;
- високо бързодействие (малко време на достъп до ЗК);
- облекчен достъп (опростена схемотехника на схемите за достъп).

3. Свързване „жично-ИЛИ“.

TTL елемент-реализация на „жично“ или



4. Памети тип EEPROM: Вътрешно генериран имп. при програмиране – само 1 захранващо напр.; Изтриване/запис- в/у стария байт се записва нов байт инф.



5. Прекъсвания в HC11 - видове.

Общо: операциите Reset и прекъсване зареждат PC с конкретен вектор сочещ към определен адрес от който да се заредят съответните инструкции за изпълнение.

Reset: (1) спира изпълнението на текущата инструкция; (2) изпраща PC към съответния адрес /Reset вектор/; (3) вътрешните регистри и контролни битове от CCR се инициализират за последващо продължаване на работата;

Прекъсвания (Interrupts) - **временно се спира работата на основната програма до приключване изпълнение на обработката на прекъсването**(сервизна процедура). След това основната програма продължава да се изпълнява.

Видове прекъсвания: SWI (Software Interrupt), HWI (Hardware Interrupt) (IRQ, XIRQ)

6. Аналогов интерфейс в HC11 - брой канали, съхранение на данните.

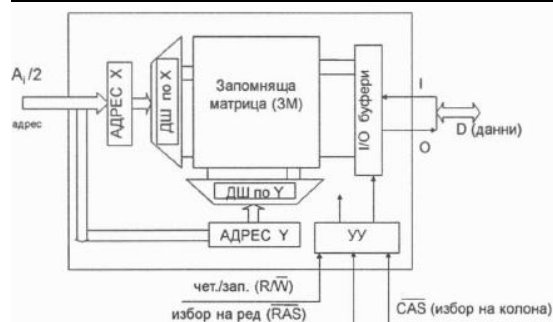
8-канална система (съответно 8-битов мултиплексор), 8-битова точност на преобразуване; 4 бр 8-битови регистри ADR1-ADR4 съхраняват резултата от преобразуването Всеки един от тях е достъпен за ЦП Флагът (CCF) за край на преобразуването указва валидността на данните в регистрите за съхранение на резултата.

7. Интерфейс тип SCI - особености, задаване честотата на обмен.

- универсален UART-тип интерфейс
 - отделна подсистема в ЕМК 68HC11 Е серия
 - стандартен NR2 формат: 1 старт-бит, 8/9 бита данни, 1 стоп бит
 - независим приемник и предавателно 1 и съща скорост на предаване, общ формат на данните
 - поддържа различни скорости на предаване
- BAUD – регистър за задаване на скоростта на предаване – използва се за задаване скоростта на обмен на данни по SCI; Честотата може да бъде променяна във всеки един момент;

БИЛЕТ 2

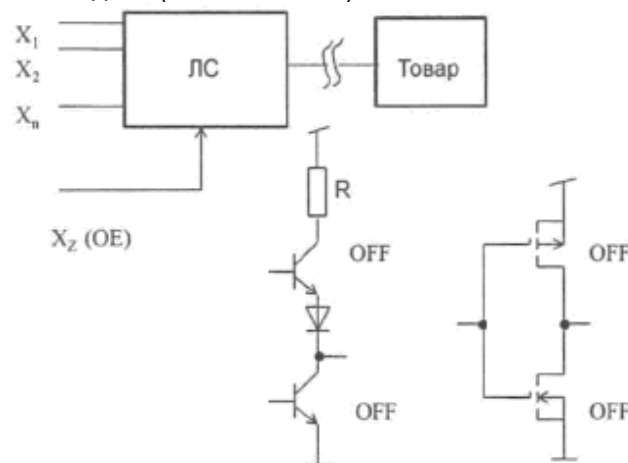
1. DRAM памети - блокова схема, особености.



Предимства: висока плътност на разполагане на елементите; най-ниска цена на 1 bit информация; най-висок общ обем от всички ПП; проста схематехника на 1-Т ЗК - използва само MOS технология (n-MOS), изцяло CMOS съвместима.

Недостатъци: относително ниско бързодействие (липса на положителна обратна връзка /ПОВ/ в структурата на ЗК); необходимост от регенерация; относително сложни режими на четене, запис и регенерация; повишени изисквания към поддържащите схеми; особено внимание към изграждане $C_{зап}$ с висок специфичен капацитет (разнообразни технологии).

2. Високоимпедансно състояние: Паметите и МП схеми работят на определена честота. Всеки вход се характеризира в зависимост от тех-гията, с входен паразитен капацитет (C_p). При вход с Висок Импенданс (H_iZ състояние) се намалява значително този паразитен капацитет.



3. Асоциативни памети - адресиране, приложение.

САМ ("асоциативен масив") - използва се в някои продукти, в които се извършва търсене с висока скорост.

Структура - специфичен ЗЕ с допълнителни схеми И, ИЛ И и др. За определяне на конкретния признак. Съществуват т.нар. *Асоциативни процесори*.

EA=Адрес+признак

Когато думата съвпадаща с признака се открие, САМ връща адрес(и). Може да се връща и стойността или част от самата дума. Хардуерен еквивалент на софтуерния термин "асоциативен масив".

Cache паметта - асоциативна памет. Използва се от CPU (ЦП).

- Висока скорост (по-висока от тази на RAM)

- Относително висока цена - за всеки бит има допълнителна асоциативна схема за сравнение



Пример-при обработка на сегмент от данни ,разположен в памети с голям обем: $EA=A_L+P_i$

4.Reset вектори - разположение в адресното пространство. Смисъл.

Reset вектор – съдържа адреса на първата команда, която ще изпълни МП (също и при прекъсване); POR/External Reset – ползват един и същ вектор; COP/Clock monitor Reset – собствени вектори;

5. SPI интерфейс - особености, режими на работа.

Независима комуникационна подсистема е 68HC11 за последователен (сериен) СИНХРОНЕН обмен на данни с висока скорост между ЕМК и външни устройства като: други микропроцесорни системи; системи за АЦП; драйвери за LCD дисплеи.

- за осъществяване на вътрешен обмен в т.нар. multiple master процесорни системи. SPI подсистемата-като Master или Slave.

- При конфигуриране като Master - скорост на обмен до $\frac{1}{2}$ E-clock честотата на ЕМК (напр. 2Mbit/s при E-clock=4MHz);

- При конфигуриране като Slave - скорост на обмен до пълната E-clock честота ЕМК (до 4Mbit/s при E-clock=4MHz).

Използват се следните принципи на буфериране при обмен:

- единично буфериране при предаване - записът на нова порция данни става едва след прочитане на предходните от преместващия регистър;

- двойно буфериране при приемане - данните при приемане се прехвърлят в отделен паралелен буфер за данни (избягване на състояние презастъпване "overrun").

6.Таймер система - IC функция:

- записва момента на настъпване на външни събития от PA2,PA1,PA0 (PA3) - по фронт (преден или заден). Запомня се стойността на таймерния брояч в момента на събитието. *За софтуерно отчитане интервали от време.*

7.RTI - предназначение, специфика.

- Служи за генериране на хардуерно прекъсване през фиксиран интервал от време;

- Определяне на периода на RTI прекъсването - от битове RTR[1:0] в регистъра PACTL;

- 4 възможни периода, определени от двоичните комбинации на битове RTR[1:0];

- RTI подсистемата се разрешава от бит RTI="1" от регистъра TMSK2.

БИЛЕТ 3

1.CISC, RISC - същност, предимства, недостатъци.

Complex Instruction Set Computer (CISC) - по-голям брой инструкции. Редукция на програмния код по редове. Ангажира процесора в по-голяма степен.

Reduced Instruction Set Computer (RISC) - с ограничен брой инструкции. Софт. е ангажиран с по-голяма част от работата, по-малка заетост на процесора.

2. Шини в микропроцесорните системи - видове, предназначение, ограничения.

- АШ (AB, AL, address bus) - адресна шина;

- ШД (DB, DL, data line) - шина за данни;

- управляваща магистрала?;

Предназначение:Предаване на информация между отделните устройств



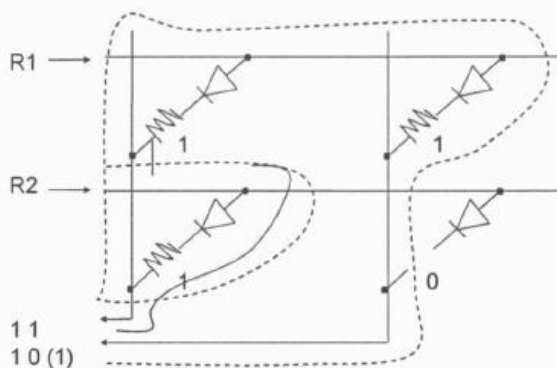
.Памети тип LIFO - същност, приложение в ЕМК.

- LIFO (Last-In First-Out)- първи се чете последния записан бит информация. Приложение: при Stack паметите (бърз достъп до данни).

4. PROM - реализация.

Пропуска се ток с висока стойност при което се прегаря жичката м/у АШ и ШД (без връзка) или се оставя (с връзка). Биполярни (TTL).

Структура с 4 броя ЗК, (четене, програмиране), блуждаещ ток



5.Портове в HC11.

Функциите на съответните изводи зависят от режима на работа.Общо 5 I/O порта (A,B,C,D,E) за всеки ЕМК от фамилия M68HC11(Е-серия)-до 38 използваеми линии в зависимост от избрания режим на работа.

Порт	Изводи	О изводи	I/O изводи	Съвместими функции
A	3	3	2	таймер
B	-	8	-	Адреси A8-A15
C	-	-	8	Адреси A6-A7 Данни D0-D7
D	-	-	6	SCI,SPI
E	8	-	7	АЦП

6. Аналогов интерфейс в HC11 - режими на работа.

Единичен (single-channel, MULT=0). Варианти

а) SCAN=0, Избраният канал се конвертира 4 последователни пъти и резултатите се съхраняват в регистри (ADR1) до (ADR4). След това очаква нова команда в регистъра ADCTL;

б) SCAN=1. Резултатът от 5-то преобразуване се съхранява в регистър (ADR1), припокривайки първото, от 6-то - в (ADR2) и т.н.

Групов (multi-channel, MULT=1). Варианти:

а) SCAM=0. Избрана група от 4 канала се преобразуват еднократно. Резултатите се записват в регистри (ADR1) до (ADR4). След това очаква нова команда в регистъра ADCTL;

б) SCAN=1. Избраната група канали се преобразува непрекъснато, като 5-то преобразуване се записва отново в регистър (ADR1), 6-то в (ADR2) и тн.

7.COP Watchdog система в HC11 - предназначение, задаване на таймаут периода.

ЕМК включва COP система за защита от софтуерни грешки

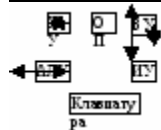
- При включена COP софтуерът следи за препълване на таймера

- При неизпълнение на софтуера в съответната последователност се инициализира RESET.

Таймаут периодът може да се настройва с помощта на prescaler битове CR[1:0];

БИЛЕТ 4

1. ЕМК структура – основни блокове



Класическа структура: Централен процесор (аритметично-логическо устройство, АЛУ) с възможност за работа със специфична система от инструкции. Инструкциите се изпълняват за определено време в зависимост от тактовата честота и спецификата им; оперативна (енергозависима) RAM (Random Access Memory) памет; Управляващо устройство (УУ), Control Unit; Входно устройство (Input Unit); Изходно устройство (Output Unit);

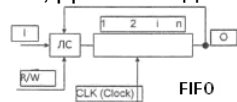
2. Памети с непосредствен достъп – блокова схема, особености, достъп до ЗК ?

МИКРОПРОЦЕСОРНА ТЕХНИКА, Компютърни системи и технологии, ФКСУ, 2008-2009 уч. год.



12

Запомняща среда на база тригери или други специфични транзисторни структури; Адресни шини – адресират 2^N ЗК с дължина на думата L ; M – част от адресните шини за адресиране на конкретен ЗЕ; Достъпът до ЗК става на базата на Дешифратори;



3. Памети тип FIFO – същност, приложение

- при тях се чете първия бит записана информация първо. (още стек)

Безадресна ◊ По-бързи от с непосредствен достъп.

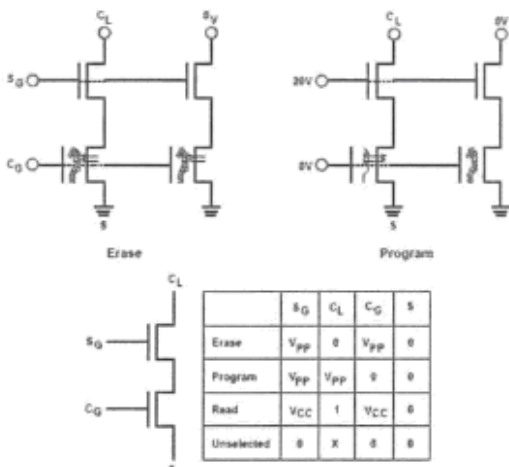
Приложение – при мониторите, за четене на инф. в процеса на визуализация, за обработка на инф.

4. ЕЕПРОМ – особености на запомнящата клетка, режими на работа

- има наличие на допълнителни структури за използване на електрони от и към плаващия гейт при прилагане на високо напрежение.

- ЕЕПРОМ използва механизмът на „тунелен пренос“ на електрони – клетки тип FOTOX, FETMOS.

Режими на работа: изтриване, запис, четене, standby, неизбрана



5. Режими WAIT в HC11

спира обработката на данни и намалява консумацията на междинно ниво около 3-4 пъти – системните регистри се записват в стека и се спира работата на ЦП до подаване на функция RESET или друго прекъсване.

6. Таймер система – ОС

Програмира действие, което да се изпълни в дефиниран момент време.

- отделни 16-битови регистри и 16-битови компаратори за всеки от 5-те ОС изхода.

- при съвпадение състоянието на брояча с това на регистъра- статус флаг (OCxF)=1

След съвпадение на зададения код – стартиране на ОС функц.

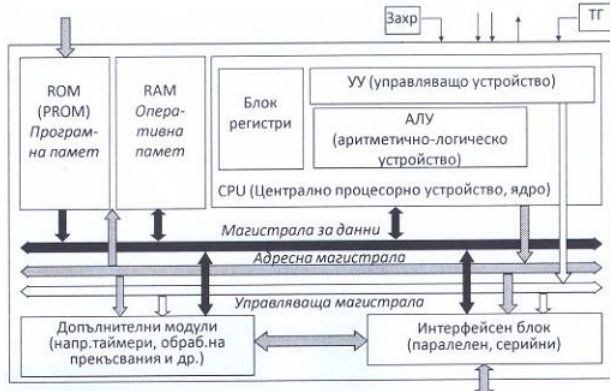
7. Схеми за връзка по SPI интерфейс-особености, видове:

Независима комуникационна подсистема в HC11 за последователен синхронен обмен на данни с висока скорост между ЕМК и външни устройства като други МП, системи за АЦП, драйвери. За осъществяване на вътрешен обмен на т. нар multiple master процесорни системи. Като master – скорост 0.5, като slave – скорост 1.

БИЛЕТ 5

1. Развитие на МП-структура

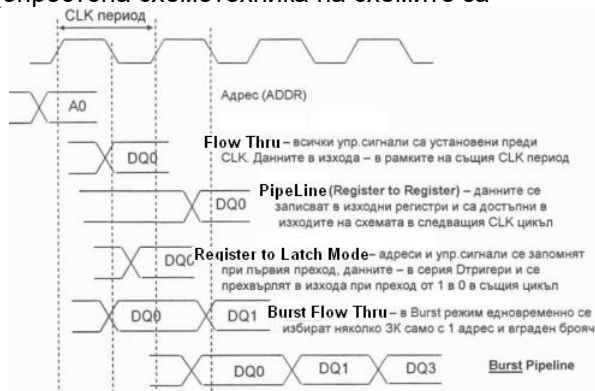
1. Първа структура на МП – Интел 4004 (1971г. 108-740KHz, 1W); 2. 4040 (1972г. – 2ри МП 1MHz); 3. 8008 (1972г.) – 2x по-ефективен от 4004; 4. 8080 (1974г. – инструкции за прекъсване, най-разпространен); 5. 8048 (1976г. – 8 битов, CMOS технология); 6. Intel 8086 (16 bit, PC); 7. 68000 (Моторола за Mac); 8. Интел 80386; 9. 486 (вграден мат. копроцесор); 10. Pentium I (нова технология), Pro, II (MMX техн), III, IV (4GHz), D, Extreme edition (2ядра);



2. SRAM памети – особености, режим и четене

Особености: 1) С около 10 пъти по-ниска плътност на разполагане в чипа от DRAM; 2) Ниска статична консумация; 3) Високо бързодействие (малко време на достъп до ЗК); 4) Облекчен

достъп (опростена схематехника на схемите за



достъп);

3. FLASH памети – специфики на клетката, организация и типове.

Разлики в 3Е: по-тънък слой на SiO₂ под FG; по-дълбока област на сорса (за ускоряване); процесът на изтриване (тунелиране на електрони от плаващия гейт)

Организация: Boot block (Sector erased) Flash – изтриване на сектори от 4KB до 128KB; Bulk erased Flash – изтрива се целия Флаш; Операциите четене и запис – на принципа на непосредствен побайтов достъп;

Типове: NOR-базиран – за приложения с големи масиви данни (пр. Intel Dual-plane Flash 32Mbit); NAND-базиран – за масови приложни продукти и данни (мемори карти, твърди дискове);

4. ЕПРОМ – особености на ЗК, режими на работа:

Особености на ЗК: по-висока плътност на 3Е от PROM – само 1 транзистор, без допълнителна връзка (fuse);

Режим:

- нормална: неизбрана, standby, четене
- изтриване – с UV светлина
- Програмиране (Запис) -бавен (от 50ms до 100ns); адресира се цял байт

5. Режим STOP в HC11 – същност, особености

- спира всички тактови източници и намалява консумираната мощност на възможно най-ниско ниво; съдържанието на RAM се съхранява; Поставяне в този режим – чрез команда STOP при S=0 от CCR. За излизане от режима се подава най-ниското ниво на един от вх-вете.

6. Прекъсване тип „неправилен код” – предназначение, тип

При откриване на неправилен код, ЕМК хардуерно може да прекъсне инструкцията. След това откриване, текущата стойност на PC се прехвърля в стека – изпълнява се процедура по прекъсване.

7. Пулс – акумулатор – предназначение, режими на работа

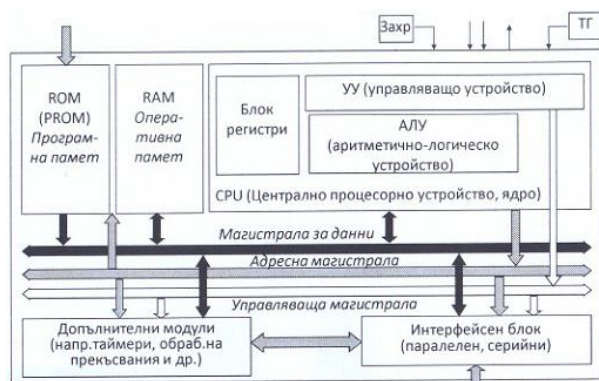
Отделна подсистема включваща 8-битов брояч за работа в 2 режима:

- > **обикновен броячен режим** – увеличава се стойността на брояча при постъпване на сигнал на външния му извод.
- > **разрешителен акумулиращ режим** – в този случай E clock/64 тактува 8-битовия брояч, но само докато външният извод PAI е активен.
- Контролни битове- в регистри PACTL, TMSK2 и TFLG2.

БИЛЕТ 6

1. Развитие на МП

1. Първа структура на МП – Интел4004 (1971г. 108-740KHz, 1W); 2. 4040 (1972г. – 2ри МП 1MHz); 3. 8008 (1972г.) – 2x по-ефективен от 4004; 4. 8080 (1974г. – инструкции за прекъсване, най-разпространен); 5. 8048 (1976г. – 8 битов, CMOS технология); 6. Intel 8086 (16 bit, PC); 7. 68000 (Моторола за Mac); 8. Интел 80386; 9. 486 (вграден мат. копроцесор); 10. Pentium I (нова технология), Pro, II (MMX техн), III, IV (4GHz), D, Extreme edition (2ядра);



2. DRAM – основни режими на работа

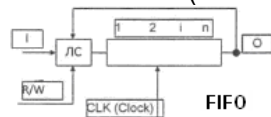
Видове: четене- стандартно, четене – по страници (Fast Page Mode), запис, четене-запис;

3. PROM структура, начини на програмиране. „Блуждаещ” ток

Структура: матрична решетка от „бушони” – NiCr, poly-Si, W връзка с възможност за преграждане (Burning Rom).

Програмиране:

- чрез устройство програматор
- пуска се ток с висока стойност при което се прогаря жичката между АШ и ШД (липса на връзка) или се оставя (наличие на връзка). Запис- бавен.



4. Памети тип LIFO, FIFO

Безадресна ◊ По-бързи от с непосредствен достъп.

FIFO- чете се първия бит записана инф. първо.

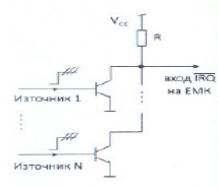
приложение – при мониторите, за четене на инф. в процеса на визуализация, за обработка на опр. инф.



IFO – последен влязъл, пръв излязъл; **приложение** при стек паметите.

5. Енергоспестяващи режими в 68HC11, специфики, разлики – работата на ЦП се прекратява до постъпване на RESET или друго прекъсване.

- WAIT режим – спира обработката на данни и намалява консумацията на междинно ниво (до 3-4 пъти); Спира се работата на ЦП до пристигане на ресет или друго прекъсване (външно IRQ, XIRQ или вътрешно генерирано – от таймер-системата, SCI, SPI); кварцовият осцилатор остава включен;
- STOP режим – спира вс. тактови източници и намалява консумираната мощност на възможно най-ниско ниво – 100nA (RAM се съхранява).



- режим STANDBY – при изключване на захранването. Изход от режима – включване на захранването. (RAM се захранва от V_{STBY} извод).

6. Прекъсване тип IRQ(с черта) – същност реализация –

- допълнително маскирано прекъсване през вход за ЕМК
- Задействане- по-ниско ниво на сигнала от източника на прекъсване
- Свързване на няколко източника в схема „жично ИЛИ”

- Флагът I от контролният регистър CCR се установява в 1 (заявка за прекъсване) и може да се нулира SW след обслужването на прекъсването.

7. Таймер система в HC11 – структура, предназначение.

Таймера представлява брояч. В HC11 таймера се включва на вход А който може да се ползва по различни начини.

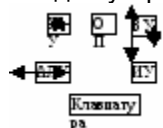
Отделна система в ЕМК HC11; Включва пет отделни вериги за делене на честотата: *Предварителен делител на честотата от кварцовият осцилатор на 4, Основна таймерна верига – 16 битов брояч с програмируем коефициент на броене, задаван чрез prescaler битове PR[1:0]*

Предназначение: 1) Като основен брояч (таймер на сумиране); 2) RTI (Real Time Interrupt); 3) База за Watchdog COP системата; 4) Пулс-акумулатор (броене на импулси и броене по разрешение); 5) Входна функция; 6) Изходна функция;

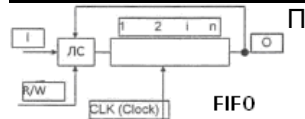
БИЛЕТ 7

1.Обща структура на ЕМК. Изграждащи блокове.

Класическа структура: Централен процесор (аритметично-логическо устройство, АЛУ) с възможност за работа със специфична система от инструкции. Инструкциите се изпълняват за определено време в зависимост от тактовата честота и спецификата им; оперативна (енергозависима) RAM (Random Access Memory) памет; Управляващо устройство (УУ), Control Unit; Входно устройство (Input Unit); Изходно устройство (Output Unit);



2.Памети с последователен достъп. Видове. Параметри.



аметите биват още: адресни и безадресни.

Безадресни – конкретен механизъм (FIFO, UFO) или признак (асоциативни) за достъп без конкретен адрес;

Безадресна По-бързи от с непосредствен достъп.

-FIFO (First-In First-Out) – При първи се чете първия бит записана информация. „Кюнец”.



LIFO (Last-In First-Out) – При тези паметии първи се чете последния записан бит информация. „Кофа”.

3.OTP-PROM – особености. Приложение.

- OTP-EPROM (one-time programmable ROM) за еднократно програмиране – в апаратура, произвеждана в малки серии (без прозорче – в пластмасов корпус). При нужда се изтриват с радиоактивни α -лъчи).

Може би е само PROM:

- Еднократно програмируеми от потребителя в лабораторни условия;

- Структура – матрична решетка (масив) от „бушони „ (array of fuses) – NiCr, poly-Si, W връзка с възможност за прегаряне – т.нар. Burning ROM;

- Биполяри (TTL)

-Запис-бавен(5мин.). Високо бързодействие.

-програмиране – с ток;

-еднократно програмиране;

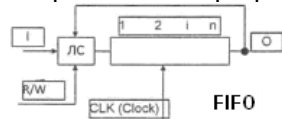
-биполярни PROM – защитени от радиоактивно въздействие;

-високо бързодействие (до 1 ns); висока консумация.

Приложение на PROM

– при реализация на сложни логически функции –пример: Кодови Преобразуватели (КП): BCD ASCII, BCD -> 7-сегментен код и др.;

-за реализация на времеви последователности;
съхранение на програми, в апаратура в големи серии.



4.Памети тип LIFO, FIFO – същност, приложения.

По-бързи от памети с непосредствен достъп.

Безадресна ◊ По-бързи от с непосредствен достъп.

FIFO – чете се първия бит записана инф. „Кюнец”.

Приложение на FIFO паметите:



ри монитори – за четене на инф. в процеса на визуализация; За обработка (трансфер) на „подредена” инф. между несинхронизирани шини и устройства:

LIFO – първи се чете последния записан бит инф. „Кофа”.

Приложение: при Stack паметите (бърз достъп до данни).

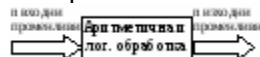
5.Видове адресации в ЕМК HC11. Индексна адресация : [KOD][D]

В този адресен режим байтът след КОД съдържа 8-битово отместване (D- индексно отместване), което се добавя към съдържанието на индексния регистър (IX или IY). Резултатът формира ефективния адрес (EA). Този режим позволява адресиране на всяка клетка от адр.пространство. Общата дължина -2 байта.

Видове: непосредствена, директна, пълна, индексна, относителна, вътрешна.

6.„Плъзгане” на програма – предназначение.

SW грешки:



Много комбинации ◊ възможни софтуерни грешки; Невъзможност на програмиста да тества физически вс. възможни комбинации. Бета-версии – постепенно се отстраняват забелязани от клиентите грешки.

NW приплъзване: Адреси или Данни вместо КОД.

7.Таймер-система в HC11- система броячи. Режими на работа Порт А.

- Отделна система в ЕМК 68HC11 (към Порт А);

- Включва 5 отделни вериги за делене на честотата.

> Предварителен делител на честотата от кварцовия осцилатор на 4;

> Основна таймерна верига – 16-битов брояч с програмируем коефициент на броене (задаван чрез prescaler битове PR[1:0] – на 1,4,8,16). От нея за:

- за SPI подсистемата на серийния интерфейс;

- за SCI подсистемата на серийния интерфейс;

- за Пулс-акумулатор подсистемата;

- за подсистемата за Прекъсване в реално време (RTI) / COP Watchdog подсистема.

Всички операции в таймерната система –сътнесени спрямо честотата на основния (таймерен) брояч.

- Начало на броене \$0000 (след излизане от Reset);

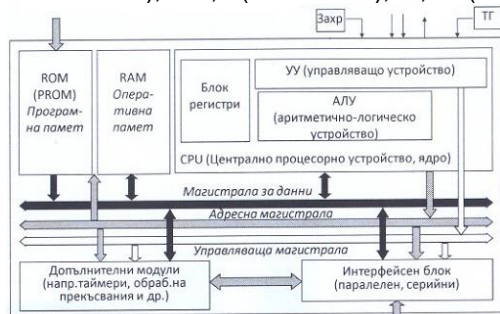
- Край на броене SFFFF. Флагът за препълване 0 (Overflow) в контролния регистър CCR се вдига в „1”. След това – броене отново от \$0000.

При нормален режим на работа на ЕМК – няма спиране, нулиране или промяна на брояча.

БИЛЕТ 8

1. Микропроцесори - развитие. Типове според вида инструкции.

1. Първа структура на МП – Интел4004 (1971г.108-740KHz, 1W); 2. 4040 (1972г. – 2ри МП 1MHz); 3. 8008 (1972г.) – 2х по-ефективен от 4004; 4. 8080 (1974г. – инструкции за прекъсване, най-разпространен); 5. 8048 (1976г. – 8 битов, CMOS технология); 6. Intel 8086 (16 bit, PC); 7. 68000 (Моторола за Mac); 8. Интел 80386; 9. 486 (вграден мат. копроцесор); 10. Pentium I (нова технология), Pro, II(MMX техн), III, IV (4GHz), D, Extreme edition (2ядра);



Брой (специфика) на инструкциите:

Complex Instruction Set Computer (CISC) - по-голям брой инструкции. Редукция на програмния код по редове. Ангажира процесора в по-голяма степен.

Reduced Instruction Set Computer (RISC) - с ограничен брой инструкции. Софтуерът е ангажиран с по-голяма част от работата, по-малка заетост на процесора. (Apple Corp.)

Very Long Instruction Word (VLIW) - представлява продължение на RISC концепцията.

Компиляторът разделя инструкциите на базови операции, изпълними от процесора. Прилага принципа Instruction Level Parallelism (ILP). Цел: намаляване заетостта на процесора;

Superscalar Processors (супер скаларни процесори) - при тях се изпълнява повече от една инструкция на цикъл. Прилага се концепция на хеширане и паралелна обработка.

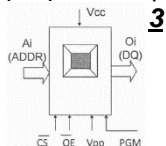
Друга класификация според спецификата на набора инструкции:

- General Purpose Processor (GPP, универсални);
- Special Purpose Processor (SPP, със спец. предназначение);
- Application-Specific Instruction-set Processor (ASIP) (идва от ASIC схемите) - напр. PLC контролерите;
- Digital Signal Processor (DSP) - за бърза обработка в реално време.

2. Памети с непосредствен достъп. Параметри.

Запомняща среда на база тригери или други специфични транзисторни структури; Адресни шини – адресират 2^N ЗК с дължина на думата L; Достъпът до ЗК става на базата на Дешифратори; М - част от адресните шини за адресиране на конкретен ЗЕ;

Параметри: обем на паметта (бр. ЗЕ); дължина на думата L (битове); организация (обем x брой разряди – пр. 64K x 8); бързодействие; консумирана мощност;



3. EPROM - запомняща клетка, режими на работа. Приложение.

По-висока плътност на ЗЕ от PROM - само 1 транзистор, без доп. връзка (fuse);

Режими на работа: нормални (не избрана, четене, standby); изтриване (UV светлина); програмиране (запис).

Приложение: за запис на програми в ЕМК (честа промяна).

4. Програмен модел на ЕМК 68HC11 - регистри, описание.

Включва всички налични регистри в ЦП (6 бр)

ACC A (акумулатор A) - 8-битов; **ACC B** (акумулатор B) - 8-битов (или общо 16-битов акумулатор **ACC D**); **IX** (индексен регистър); **IY** (индексен регистър Y); **SP** (указател на елека); **PC** (програмен брояч); **CCR** {регистър на състоянието}

Акумулатори А и В - 8-битови регистри с общо предназначение. Съхраняват временно операндите (данни) и резултата от изпълнение на предишна операция от АЛУ. За някои инструкции-образуват 16-битов регистър (акумулатор D).

Индексен регистър IX - при индексна адресация осигурява 16-битова стойност (базов адрес), която да се добави към 8-битовото отместване от инструкцията за образуване на ефективен адрес (EA).

Допуска изпълнение на операции INX, DEX, CPX. Може да се ползва като брояч или за съхранение на данни.

Индексен регистър IY - 16-битов. Подобно на IX участва в индексен адресен режим. Повечето инструкции, ползващи IY, изискват допълнителен байт от кода/цикъл за изпълнение.

CCR (рег. на състоянието): не съдържа данни; Съдържа 8 бита (флагове) от които:

- 5 индикатори на състоянието (C, V, Z, N, H)
- 2 маскови бита при прекъсване (IRQ, XIRQ);
- бит за освобождаване от стоп режим (S);

5.КОД. PRE Byte - същност. Относителна адресация.

КОД: код на операцията. Всеки КОД идентифицира опр. инструкция и метод на адресация.

Допълнителен байт - PRE BYTE за увеличаване броя команди (препраща ЦП към съответната страница). Предшества КОД в общия формат. Пълна инструкция - дължина от 1 до 4 байта.

Относителна адресация: [КОД][B]; B- относително преместване.

Използва се само за преходи под условие. При разклонение на програми!; 2-байтова инструк; Ако условието е "True", относителното отместване B от инструкцията се добавя към съдържанието на PC за формиране на EA. В противен случай при "False" се продължава към следващата поред инструкция.

6.Интерфейс RS485 - особености, предназначение.

Особености:

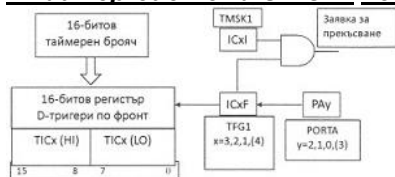
- Липса на обща маса и необходимост от презапасяване за избягване на шума по линията (3V прагово на прежение при RS232);
- Сигналите по **RS485** са "плаващи" - всеки сигнал се предава спрямо линиите **Sig+** и **Sig-**, съответно;
- Приемната част на **RS485** сравнява разликата в напрежението между линиите, вместо абсолютната стойност на сигнала;
- Най-добро подтискане на шума - при усукана двойка на линиите и екраниране на кабела (STP, FTP) - до 1200 м разстояние.

Характеристики:

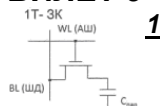
- диференциален тип връзка;
- използва предаване тип "half-duplex" за разлика от RS232 (full-duplex);
- много възлов (multinode, за разлика от RS232 - node-to-node) интерфейс - възможност за връзка на много DE заедно (до 35, за RS422,RS423-до 10);
- висока скорост на предаване: 35Mbs (12м) до IOKbs (1200м)
- висока чувствителност на приемната част (около 200mV) поради диференциалната структура;

Приложение:основа на много съвременни протоколи:Profibus,Modbus

7.Таймер-система в HC11 - схема на един извод в режим IC.



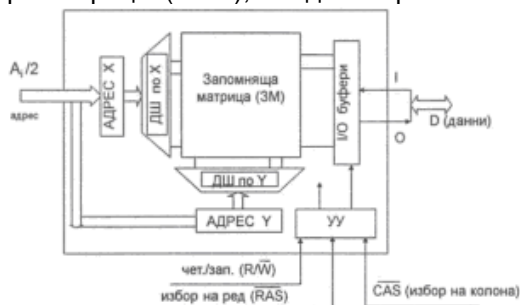
БИЛЕТ 9



. Динамични памети – структура. Особенности на 3К.

3К: ниска консумация

Структура: запомняща матрица(3К); лог. схеми за избор на адрес по редове и колони (адресни ДШ); усилватели (SA усилване на сиг. от 3К); логика за запомняне на адресите (RAS, CAS) и за начало/край на операциите четене/запис; схеми за четене/запис; вътрешни броячи за регенерация(MRC);изходна output enable логика.



2. ЕМК 68HC11 – режими на работа

Основни(нормални) режими:

- *ЕМК (Single-chip)* - налична е само on chip паметта. портовете В и С, както и STRA, STRB изходи с общо предназначение.
- *МП (Expanded multiplexed)* - позволява достъп до външната памет. портове В,С управляващи сигнали AS, R/W.

Всеки от двата основни режима може да се комбинира с един от двата **специални режима:**

- *BOOT (bootstrap)* - вариант на ЕМК, при който се изпълнява мониторингната програма (bootloader), разположена във вътрешния ROM
- *TEST (special Test)* - специален режим, позволяващ привилегирован достъп до вътрешните ресурси (config регистър, настройка).

3. Вътрешна адресация: [КОД] цялата информация за изпълнение на инструкцията се съдържа в КОД. Използва се за работа с вътрешните регистри. 1 или 2 байтова инструкция.

4. Регистър CCR – предназначение.

не съдържа данни; Съдържа 8bit (флагове) от които: 5 флага на състоянието (C, V, Z, N, H), 2 маскови бита при прекъсване (IRQ, XIRQ), бит за освобождаване от стоп режим (S).

5. COP Watchdog система – предназначение. Избор на период. Интерпретация.

ЕМК има COP за защита от software грешки: софтуера следи за препълване на таймера; при неизпълнение на софтуера в съответната последователност се инициализира Reset.

Битове CR[1:0] в OPTION регистъра определят таймаут периода на таймера. След делене на системния тактов сиг. Е на 2^{15} съответния делител се задава от CR[1:0]

6?. Интерфейс IE232(RS232):

интерфейс- сериен обмен, на EIA; двуполлярно предаване (2 нива)- от 5 до 25V, с противоположна полярност спрямо маса; **Скорост-** не е фиксирана, зависи от устройствата; **конектор** DB-25: 25 извода или конектор DB-9.

Необходимост: 2-те устройства да са свързани с едни и същи конектори, с еднаква скорост.

Прилага се за индустриален обем с формат 1-старт бит , 7(8) бита данни , 1(2) стоп бита.

Предимства:

- скоростта на предаване не е фиксирана а зависи от устройствата.
- позволява дефиниране на до 20 сигнала от които са достатъчни само 3 TxD (send data), RxD (receive data), маса.

Съдържа директно след КОД аргументите за съответната операция, която ще се извършва (C^{tn}-константа). В зависимост от дължината на ползваните регистри и нали4ието на PRE-обща дължина от 2,3 или 4 байта.

4. Акумулатори в HC11 – описание, предназначение.

Акумулатори А и В: 8-битови регистри с общо предназначение. Съхраняват временно операндите(данни) и резултата от изпълнението на предишната операция от АЛУ. За някои инструкции – образуват 16-битов регистър (акумулатор D).

5. Power-on Reset (POR) –същност, ефекти.

Същност: Осъществява се RESET при включване на захранването.

Ефекти:

- Инициализация на вътрешните регистри и контролни битове;
- Препраща се пр. брояч на стартов адрес \$FFFE, FFFF (Reset Vector) в нормален режим
- Препраща се пр. брояч на стартов адрес \$BFFE, BFFF (Reset Vector) в сервизен режим
- ЦП – всички регистри и SP(stack pointer) са недефинирани непосредствено след Reset;
- След Reset, регистърът INIT се инициализира в \$01;
- Таймер-система – инициализира се за броене от \$0000. Всички IC са изключени;
- SCI не зависи от режима при Reset;
- SPI системата е изключена;
- АЦП система- изключена;
- EEPROM –конфигурирана за нормално четене.
- Clock monitor системата – изключена.

6. Интерфейс I²C – тип, шини, особености.

- Активни линии – SDA(serial data линия), SCL (serial clock линия) –двупосочни.
- I²C е мулти-мастер bus- т.е. повече от 1 устройство (Bus Master, обикновено ЕМК) може да инициира трансфер. При трансфер останалите устройства са Bus Slaves.
- Захранващи напрежения – 5V/3.3V. възможни са и др, неспецифизирани стойности.
- Максимум 112 устройства в обща комуникация. Зависи от броя адресни линии и капацитета на шините.
- 7-битов (до 10-битов) адрес (16 резервирани).

7. Таймер-система в HC11. Измерване честотата на периодична тактова поредица.

Таймера представлява брояч. В HC11 таймера се включва на вход А който може да се ползва по различни начини.

включва: 5 отделни вериги за делене на честотата; предварителен делител на честотата от кварцовия осцилатор на 4; основна таймерна верига (16bitброяч.)

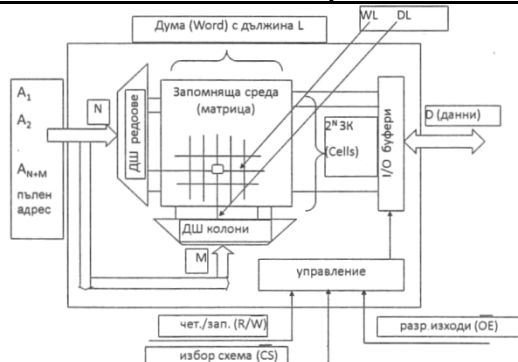
Всички операции в таймерната сис. съотнесени спрямо чест. на основния таймерен брояч.

Начало за броене: \$0000, край \$FFFF, флаг за препълване

В нормален режим, в ЕМК не може се спре/промени брояча.

БИЛЕТ 11

1. Видове памети с непосредствен достъп:



DRAM: висока плътност на елементите, ниска цена, ниско бързодействие, голям общ обем

SRAM: 10 пъти по ниска плътност, ниска консумация, високо бързодействие, лесен достъп

NVMROM – запазват съдържанието си и след изкл. на захранването.

PROM: програмиране с ток, високо бързодействие и консумация.

EPROM: по-висока плътност от PROM, повече бързодействие; радиоактивно неустойчиви, висока цена, невъзможност за селективно изтриване

PROM, EPROM, EEPROM – директно on-circuit програмиране

FLASH – ел-програмируеми памет (EEPROM) където цели области от паметта могат да бъдат изтривани едновременно. обем- 8 до 512 MB

Параметри: обем на паметта (бр. 3E); дължина на думата L (битове); организация (обем x брой разряди – пр. 64K x 8); бързодействие; консумирана мощност;

2. EMK 68HC11- режим:

- Захранващо напрежение: 5V.

- Честота на работа- до 3 MHz, ниска консумирана мощност

Режим на работа: определя се от входовете за избор на режим (mode select inputs MODB, MODA) по време на изпълнение на RESET.

Основни режими:

- *EMK (Single-chip)* - налична е само on chip паметта. портовете B и C, както и STRA, STRB изходи с общо предназначение.

- *МП (Expanded multiplexed)* - позволява достъп до външната памет. портове B,C управляващи сигнали AS, R/W.

Всеки от двата основни режима може да се комбинира с един от двата **специални режима:**

- *BOOT (bootstrap)* - вариант на EMK, при който се изпълнява мониторингната програма (bootloader), разположена във вътрешния ROM

- *TEST (special Test)* - специален режим, позволяващ привилегирован достъп до вътрешните ресурси (config регистър, настройка).

Енергоспестяващ режим:

- Wait – установяване програмно с команда, съхранява се съдържанието на регистрите и паметта, понижена консумация, изход от режима с прекъсване или reset.

- STOP – програмно с команда, съхранява се съдържанието на рег. и паметта, консумация 100nA, изход – прек, Reset.

- Standby – при изключване на захранването (извод V_{STBY} – захранва само RAM).

3. Вътрешна адресация: [КОД] цялата информация за изпълнение на инструкцията се съдържа в КОД. Използва се за работа с вътрешните регистри. 1 или 2 байтова инструкция.

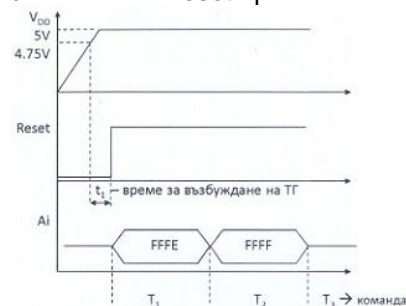
4. Индексни регистри:

- **IX** - при индексната адресация осигурява 16-битова стойност, която да се добави към 8-битовото отместване от инструкцията за образуване на ефективен адрес. Може да се използва като брояч за съхранение на данни.

- **IY** – 16-битов, участва в индексен адресен режим, повечето инструкции изискват допълнителен байт.

5. Power-on Reset:

Установява Reset при включване на захранването. Reset вектор- \$FFFE, FFFF



6. USB: 7 адресни линии, диференциален сериен интерфейс, 4 шини(2 са I²C за данни), NRZI кодиране

Скорости: Slow-speed, Full-speed, High-speed, Super speed

Тип протоколи: Control, Interrupt, Isochronous, Bulk

Формат на обмена: Начален (Token) пакет (дали ще прави R/W), Пакет с данни, Handshake пакет (потвърждаване). SOF (начало на фреймовете пакети- 11bit).

Пакет-структура: Synch (8/32 bit), PID (8bit), ADDR (адреса на устройството 7bit), ENDP (4bit), CRC (5bit за всеки Token, 16bit за Data), EOP (край на пакета, 3bit).

7. Timer в HC11: включва: 5 отделни вериги за делене на честотата; предварителен делител на честотата от кварцовия осцилатор на 4; основна таймерна верига (16bit брояч).

Всички операции в таймерната сис. съотнесени спрямо чест. на основния таймерен брояч.

Начало за броене: \$0000, край \$FFFF, флаг за препълване

В нормален режим, в ЕМК не може се спре/промени брояча.

Продължителност на $T_{и}$ имп: дефиниране на битове PR1, PR0 от регистъра така че overflow периода на таймера $> T_{и}$; Инициализация на регистър TCTRL2 (EDGxB=1, EDGxA=1); инициализация на регистри- битове TMKS1[3:0], TFLG1[3:0] (при ICxI=1 – прекъсване, ICxI=0 – IC функц. без прекъсване; ICxF01 – флаг за събитие на ICx. Вдига се при всеки фронт.

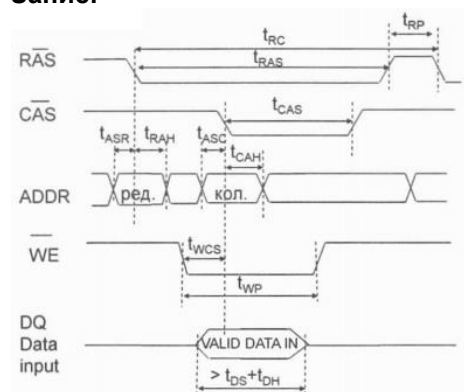
БИЛЕТ 12

1. DRAM, 3K:

DRAM: (+)-ове: висока плътност на разполагане на 3K, проста схемотехника на 1-T 3K (MOS технология); (-) –уси: лошо бързодействие, необходимост от регенерация, сложен режим R/W/Регенерация, повишени изисквания към поддържащите схеми.

3K: $C_{пар}$ ($C_{ЗАЛ}$) = 30-40 fF; Ниска консумация (след зареждане, $C_{пар}$ не консумира ен.), постепенно разреждане на $C_{пар}$ (необходимост от регенерация – Memory Refresh)

Запис:



2. ЕМК 68HC11, ен.спестяващ режим:

- Wait – установяване програмно с команда, съхранява се съдържанието на регистрите и паметта, понижена консумация, изход от режима с прекъсване или reset.

- STOP – програмно с команда, съхранява се съдържанието на рег. и паметта, консумация 100nA, изход – прек, Reset.

- Standby – при изключване на захранването (извод V_{STBY} – захранва само RAM).

3. Вътрешна адресация: [КОД] цялата информация за изпълнение на инструкцията се съдържа в КОД. Използва се за работа с вътрешните регистри. 1 или 2 байтова инструкция.

4. Регистър CCR: не съдържа данни; 8bit (флагове) от които: 5 флага на състоянието (C, V, Z, N, H), 2 маскови бита при прекъсване (IRQ, XIRQ), бит за освобождаване от стоп режим (S)

5. COP Watchdog: ЕМК има COP за защита от software грешки: софтуера следи за препълване на таймера; при неизпълнение на софтуера в съответната последователност се инициализира Reset (COP Reset).

Битове CR[1:0] в OPTION регистъра определят таймаут периода на таймера. След делене на системния тактов сиг. Е на 2^{15} съответния делител се задава от CR[1:0]

6?. Интерфейс IEA232: интерфейс- сериен обмен, на EIA; двуполарно предаване (2 нива)- от 5 до 25V, с противоположна полярност спрямо маса; *Скорост*- не е фиксирана, зависи от устройствата; *конектор* DB-25: 25 извода или конектор DB-9.

Необходимост: 2-те устройства да са свързани с едни и същи конектори, с еднаква скорост.

Прилага се за индустриален обем с формат 1-старт бит , 7(8) бита данни , 1(2) стоп бита.

Предимства:

- скоростта на предаване не е фиксирана а зависи от устройствата.
- позволява дефиниране на до 20 сигнала от които са достатъчни само 3 TxD (send data), RxD (receive data), маса.
- използва се за сериозен обем цифрови данни между 2 устройства. Двуполярно предаване (2 нива) - от 5 до 25 V с противоположна полярност спрямо маса.

Недостатъци:

- максимална скорост 20 kbps (основен недостатък)
- максимално разстояние 15/30 метра (основен недостатък)
- необходимо е и двете устройства да са свързани с конектори от един и същи вид и да ползват еднаква скорост на предаване.
- минимална амплитуда на сигнала 3V.

7. Timer в HC11: включва: 5 отделни вериги за делене на честотата; предварителен делител на честотата от кварцовия осцилатор на 4; основна таймерна верига (16bit брояч.

Всички операции в таймерната сис. съотнесени спрямо чест. на основния таймерен брояч.

Начало за броене: \$0000, край \$FFFF, флаг за препълване

В нормален режим, в ЕМК не може се спре/промени брояча.

Генериране на ед. имп. T_{out}: дефиниране на битове PR1, PR0 от рег. TMSK2 така че overflow периода на таймера > желан изх. импулс T_{out}; Инициализация на рег. TCTRL1; Инициализация на рег. битове: TMSK1[7:3], TFLG1[7:3] (-при OCxI=1 – заявка за прекъсване при успешно сравнение, рег. TMSK2 – бит TOI=1; при OCxI=0- таймерна ОС функ. без прекъсване; - при OCxF \diamond 1 – флаг за успешно сравнение в изход OCx)

БИЛЕТ 13

1. SRAM памети. 3K. Режими на работа.

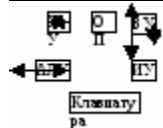
Особености: 1) С около 10 пъти по-ниска плътност на разполагане в чипа от DRAM; 2) Ниска статична консумация; 3) Високо бързодействие (малко време на достъп до 3K); 4) Облекчен достъп (опростена схематехника на схемите за достъп);

Запомнящи клетки:

- 3K = 1 bit чрез броя битове се измерва обема на паметта.

Режими на работа: неизбрана, read, write, standby

2. ЕМК 68HC11 – структура, системи, специфика.



Класическа структура: Централен процесор (аритметично-логическо устройство, АЛУ) с възможност за работа със специфична система от инструкции. Инструкциите се изпълняват за определено време в зависимост от тактовата честота и спецификата им; оперативна (енергозависима) памет; Управляващо устройство (УУ), Control Unit; Входно устройство (Input Unit); Изходно устройство (Output Unit);

Системи: COP Watchdog система, Таймер Система

Специфики:

68HC11 – 8 битови CISC микроконтролери, 5 броя външни портове A, B, C, D, E.

D е с 6 или 8 бита; Захранващо напр. –5V; Чест. на работа- 3MHz, ниска конс. мощност;

Памет- ен-зависима RAM до 768Bytes); ROM/EPROM до 20 KB;

Интерфейси: серийни(синхронен и асинхронен), паралелен и аналогов.

3. Индексни регистри в HC11.

- IX - при индексната адресация осигурява 16-битова стойност, която да се добави към 8-битовото отместване от инструкцията за образуване на ефективен адрес. Може да се използва като брояч за съхранение на данни.

- IY – 16-битов, участва в индексен адресен режим, повечето инструкции изискват допълнителен байт.

[illegible]

Предназначение: Преобразува аналогов сигнал от аналогов вход избран от мултиплексор във цифров сигнал.

Режими на работа:

- Единиичен

> scan = 1 при 5-тото конвентиране сигнала се записва в ADR1 припокривайки първото, при 6-тото в ADR2 и тн.

- *Групово:*

> SKAN = 0 избира се група от 4 канала който се записват едновременно като резултатът се записва от ADR1 до ADR4.

>SKAN = 1 избраната група се записва непрекъснато като 5-тото записване е отново в ADR1, 6-тото в ADR2 и тн.

интерфейс- сериен обмен, на EIA; *двуполярно предаване* (2 нива)- от 5 до 25V, с противоположна полярност спрямо маса; *Скорост*- не е фиксирана, зависи от устройствата; *конектор* DB-25: 25 извода или конектор DB-9.

Необходимост: 2-те устройства да са свързани с едни и същи конектори, с еднаква скорост.

Прилага се за индустриален обем с формат 1-старт бит , 7(8) бита данни , 1(2) стоп бита.

Предимства:

- скоростта на предаване не е фиксирана а зависи от устройствата.

- позволява дефиниране на до 20 сигнала от които са достатъчни само 3 TxD (send data), RxD (receive data), маса.

- използва се за сериозен обем цифровид анни между 2 остройства. Двуполярно предаване (2 нива) - от 5 до 25 V с противоположна полярност спрямо маса.

Недостатъци:

- максимална скорост 20 kbps (основен недостатък)

- максимално разстояние 15/30 метра (основен недостатък)

- необходимо е и двете устройства да са свързани с конектори от един и същи вид и да ползват еднаква скорост на предаване.

- минимална амплитуда на сигнала 3V.

7. Таймер-система в HC11. Работа в режим IC. Измерване продължителността на имп.

Таймера представлява брояч. В HC11 таймера се включва на вход А който може да се ползва по различни начини.

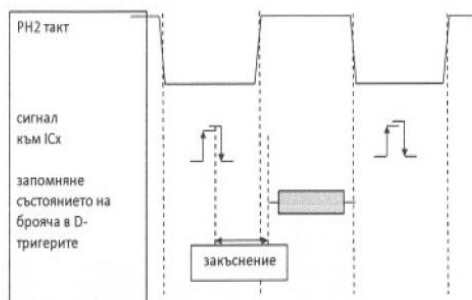
Работа в режим IC:

- Таймер брояч синхронизиран по PH2 на E-clock.

- Приемане на входния сигнал на ICx - асинхронно през първата половина на PH2.

- Запомняне стойността на брояча в D-тригерите през втората половина на PH2 тоест втората половина на PH2 се приема като закъснение.

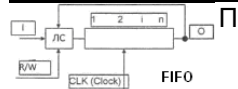
- Игнориране на закъснението (следващото събитие настъпва отново през първата половина на PH2.



Измерване на продължителността на импулс – задаваме активния фронт от 0 към 1 или обратно и измерваме разстоянието по оста на времето между 2 саседни активни фронта. Времето между двата активни фронта се явява продължителността на импулса.

БИЛЕТ 14

1.Памети с последователен достъп.Видове.Интерпретация.Приложение.



аметите биват още: адресни и безадресни.

Безадресни – конкретен механизъм (FIFO, UFO) или признак (асоциативни) за достъп без конкретен адрес;

Безадресна ◊ По-бързи от с непосредствен достъп.

-FIFO (First-In First-Out) – При първи се чете първия бит записана информация. „Кюнец”.

Приложение:



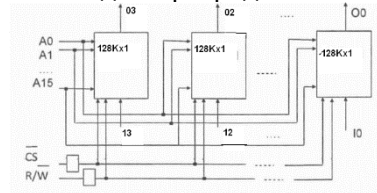
При монитори - за четене на информация в процеса на визуализация;

-LIFO (Last-In First-Out) – При тези памети първи се чете последния записан бит информация. „Кофа”.

Приложение: при Stack паметите (бърз достъп до данни).

2.Увеличаване разрядността на памети.Пример: 128Kx10128Kx4

Необходима разрядност 4 бита.Време за регенерация еднакво.



3 Режими на работа на ЕМК HC11 - задаване предназначение

Основни(нормални) режими:

- **ЕМК (Single-chip)** - налична е само on chip паметта. портовете В и С, както и STRA, STRB изходи с общо предназначение.

- **МП (Expanded multiplexed)** - позволява достъп до външната памет. портове В,С управляващи сигнали AS, R/W.

Всеки от двата основни режима може да се комбинира с един от двата **специални режима:**

- **BOOT (bootstrap)** - вариант на ЕМК, при който се изпълнява мониторингната програма (bootloader), разположена във вътрешния ROM

- **TEST (special Test)** - специален режим, позволяващ привилегирован достъп до вътрешните ресурси (config регистър, настройка).

Предназначение - нивата MODA, MODB определят състоянието на контролните битове SMOD и МДА в регистъра HPRIO.

В режим ЕМК, крачето MODA е свързано към маса.

4.Програмен модел на HC11-акумолатори

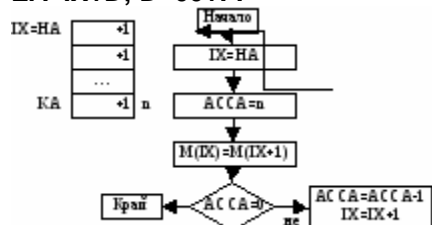
Акумулатори А и В - 8-битови регистри с общо предназначение. Съхраняват временно операндите (данни) и резултата от изпълнение на предишна операция от АЛУ. За някои инструкции-образуват 16-битов регистър (акумулатор D).

5.Индексна адресация. Същност.Интерпретация. [КОД][D]

В този адресен режим байтът след **КОД** съдържа *8-битово отместване* (D- индексно отместване), което се добавя към съдържанието на индексния регистър (IX или IY). Резултатът формира ефективния адрес (EA). Този режим позволява адресиране на всяка клетка от адр.пространство. Общата дължина - **2** байта.

адресиране на клетки от масив.

EA=IX+D; D=00+FF



6.Синхронен сериен интерфейс в HC11-предназначение,особености режими

Предназначение:

Независима комуникационна подсистема в 68HC11 за последователен (сериен) **СИНХРОНЕН** обмен на данни с **ВИСОКА СКОРОСТ** между ЕМК и външни устройства като: други микропроцесорни системи; системи за АЦП; драйвери за LCD дисплей.

- за осъществяване на вътрешен обмен в т.нар. multiple master процесорни системи. SPI подсистемата - като Master или Slave.

Особености:

-При конфигуриране като Master - скорост на обмен до $\frac{1}{2}$ E-clock честотата на ЕМК (напр. 2Mbit/s при E-clock=4MHz);

- При конфигуриране като Slave - скорост на обмен до пълната Е-сюзк честота ЕМК (до 4Mbit/s при E-clock=4MHz).

Използват се следните принципи на буфериране при обмен:

- **единично буфериране** при предаване - записът на нова порция данни става едва след прочитане на предходните от преместващия регистър;

- **двойно буфериране** при приемане - данните при приемане се прехвърлят в отделен паралелен буфер за данни (избягване на състояние презастъпване "overrun").

Формати на обмен: едновременно предаване/приемане на данните през SPI; отделна тактова шина (синхронизация на процесите на преместване и прехвърляне на данните от 2-та серийни канала за данни); допълнителна линия за избор на подчинено SPI-slave устройство при конфигурация 1 Master и няколко slave устройства.

7.Интерфейс RS485-тип,шини,особености,приложение

Особености:

- Липса на обща маса и необходимост от презапасяването за избягване на шума по линията

- Сигналите са „плаващи“ – всеки сиг. се предава спрямо линиите Sig+ и Sig-;

- Приемната част сравнява разликата в напрежението между линиите вместо абсолютната стойност на сигнала

- Най-добро подтискане на шума

Характеристики:

-диференциален тип връзка;

- използва предаване тип "half-duplex" за разлика от RS232 (full-duplex);

- многовъзлов (multinode, за разлика от RS232 - node-to-node) интерфейс - възможност за връзка на много DE заедно (до 35, за RS422,RS423-до 10);
 - висока скорост на предаване: 35Mbs (12м) до 100kbs (1200м);
 - висока чувствителност на приемната част (около 200mV) поради диференциалната структура;
 - използват се съпротивления за съгласуване на линията при големи разстояния за избягване отразяване (рефлексия) на сигнала.
 - диференциален тип връзка;
 - използва предаване тип "half-duplex" за разлика от RS232 (full-duplex);
 - многовъзлов (multinode, за разлика от RS232 - node-to-node) интерфейс - възможност за връзка на много DE заедно (до 35, за RS422,RS423-flo 10);
 - висока скорост на предаване: 35Mbs (12м) до 100kbs (1200м);
 - висока чувствителност на приемната част (около 200mV) поради диференциалната структура;
 - използват се съпротивления за съгласуване на линията при големи разстояния за избягване отразяване (рефлексия) на сигнала.
 - мрежова структура с R5484 (съгл.съпротивление от 100Ω);
 - режими: а) 1 Sender изпраща, 0 или няколко Receivers приемат; б) няколко Senders изпращат едновременно;
 - Sender се връща автоматично в H.I. ~100ms след изпращане;
- Приложение:** основа на мн. съвременни протоколи: Profibus, Modbus.

БИЛЕТ 15

1. Памети с непосредствен достъп. Блокова схема. Видове, особености.



Запомняща среда на база тригери или други специфични транзисторни структури; Адресни шини - адресират 2^N ЗК с дължина на думата L; Достъпът до ЗК става на базата на Дешифратори; М - част от адресните шини за адресиране на конкретен ЗЕ;

DRAM: висока плътност на елементите, ниска цена, ниско бързодействие, голям общ обем

SRAM: 10 пъти по ниска плътност, ниска консумация, високо бързодействие, лесен достъп

NVMROM – запазват съдържанието си и след изкл. на захранването.

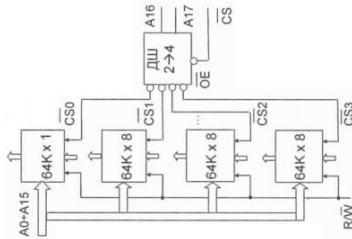
PROM: програмиране с ток, високо бързодействие и консумация.

EPROM: по-висока плътност от PROM, повече бързодействие; радиоактивно неустойчиви, висока цена, невъзможност за селективно изтриване

PROM, EPROM, EEPROM – директно on-circuit програмиране

FLASH – ел-програмируеми памети (EEPROM) където цели области от паметта могат да бъдат изтривани едновременно. обем- 8 до 512 MB

2. Увеличаване обема на паметта. Пример 1M x 8 ÷ 4M x 8



Увеличаването на обема на паметта се прилага за да се намалят броя на платките памет. Вместо 4 броя памети може да се постави памет с 4 пъти по-голям обем.

Пример $1\text{M} \times 8 \diamond 4\text{M} \times 8 \Rightarrow 1\text{M} \times 8 = 10 + 8 \text{ входа} = 18 \text{ входа}$. $4\text{M} \times 8 = 2 + 10 + 8 = 20 \text{ входа}$ като 18 от входовете A₀-A₁₇ са свързани към всички 1Mx8 а A₁₈ и A₁₉ са за избор на блок, те минават през дешифратор и се прилагат подобно на CS за съответния блок.

3. Енергоспестяващи режими в HC11 – видове, особености.

Работата на ЦП се прекратява до постъпване на RESET или друго прекъсване.

- WAIT режим – спира обработката на данни и намалява консумацията на междинно ниво (до 3-4 пъти); Спира се работата на ЦП до пристигане на ресет или друго прекъсване (външно IRQ, XIRQ или вътрешно генерирано – от таймер-системата, SCI, SPI); кварцовият осцилатор остава включен;

- STOP режим – спира вс. тактови източници и намалява консумираната мощност на възможно най-ниско ниво – 100nA (RAM се съхранява).

- STANDBY – при изключване на захранването. Изход от режима – включване на захранването. (RAM се захранва от V_{STBY} извод).

4. Разширена адресация. Особености. [КОД][A_n][A_L]

Съдържа директно след КОД адресите на операндите, които ще се обработват. В зависимост от дължината на ползваните регистри и наличието на PRE – обща дължина от 3 или 4 Bytes.

5. Аналогов интерфейс – структура, особености, режими на работа.

Структура – представлява преобразуване на аналогов сигнал от аналогов вход избран от мултиплексор. Съдържа:

- капацитивен масив, компаратор, регистър за последователна апроксимация.
- регистрите за съхраняване на резултата за 4 броя 8 битови регистри.
- 16 входа. 8 от MUX, 4 вътрешни опорни/тест източници, 4 резервни.

Особености: Използва се контролен регистър ADCTL в който се записват в началото входните данни (избор на канал и режим). Входните данни избират:

- избор на аналогов вход
- статуса на преобразуване тоест единична или непрекъсната конволюция
- определя се дали преобразуването е от 1 или от няколко канала

Режими на работа:

(ADR = адрес)

- **Единичен**

> scan = 0 избрания сигнал се конвентира 4 последователни пъти и резултатите се съхраняват в регистри ADR1 до ADR4 след което се очаква нова команда

> scan = 1 при 5-тото конвентирание сигнала се записва в ADR1 припокривайки първото, при 6-тото в ADR2 и тн.

- **Групово:**

> SKAN = 0 избира се група от 4 канала който се записват едновременно като резултатът се записва от ADR1 до ADR4.

> SKAN = 1 избраната група се записва непрекъснато като 5-тото записване е отново в ADR1, 6-тото в ADR2 и тн.

6. Интерфейс I²C – тип, шини, приложение.

- Активни линии – SDA(serial data линия), SCL (serial clock линия) –двупосочни.

- I²C е мулти-мастер bus- т.е. повече от 1 устройство (Bus Master, обикновено ЕМК) може да иницира трансфер. При трансфер останалите устройства са Bus Slaves.

- Захранващи напрежения – 5V/3.3V. възможни са и др, неспецифицирани стойности.

- Максимум 112 устройства в обща комуникация. Зависи от броя адресни линии и капацитета на шините.

- 7-битов (до 10-битов) адрес (16 резервирани).

Приложение: I2C намира огромно приложение на неговата база се правят USB.

7. Таймер-система в HC11. Функция ОС.

Таймера представлява брояч. В HC11 таймера се включва на вход А който може да се ползва по различни начини.

включва: 5 отделни вериги за делене на честотата; предварителен делител на честотата от кварцовия осцилатор на 4; основна таймерна верига (16bitброяч.)

Всички операции в таймерната сис. съотнесени спрямо чест. на основния таймерен брояч.

Начало за броене: \$0000, край \$FFFF, флаг за препълване

В нормален режим, в ЕМК не може се спре/промени брояча.

ОС функция – Програмира действие, което да се изпълни в дефиниран момент време.

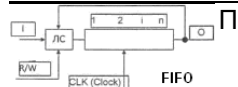
- отделни 16-битови регистри и 16-битови компаратори за всеки от 5-те ОС изхода.

- при съвпадение състоянието на брояча с това на регистъра- статус флаг (ОСхF)=1

След съвпадение на зададения код – стартиране на ОС функц.

БИЛЕТ 16

1. Памети тип LIFO, FIFO. Асоциативни памети. Интерпретация, особености.



аметите биват още: адресни и безадресни.

Безадресни – конкретен механизъм (FIFO, UFO) или признак (асоциативни) за достъп без конкретен адрес;

Безадресна По-бързи от с непосредствен достъп.

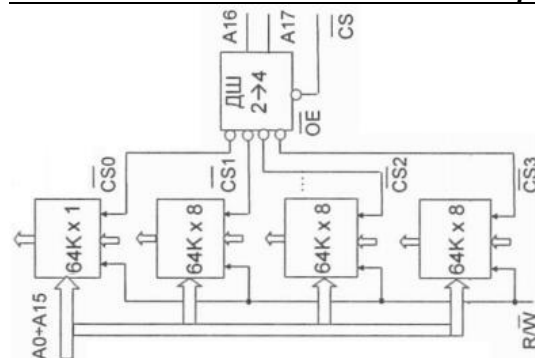
-FIFO (First-In First-Out) – При първи се чете първия бит записана информация. „Кюнец”.



LIFO (Last-In First-Out) – При тези памети първи се чете последния записан бит информация. „Кофа”.

Асоциативни памети (САМ)– използва се в някои продукти, в които се извършва търсене с висока скорост; Структура – специфичен ЗЕ с допълнителни схеми И, ИЛИ и др.; Приложение – при обработка на сегмент от данни, разположен в памет с голям обем;

2. Увеличаване обема на паметта . Пример 4М x 16 ⇄ 16М x 16



Налични блокове 4М x 16. Необходим общ обем на паметта 16М x 16;

Забележка: схемата е същата, но вместо 64Kx8 се пишат 4Mx16 в квадратчетата (несигурен)

3. Енергоспестяващи режими WAIT, STOP – особености, разлики.

Работата на ЦП се прекратява до постъпване на RESET или друго прекъсване.

- **WAIT режим** – спира обработката на данни и намалява консумацията на междинно ниво (до 3-4 пъти); Спира се работата на ЦП до пристигане на ресет или друго прекъсване (външно IRQ, XIRQ или вътрешно генерирано – от таймер-системата, SCI, SPI); кварцовият осцилатор остава включен;

- **STOP режим** – спира вс. тактови източници и намалява консумираната мощност на възможно най-ниско ниво – 100nA (RAM се съхранява).

- STANDBY – при изключване на захранването. Изход от режима – включване на захранването. (RAM се захранва от V_{STBY} извод).

4. Директна адресация. Особенности [КОД][DA]

При тази адресация A_L се съдържа в байта след КОД (DA), A_n се предполага \$00. Адреси в диапазона \$00-\$FF са директни (2 байта инструкция). По-малко време за изпълнение. Обикновено тази 256 байта област се резервира за често ползвани данни (от вътрешни регистри, RAM, външна памет).

5. Прекъсвания в HC11 – видове, обслужване.

Видове:

- SWI (SoftWare Interrupt) – софтуерно (програмно) прекъсване;
- HWI (HardWare Interrupt) – хардуерно (апаратно) прекъсване (!IRQ, !XIRQ(!-черти отгоре));

Обслужване:

- 1) Приключва се изпълнението на текущата инструкция;
- 2) Текущото състояние на вътрешните регистри се записва в стека;
- 3) Флагът за прекъсване I в CCR се става в „1” и забранява последващи прекъсвания;
- 4) Зарежда се съответния вектор на прекъсването;
- 5) След приключване изпълнението на обслужващата прекъсването процедура-команда RTI;
- 6) Съдържанието на вътрешните регистри се извлича от стека в обратен ред;
- 7) Продължава изпълнението на основната програма;

6. Интерфейс USB – тип, шини, режими, пакети, CRC.

USB: 7 адресни линии, диференциален сериен интерфейс, 4 шини(2 са I^2C за данни), NRZI кодиране

Скорости: Slow-speed, Full-speed, High-speed, Super speed

Тип протоколи (режими): Control, Interrupt, Isochronous, Bulk

Формат на обмена: *Начален (Token) пакет* (дали ще прави R/W), *Пакет с данни, Handshake пакет* (потвърждаване). SOF (начало на фреймовете пакети- 11bit).

Пакет-структура: *Synch* (8/32 bit), *PID* (8bit), *ADDR* (адреса на устройството 7bit), *ENDP* (4bit), *CRC* (5bit за всеки Token, 16bit за Data), EOP (край на пакета, 3bit).

7. Таймер-система в HC11. Пулс акумулатор.

Таймера: представлява брояч. В HC11 таймера се включва на вход А който може да се ползва по различни начини.

включва: 5 отделни вериги за делене на честотата; предварителен делител на честотата от кварцовия осцилатор на 4; основна таймерна верига (16bitброяч.)

Всички операции в таймерната сис. съотнесени спрямо чест. на основния таймерен брояч.

Начало за броене: \$0000, край \$FFFF, флаг за препълване

В нормален режим, в ЕМК не може се спре/промени брояча.

Пулс Акумулатор: Отделна подсистема включваща 8-битов брояч за работа в 2 режима:

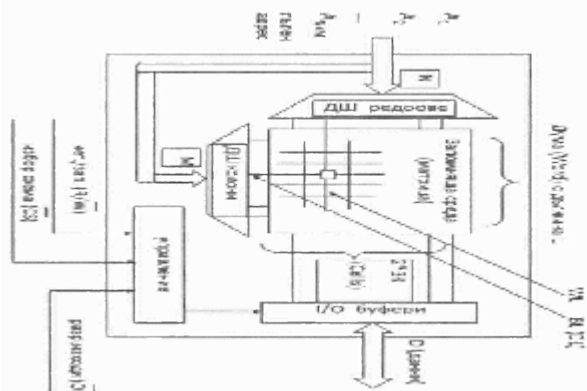
> *обикновен броячен режим* – увеличава се стойността на брояча при постъпване на сигнал на външния му извод.

> *разрешителен акумулиращ режим* – в този случай E clock/64 тактува 8-битовия брояч, но само докато външният извод PAI е активен.

- Контролни битове- в регистри PACTL, TMSK2 и TFLG2.

БИЛЕТ 17

1. Памети с непосредствен достъп. Блокова схема. Видове. Параметри.



DRAM: висока плътност на елементите, ниска цена, ниско бързодействие, голям общ обем

SRAM: 10 пъти по ниска плътност, ниска консумация, високо бързодействие, лесен достъп

NVMROM – запазват съдържанието си и след изкл. на захранването.

PROM: програмиране с ток, високо бързодействие и консумация.

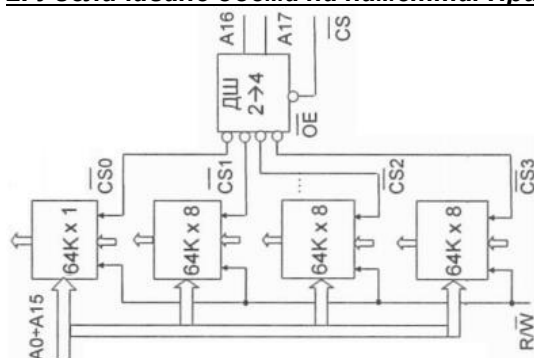
EPROM: по-висока плътност от PROM, повече бързодействие; радиоактивно неустойчиви, висока цена, невъзможност за селективно изтриване

PROM, EPROM, EEPROM – директно on-circuit програмиране

FLASH – ел-програмируеми памет (EEPROM) където цели области от паметта могат да бъдат изтривани едновременно. обем- 8 до 512 MB

Параметри: обем на паметта (бр. ЗЕ); дължина на думата L (битове); организация (обем x брой разряди – пр. 64K x 8); бързодействие; консумирана мощност;

2. Увеличаване обема на паметта. Пример 1M x 8 ∅ 4M x 8



Налични блокове 1M x 8. Необходим общ обем на паметта 4M x 8: Адресиране на паметта: A17 и A16 – избор на блок; A15-A0 – към всички 1Mx8;

Забележка: схемата е същата, но вместо 64Kx8 се пишат 1Mx8 в квадратчетата!

3. Режими на работа на ЕМК 68HC11 – избор, особености.

Основни режими:

- **ЕМК (Single-chip)** - налична е само on chip паметта. портовете В и С, както и STRA, STRB изходи с общо предназначение.

- **МП (Expanded multiplexed)** - позволява достъп до външната памет. портове В, С управляващи сигнали AS, R/W.

Всеки от двата основни режима може да се комбинира с един от двата **специални режима:**

- **BOOT (bootstrap)** - вариант на ЕМК, при който се изпълнява мониторингната програма (bootloader), разположена във вътрешния ROM

- *TEST (special Test)* - специален режим, позволяващ привилегирован достъп до вътрешните ресурси (config регистър, настройка).

Енергоспестяващ режим:

- Wait – установяване програмно с команда, съхранява се съдържанието на регистрите и паметта, понижена консумация, изход от режима с прекъсване или reset.
- STOP – програмно с команда, съхранява се съдържанието на рег. и паметта, консумация 100nA, изход – прек, Reset.
- Standby – при изключване на захранването (извод V_{STBY} – захранва само RAM).

4. Относителна адресация. Особенности.

Относителна адресация: [КОД][B]; B- относително преместване.

Използва се само за преходи под условие. При разклонение на програми!; 2-байтова инструк; Ако условието е "True", относителното отместване B от инструкцията се добавя към съдържанието на PC за формиране на EA. В противен случай при "False" се продължава към следващата поред инструкция.

5. Аналогов интерфейс – предназначение, структура, режими на работа.

Предназначение: Преобразува аналогов сигнал от аналогов вход избран от мултиплексор във цифров сигнал.

Структура: мултиплексор; АЦП – аналогово цифров преобразовател; Верига за цифров контрол; структура за запомняне на резултатите от преобразуването;

Режими на работа:

(ADR = адрес)

- *Единичен*

> scan = 0 избрания сигнал се конвентира 4 последователни пъти и резултатите се съхраняват в регистри ADR1 до ADR4 след което се очаква нова команда

> scan = 1 при 5-тото конвентирание сигнала се записва в ADR1 припокривайки първото, при 6-тото в ADR2 и тн.

- *Групово:*

> SKAN = 0 избира се група от 4 канала който се записват едновременно като резултатът се записва от ADR1 до ADR4.

>SKAN = 1 избраната група се записва непрекъснато като 5-тото записване е отново в ADR1, 6-тото в ADR2 и тн.

6. Интерфейс RS485 – тип, шини, особености, приложение.

Особености:

- Липса на обща маса и необходимост от презапасяването за избягване на шума по линията
- Сигналите са „плаващи“ – всеки сиг. се предава спрямо линиите Sig+ и Sig-;
- Приемната част сравнява разликата в напрежението между линиите вместо абсолютната стойност на сигнала
- Най-добро подтискане на шума

Характеристики:

-диференциален тип връзка;

- използва предаване тип "half-duplex" за разлика от RS232 (full-duplex);

- многовъзлов (multinode, за разлика от RS232 - node-to-node) интерфейс - възможност за връзка на много DE заедно (до 35, за RS422,RS423-до 10);

- висока скорост на предаване: 35Mbps (12м) до 100kbs (1200м);

- висока чувствителност на приемната част (около 200mV) поради диференциалната структура;

- използват се съпротивления за съгласуване на линията при големи разстояния за избягване отразяване (рефлексия) на сигнала.

- диференциален тип връзка;

- използва предаване тип "half-duplex" за разлика от RS232 (full-duplex);

- многовъзлов (multinode, за разлика от RS232 - node-to-node) интерфейс - възможност за връзка на много DE заедно (до 35, за RS422,RS423-fIO 10);

- висока скорост на предаване: 35Mbps (12м) до 100kbs (1200м);

- висока чувствителност на приемната част (около 200mV) поради диференциалната структура;

- използват се съпротивления за съгласуване на линията при големи разстояния за избягване отразяване (рефлексия) на сигнала.

-мрежова структура с R5484 (съгл.съпротивление от 100Ω);

режими: а) 1 Sender изпраща, 0 или няколко Receivers приемат; б) няколко Senders изпращат едновременно;

- Sender се връща автоматично в H.I. ~100ms след изпращане;

Приложение: основа на мн. съвременни протоколи: Profibus, Modbus.

7. Таймер-система в HC11. Подсистема за прекъсване в реално време (RTI).

RTI: Служи за генериране на хардуерно прекъсване през фиксиран интервал от време;

Определяне на периода на RTI прекъсването – от битове RTR [1:0] в регистъра PACTL (пулс-аккумулятор контролен регистър); 4 възможни периода (интервала), определени от двоичните комбинации на битове RTR[1:0]; RTIподсистемата се разрешава от бит RTI=“1” от регистъра TMSK2;

БИЛЕТ 18

1. Постоянни и програмируеми памети. Видове, особености.

Видове: - read- ROM (Mask-ROM); read/write- PROM, EPROM, EEPROM, Flash

Особености: енергозависими; с произволен достъп

MROM: Програмиране- еднократно (при производство); ниска цена.

PROM: програмиране с ток, еднократно от потребителя в лабораторни условия; Структура – матрична решетка (масив от „бушони“) Биполярни PROM – защитени от радиоактивно въздействие; високо бързодействие (до 1 ns); висока консумация;

EPROM: вид ROM, енергозависима памет; представлява масив от MOS транзистори с плаващ гейт (floating gate transistors) – т.нар. UVEPROM; програмиране с по-високо от захранващото напрежение ($V_{pp} = 12,7V$); изтриване – чрез облъчване с UV светлина с определена дължина на вълната ($w=253nm$), за определено време;

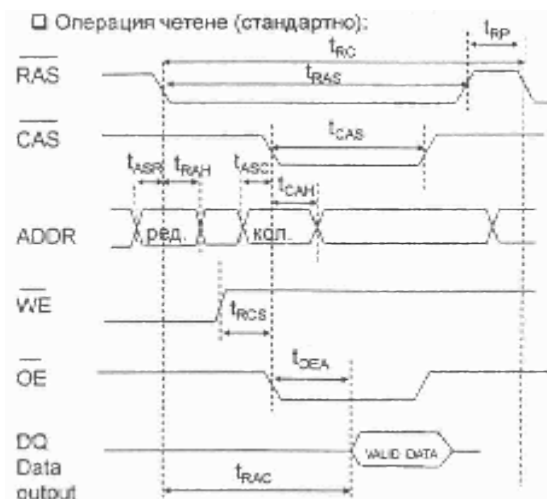
Особености: Предимство – по-висока плътност на ЗЕ от PROM; по-високо бързодействие;

Недостатъци – радиоактивно неустойчиви; относително висока цена (керамичен корпус, кварцов прозорец); невъзможност за селективно изтриване;

EEPROM (Electrically Erasable PROM): появяват се поради необходимост от многократен запис при разположение на паметта в рамките на ЕМК; Разлика между ЕПROM и ЕЕПROM – наличие на допълнителни структури в ЕЕПROM за пренос на електрони от и към плаващия гейт при прилагане на високо напрежение; ЕЕПROM използва механизма Fowler-Nordheim (F-N) тунелен пренос на електрони – клетки тип FLOTOX, FETMOS и други;

FLASH: Особенности – блоково програмиране/изтриване и индивидуален запис до конкретна ЗК; изтриване (чрез F-N тунелиране); програмиране – чрез F-Nтунелиране или CHE механизъм; Разлики в ЗЕ – по-тънък слой SiO₂ под FG; по-дълбока облат на сорса => за ускоряване на процеса на изтриване;

2. Режим четене в памети DRAM. Времедиаграми.



3. Енергоспестяващи режими в HC11 – видове, особености

Работата на ЦП се прекратява до постъпване на RESET или друго прекъсване.

- WAIT режим – спира обработката на данни и намалява консумацията на междинно ниво (до 3-4 пъти); Спира се работата на ЦП до пристигане на ресет или друго прекъсване (външно IRQ, XIRQ или вътрешно генерирано – от таймер-системата, SCI, SPI); кварцовият осцилатор остава включен;
- STOP режим – спира вс. тактови източници и намалява консумираната мощност на възможно най-ниско ниво – 100nA (RAM се съхранява).
- STANDBY – при изключване на захранването. Изход от режима – включване на захранването. (RAM се захранва от V_{STBY} извод).

4. Разширена адресация. Особености. [КОД][A_n][A_L]

Съдържа директно след КОД адресите на операндите, които ще се обработват. В зависимост от дължината на ползваните регистри и наличието на PRE – обща дължина от 3 или 4 Bytes.

5. Немамаскирани прекъсвания. Приоритет.

Немаскираните прекъсвания (!XIRQ (! черта отгоре) вход) водят ВИНАГИ до прекъсване на работата на ЦП. Прилагат се при възникнали сериозни проблеми – например програмно забиване, отпадане на захранването.

След ресет – битове X, I от регистъра CCR се установяват в '1' и забраняват всички маскирани прекъсвания и !XIRQ. След инициализация, бит X може да се нулира SW и да се разреши входа !XIRQ. След това X НЕ МОЖЕ да се установи в 1 SW – т.е. !XIRQ е НЕМАСКИРАНО ПРЕКЪСВАНЕ. !XIRQ – с най-висок приоритет (без Ресет) – по-висок от всички маскирани – с маска I;

6. Интерфейсни схеми по SPI – видове, предимства.

- F-RAM (Fast –RAM, Rampton Corp.) – специално разработен тип PAM за връзка по SPI; Предимства – 1) Висока скорост на запис (до 40Mbit/s); 2) Не ползва Page буфер, като „стандартните“ EEPROM и Flash – директен трансфер байт след байт; 3) Опростен и адаптиран интерфейс – само шини Si (serial in), SO (serial out), SCK, CS;
- Сериен EEPROM (Serial EEPROM) – схеми EEPROM за сериен обмен; Предимства – 1) Ползва само 4 линии от ЕМК за връзка (SI, SO, CS, SCK), вместо A/D магистрали. Добавени още HOLD, WP; 2) Опростена логика в схемата за изграждане на интерфейса; 3) Ниска цена; Недостатък – голямо време за достъп при четене (бит по бит)

7. Таймер-система в HC11. Функция ОС.

Таймера представлява брояч. В HC11 таймера се включва на вход А който може да се ползва по различни начини.

включва: 5 отделни вериги за делене на честотата; предварителен делител на честотата от кварцовия осцилатор на 4; основна таймерна верига (16bitброяч.)

Всички операции в таймерната сис. съотнесени спрямо чест. на основния таймерен брояч.

Начало за броене: \$0000, край \$FFFF, флаг за препълване

В нормален режим, в ЕМК не може се спре/промения брояча.

ОС функция – Програмира действие, което да се изпълни в дефиниран момент време.

- отделни 16-битови регистри и 16-битови компаратори за всеки от 5-те ОС изхода.

- при съвпадение състоянието на брояча с това на регистъра- статус флаг (ОСхF)=1

След съвпадение на зададения код – стартиране на ОС функц.