在 Home目錄做

1.設定在vim中可以看行數

vim .vimrc

set nu

vim要叫關介面的指令

“shift+; “ +q 可以離開

在要跑verilog的目錄做

1.寫好 rtl\_file

設定要合成的RTL file

vim rtl\_file

path.v

fifo.v

2.tcl tickle(搔癢、自發性抽動) 腳本

2-1.vim 00.tcl

source /usr/cadence/cshrc

source /usr/spring\_soft/CIC/verdi.cshrc

2-2.vim 02\_rtl\_simulation.tcl

ncverilog testbench的檔名 -f rtl\_file +access+rwc +define+VCD +define+FSDB +define+MDA

verdi -ssf tb.fsdb &

3.在testbench中加入

vim tb.v

initial begin

`ifdef FSDB

$fsdbDumpfile("tb.fsdb");

$fsdbDumpvars;

`endif

`ifdef VCD

$dumpfile("tb.vcd");

$dumpvars;

`endif

`ifdef MDA

$fsdbDumpMDA;

`endif

end

4. source 00.tcl

source 02\_rtl\_simulation.tcl

5.在nWave中按 “g”

6.若有更新tb.v，重新run，把新打開的verdi關掉，把舊的nWave波型reload