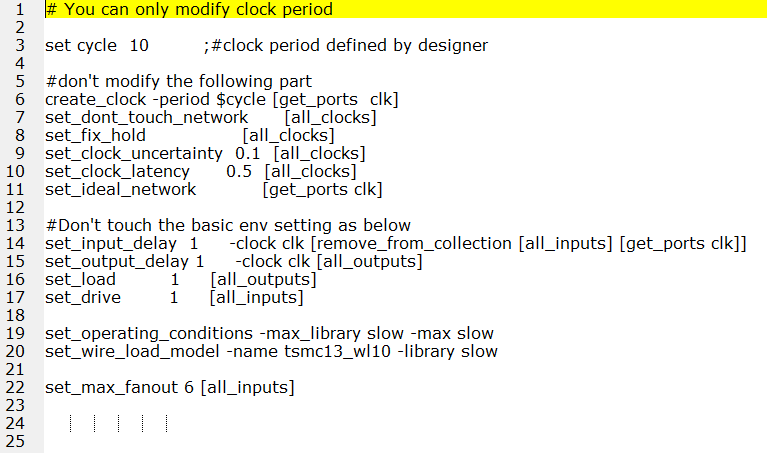
**CVSD HW6 101403021 郭鈞哲**

**Basic**

**1.**

下方圖片是 CLE\_DC.sdc 的內容



我的 clock cycle 設定為 10 ns

**2.**

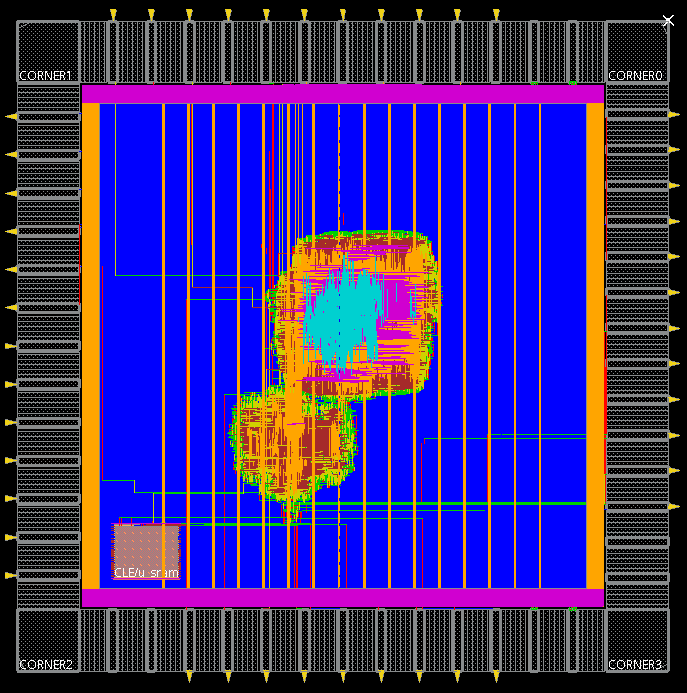
|  |  |
| --- | --- |
| Area before Dft insertion | Area after Dft insertion |
| From CLE\_syn.area\_rpt | From CLE\_syn.timing\_rpt |
|  |  |

|  |  |
| --- | --- |
| Timing before Dft insertion | Timing after Dft insertion |
| From CLE\_syn\_dft.area\_rpt | From CLE\_syn\_dft.timing\_rpt |
|  |  |

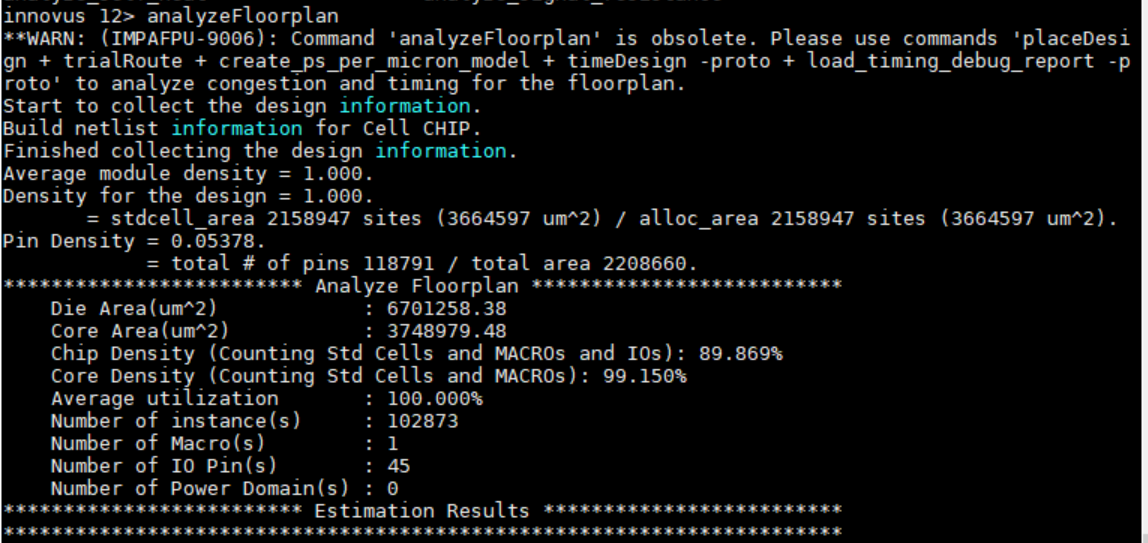
可以看到插完 scan chain 之後 area 變大， timing 也不同

**3.**

**Final chip layout figure**

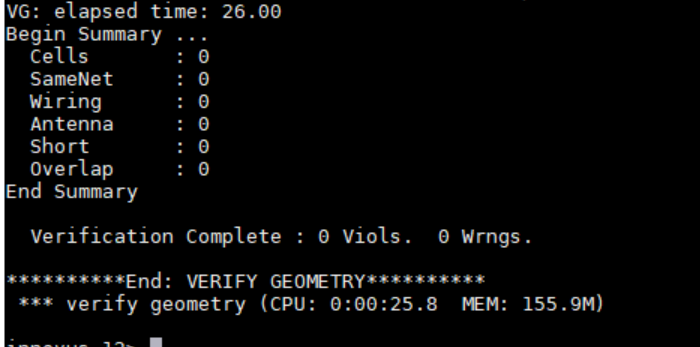


**Chip size**

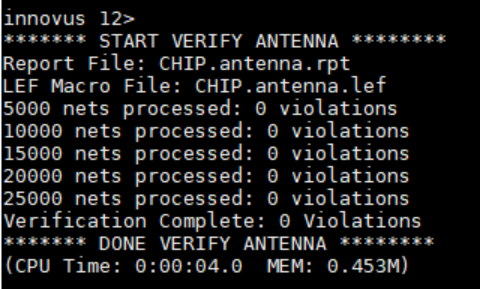


**4. 10.3~10.5 都沒有 violation**

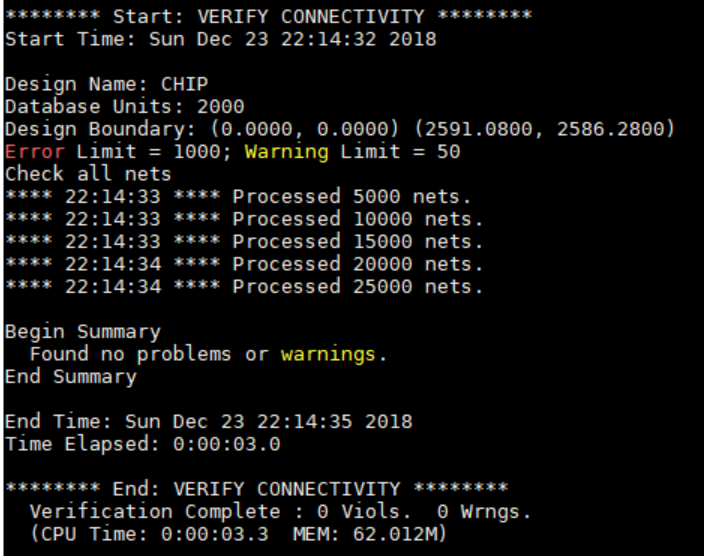
**Verify Geometry**



**Verify Antenna**



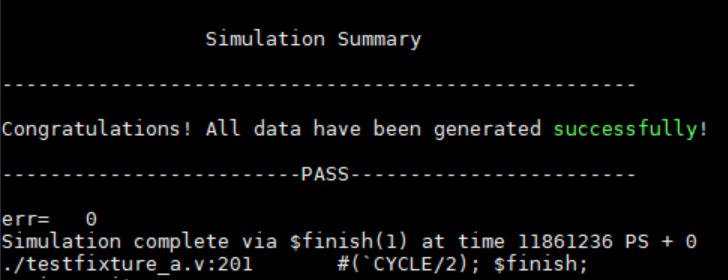
**Verify Connectivity**



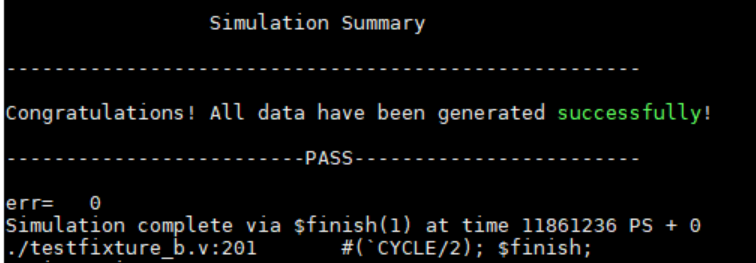
**5.**

**Pre-layout**

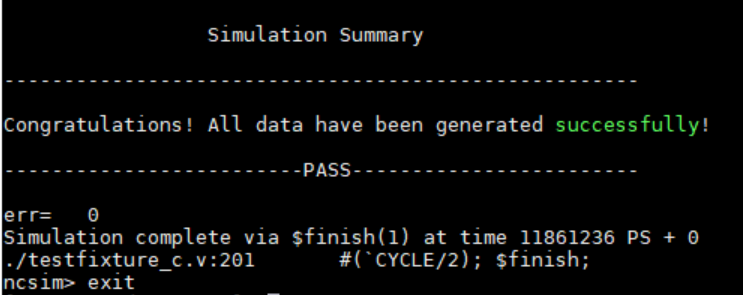
**testfixture\_a**



**testfixture\_b**

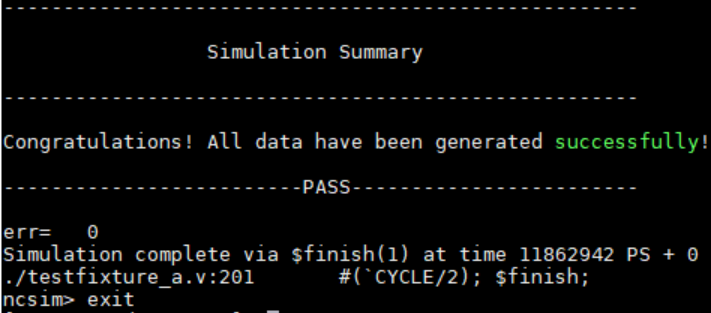


**testfixture\_c**

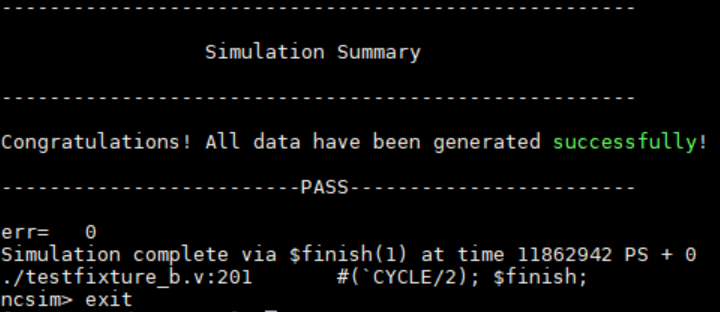


**Post-layout**

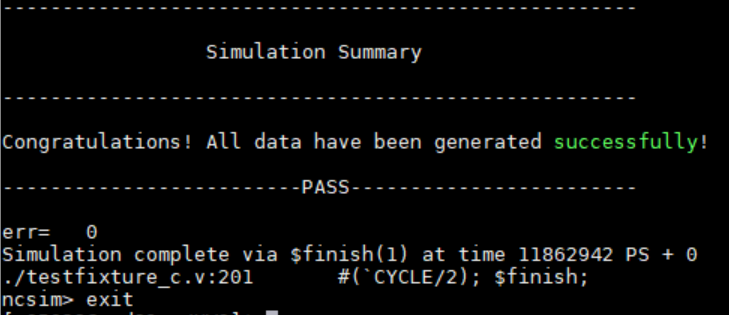
**testfixture\_a**



**testfixture\_b**



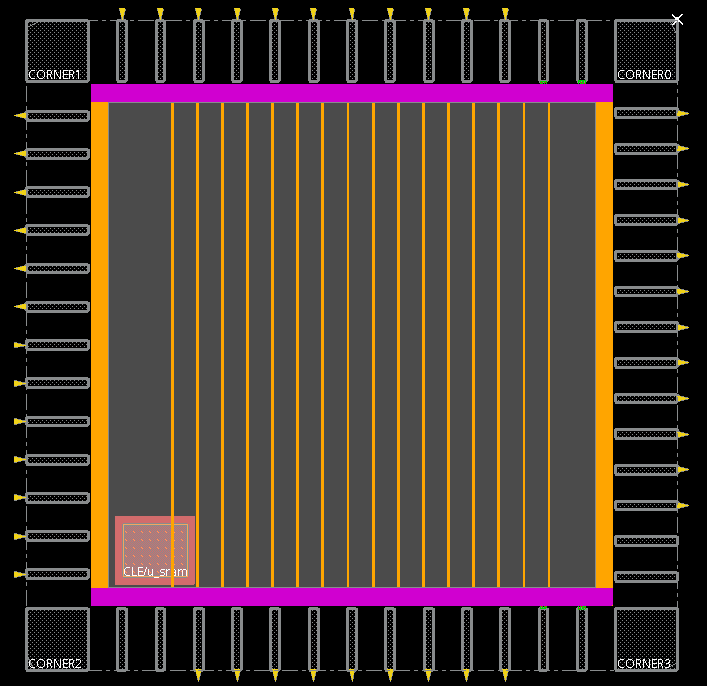
**testfixture\_c**



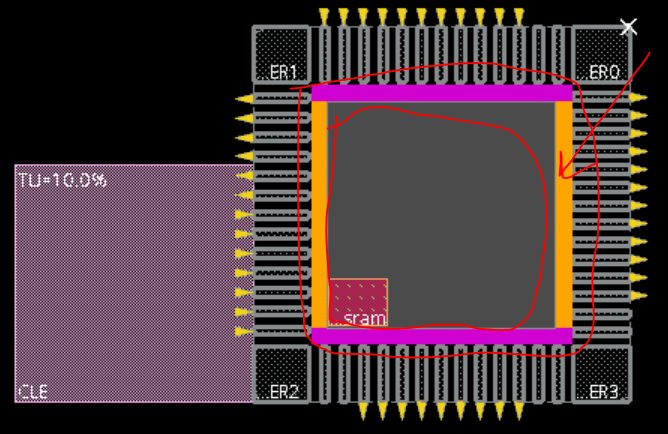
pre-sim 和 post-sim 只有些微的差異，我想這可能是因為 wire load model 的 delay 和實際拉出來的線不一樣，而如果萃取出寄生電容和寄生電阻的話，應該結果會差更多

**6.**

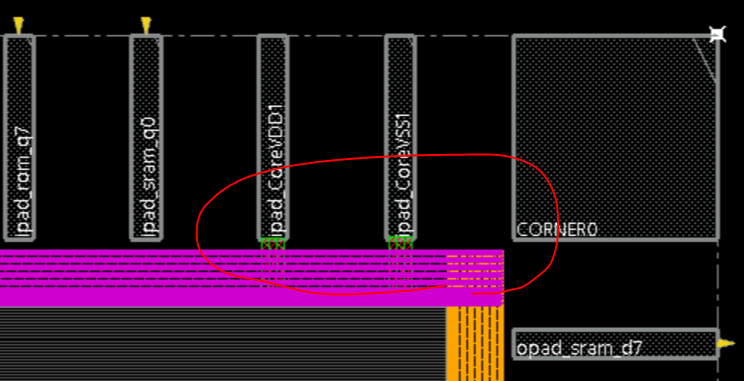
**這是整體的 power plan 圖，下方會一一做說明**

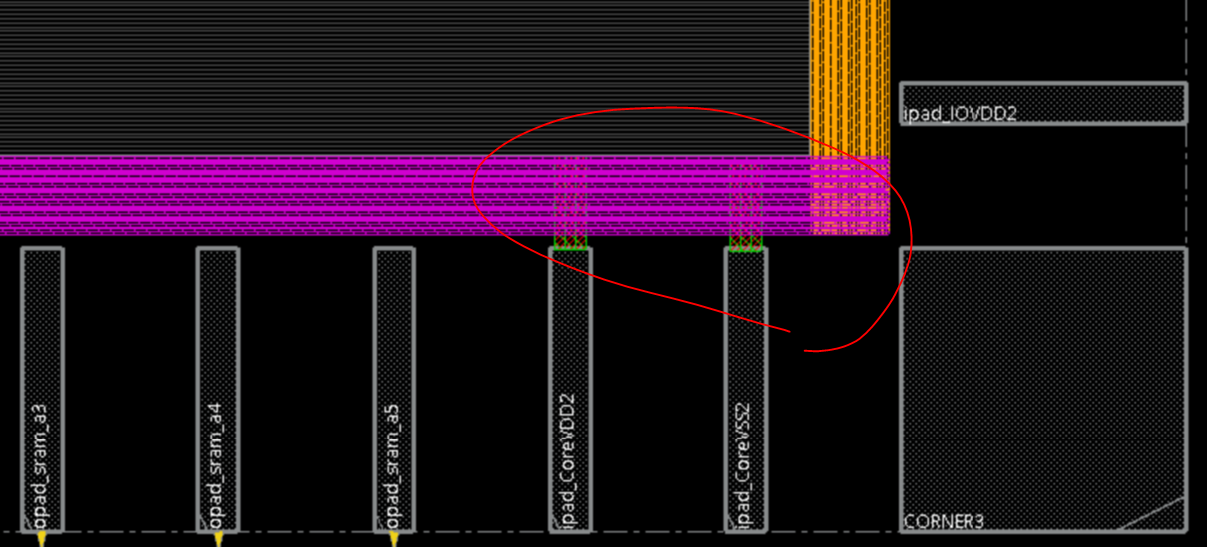


在 Core 跟 I/O pad 之間，有很多VDD、VSS交錯，這就是**Power ring** ，這是為了讓晶片內部供應電壓均勻，避免 IR drop



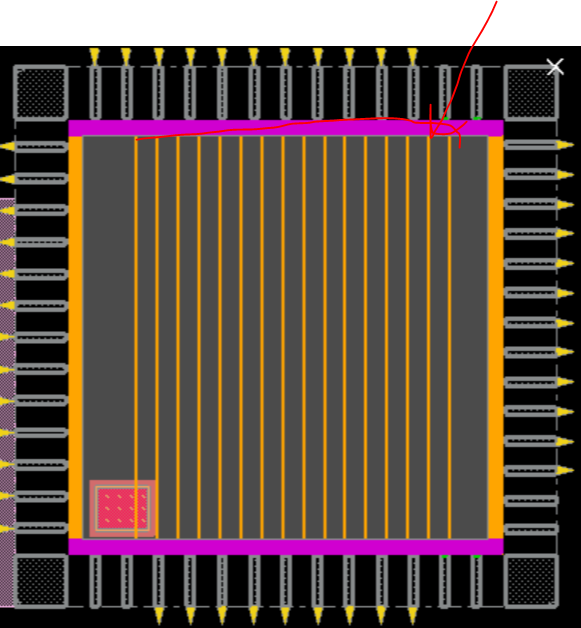
圖中有四條 **Power pad** (右上和右下的綠色處) 接到 Power ring ，這是為了讓 Core pin 接到 VDD 、 VSS





**Power-stripe**

這是為了讓 core 內部的供電電壓均勻



如同中縱向橘色的那幾條

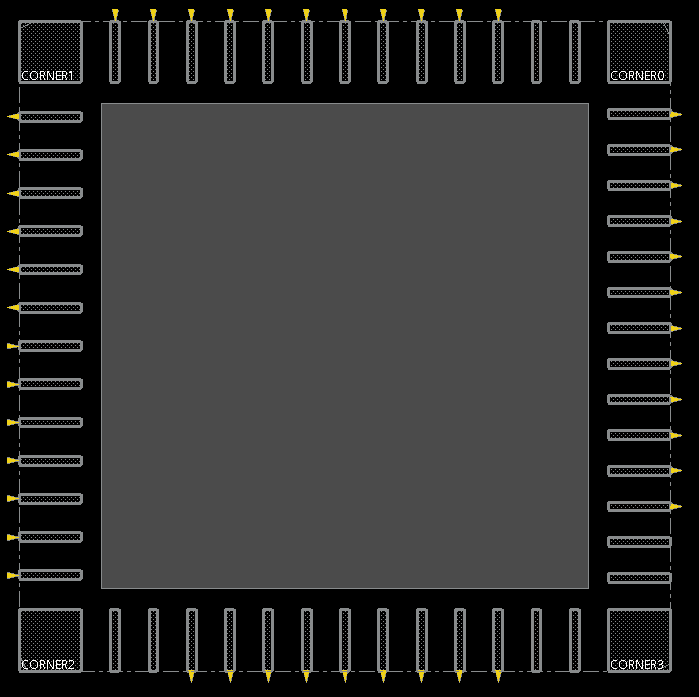
**7.**

VSS 做好放在 clk 和 reset 旁邊，這樣可以做 noise shielding

同一組的 input 最好放在一起，這樣大家的 noise 會比較接近

四個角落的 PAD 是為了要對稱，以及讓外圍PAD可以連起來

PAD是為了要穩壓，而PAD也要吃電壓，所以也需要一組或多組VDD和VSS



**8.**

由於為了繞線方便， core utilization 的條件設很寬鬆，所以可以看到繞線其實有很多空間是被浪費掉的，下次或許會盡力找到可以繞線以及不浪費空間的平衡點，我想這是可以改進的地方，另外由於 gate-synthesis 的面積過大，在繞線時花了很久的時間，下次在設計 gate-level 的時候，會在 area 這邊多留意，盡量把面積往下壓

