

CORRECTION SESSION NORMALE

ARCHITECTURE DES ORDINATEURS

INF 121 (2021-2022)

Proposez par : GROUPE GENIUS REPETITION

Par : Joël_yk

Exercice 01 : 06 pts

On veut organiser une mémoire centrale de 2Go, organisée en mot de 2 octets.

1- Quelle est la largeur n du bus d'adresse et quelle est la largeur m du bus de données ? 1pts

- ✓ Chaque octet de la mémoire doit être adressable donc $n = \log_2 2Go = 31$.
- ✓ Le bus de données doit pouvoir transporter un mot : $m = 2 \times 8 = 16$

2- On considère des barrettes mémoire de capacité 1 Go.

- a) Pour implémenter la mémoire centrale ci-dessus combien de barrettes mémoire ($n1$) faut-il si elles sont organisées en mot de 1 octet ? 1pts
 $(n1) = 2Go / 1Go = 2$ barrettes. 1pts
- b) Combien faut-il de barrettes ($n2$) si elles sont organisées en mot de 2 octets ? 1pts
 $(n2) = 2Go / 1Go = 2$ barrettes. 1pts

Exercice 02 : 04 pts

On représente des entiers signes sur 16 bits en convention signe + valeur absolue.

1. Le plus Grand entier positif que l'on puisse écrire (en binaire) :
01111111 11111111 , c'est-à-dire $+(2^{15} - 1) = +32767$
2. Le plus Grand entier négatif que l'on puisse écrire (en binaire) :
11111111 11111111 , c'est-à-dire $-(2^{15} - 1) = -32767$
3. Ecrire en **valeur absolue**, les entiers précédents en base hexadécimal et décimal : Le plus Grand entier positif que l'on puisse écrire : en Hexadécimal : 7FFF et en binaire : 0111 1111 1111 1111 , Le plus Grand entier négatif que

l'on puisse écrire : en Hexadécimal : 0000 et en binaire : 0000 0000 0000 0000

4. Complément a 1 et 2 du plus Grand entier positif : C2=0111 1111 1111 1111

Exercice 03 : 06 pts

1) **Multiplexeur** | **Rôle** : il permet d'aiguiller une entrée parmi les 2^n entrées du circuit vers une sortie unique S en fonction d'entrée de sélection ou de contrôle.

Table de vérité : Ainsi un multiplexeur 2 vers 1, permet d'orienter à l'aide d'une entrée de sélection s_0 , 2 entrées d'information E(E_1E_0) vers une sortie S :

s_0	S
0	E_0
1	E_1

2) Réalisons ensemble pas à pas un Multiplexeur (MUX) 4 vers 1 :

a) Déterminons les entrées du mux, les bits de sélection et la sortie.

→ Ce multiplexeur possède 4 entrées E($E_3E_2E_1E_0$) ceci s'observe juste à partir du nom MUX 4 vers 1.

→ Soit s le nombre de bits de sélection de notre mux il se détermine grâce à la formule : $s = \log_2 E$ AN : $s = \log_2 4 = 2$, nous avons donc besoin de 2 bits de sélection s_1s_0 .

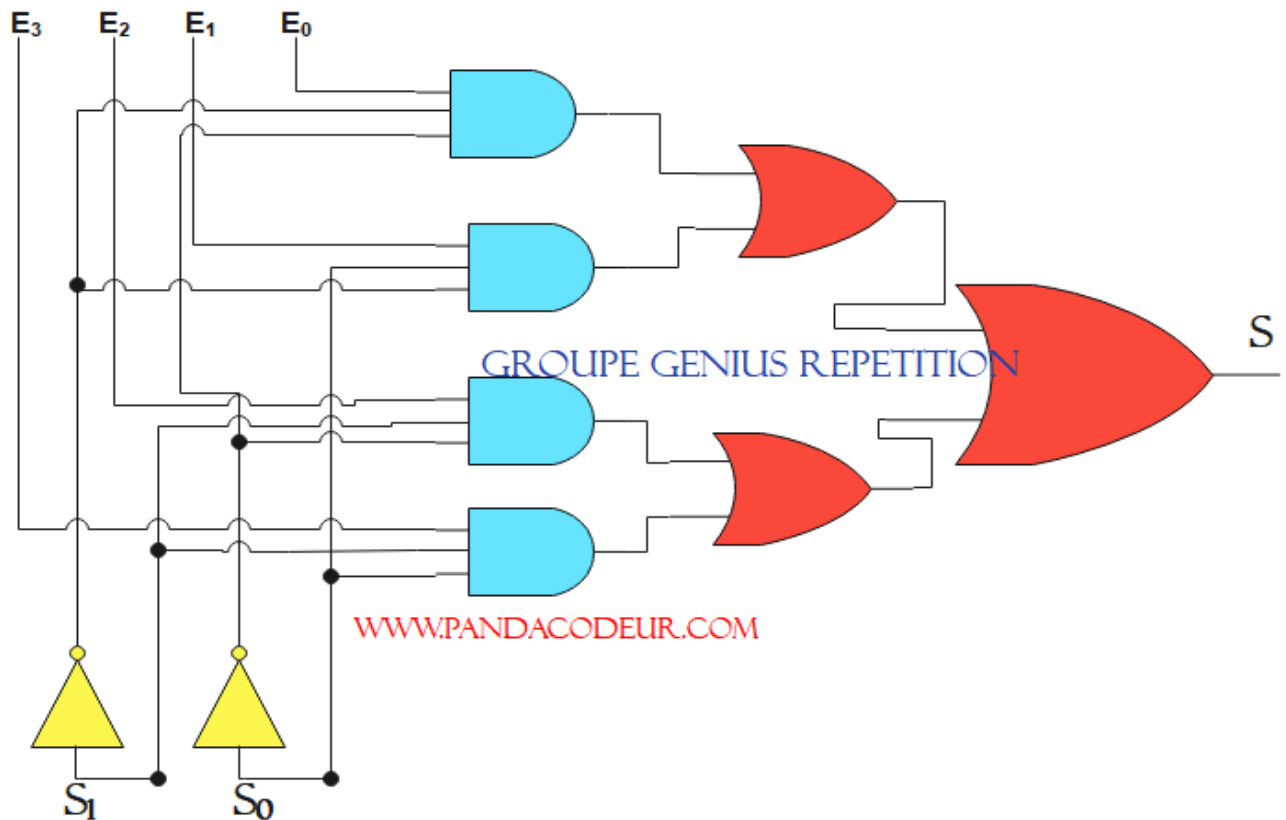
→ Un mux a toujours une et une seule sortie unique S.

b) Bien élaborons maintenant la table de vérité de notre MUX.

Bits de Sélection		Sortie du MUX	
s_1	s_0	S	Entrées du MUX E($E_3E_2E_1E_0$)
0	0	E_0	
0	1	E_1	
1	0	E_2	
1	1	E_3	

EQUATION DE SORTIE : $S = E_0 \bar{s}_1 \bar{s}_0 + E_1 \bar{s}_1 s_0 + E_2 s_1 \bar{s}_0 + E_3 s_1 s_0$

c) Schéma logique à l'aide des Portes NON, ET, OU :



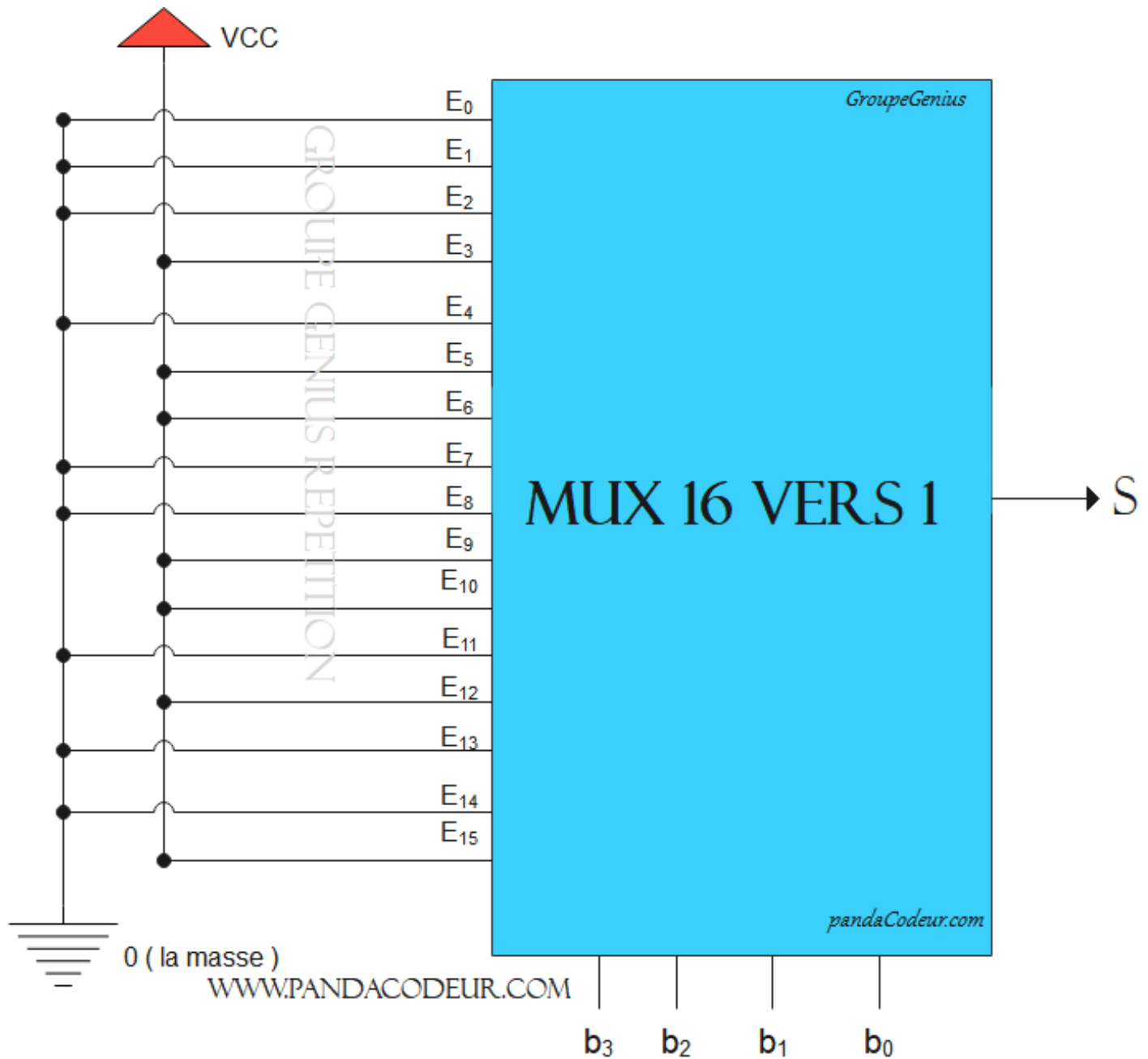
3) On souhaite construire un circuit combinatoire qui permet de tester la parité d'un mot binaire $b_3b_2b_1b_0$ en entrée. La sortie vaut 1 si le nombre de bits à 1 du mot est pair (par exemple, 1001) et 0 sinon (par exemple, 0111).

a) Ecrire la table de vérité encodant la fonction logique correspondante.

b_3	b_2	b_1	b_0	S
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0

1	1	1	0	0
1	1	1	1	1

b) Utiliser un multiplexeur 16 vers 1 pour réaliser cette fonction.



Exercice 04 : 06 pts

1. Expression Logique des entrées : 2pts

$$R_1 = Q_2 E, R_2 = \overline{Q_1} \overline{E}, S_1 = \overline{Q_2} E, S_2 = Q_1 \overline{E}$$

2. Donnez la table de transition de la Bascule R-S et son mode de fonctionnement. 2pts

S	R	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	
1	1	1	

S	R	Mode de Fonctionnement
0	0	Mémorisation (Hold) = Q^n
0	1	Mise à Zéro (Reset) = 0
1	0	Mise à Un (Set) = 1
1	1	Etat Interdit

3. Lorsque $E = 0$ on a $R_1 = S_1 = 0$ & $R_2 = Q_1, S_2 = Q_1$ la bascule 1 est en mode mémoire alors que la bascule 2 est en mode écriture (set ou reset). La bascule 2 recopie les sorties de la bascules 1. 1pts
4. Lorsque $E = 1$ on a $R_2 = S_2 = 0$ & $R_1 = Q_2, S_1 = Q_2$ la bascule 2 est en mode mémoire alors que la bascule 1 est en mode écriture (set ou reset). La bascule 1 enregistre les variations de l'entrée E sans que les sorties de la bascules 2 changent. 1pts
5. **Fonction :** Schéma d'une bascule D synchrone basée sur deux bascules RS asynchrones (Maitre-Esclave) 1pts

"La persévérance, c'est ce qui rend l'impossible possible, le possible probable et le probable réalisé."

Bonne chance pour le rattrapage les amies.

Contact WhatsApp : +237 658³⁹59⁷⁸ | Réaliser Par Joël_Yk .