

RTL 到 GDSII 设计流程概述

牛英山¹, 张燕军²

(1. 中国电子科技集团公司第四十七研究所, 沈阳 110032; 2. 中国兵器第二〇二研究所, 咸阳 712099)

摘 要:从环境设置、约束检查、时钟规划、逻辑综合、布局优化及插入 DFT、时钟树综合、CTS 后优化、布线及优化、物理验证、参数提取、静态时序分析、功能验证、形式验证和自动测试向量生成等方面, 对 RTL 到 GDSII 的设计流程进行了简要的叙述。

关键词:逻辑综合; 时钟树综合; 静态时序分析; 形式验证

中图分类号: TN4 **文献标识码:** A **文章编号:** 1002-2279(2009)04-0005-02

The Summary of RTL to GDSII Design Flow

NIU Ying-shan¹, ZHANG Yan-jun²

(1. The 47th Research Institute of China Electronics Technology Group Corporation, Shenyang 110032, China;

2. No. 202 Institute of China Ordnance Industry Group, Xianyang 712099, China)

Abstract: RTL to GDSII design flow is briefly described from environment setting, constraint checking, clock plan, synthesis, floorplan and power plan, placement and optimization with DFT, clock tree synthesis, post-CTS optimization, routing and optimization, physical verification, RC extraction, static timing analysis, functional verification, formal check, automatic test pattern generation, etc.

Key words: Synthesis; Clock tree synthesis; Static timing analysis; Formal verification

1 前 言

随着集成电路制造工艺的不断发展, 为解决制造工艺中出现的各种情况而应运而生的设计工具也越来越多。不同 EDA 工具供应商都有不同的设计工具。如何将这些工具根据目标工艺的情况有机的组合在一起共同发挥作用, 则成了 IC 设计工程师的一大难题。这就是 RTL 到 GDSII 的设计流程所要解决的问题。

2 RTL 到 GDSII 设计流程

以 Synopsys 的设计工具为例, 介绍一下 RTL 到 GDSII 的设计流程, 其他公司的工具可以根据其功能相应替换设计流程中的工具, 如图 1 所示。

该流程主要由以下 15 个阶段组成:

1) 环境设置

环境设置的主要工作是设置一些环境变量, 以便可以找到流程中所用到的设计工具、所用到的设计脚本以及设计需要的各种库文件和规则文件, 并同时规定工程师的工作目录以及使用权限等。

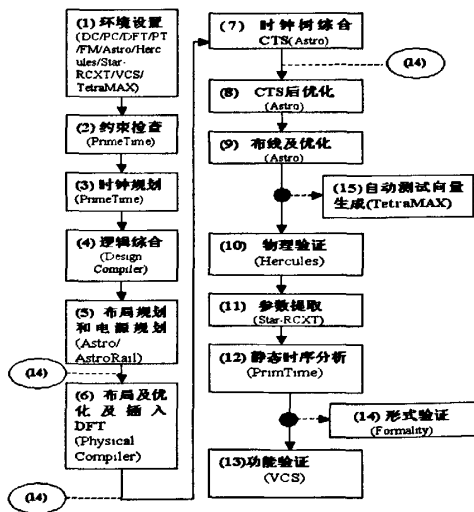


图 1 RTL 到 GDSII 设计流程

2) 约束检查

约束检查的主要工作是检查综合约束的完整性和正确性, 是由 PrimeTime 工具完成的。进行约束检查常用的几个命令是 report_analysis_coverage、check_timing、report_port - v 等。检查综合约束是否

完整的几个基本要素是是否创建时钟(create_clock),是否设置输入延时(set_input_delay),是否设置输出延时(set_output_delay),是否设置输入变化时间(set_input_transition),是否设置输出负载(set_load),是否存在假路径(set_false_path),是否有多周期路径(set_multi_cycle),是否有异步电路(set_max_delay,set_min_delay)等。检查综合约束是否正确的几个基本要素是查看所设置的各种值是否正确,是否加到对应的目标上,是否留有足够的余量等。

3) 时钟规划

时钟规划的主要工作是分析时钟树的结构、时钟的数量、触发器的数量、不同时钟之间的相互关系以及查找门控时钟的位置,目的是为时钟树综合作必要的准备,也是由 PrimeTime 工具完成的。进行时钟规划常用的几个命令是 all_fanin - flat - start - from、report_transitive_fanout 等。

4) 逻辑综合

逻辑综合是 RTL 到 GDSII 设计流程中关键的环节之一,主要工作是进行 RTL 设计的语法检查、转换成内部格式并将其映射到目标库上,进行逻辑实现和优化,是由 DesignCompiler 工具完成的。进行逻辑综合常用的几个命令是 analyze、elaborate、compile - scan - timing、report_timing、write_sdc、write_milkyway、write_file 等。非常重要的一点是需要分析 report_timing 产生的报告,目的是查看一下设计中影响性能的关键路径,并初步判定一下综合约束是否过松或是过紧。如果过松或是过紧,都要适当修改综合约束来满足设计目标。

5) 布局规划和电源规划

布局规划的主要目的是确定设计中各个宏单元在版图中的位置和方向,作用是为布局布线提供必要准备,是由 Astro 工具完成的;电源规划的主要目的是电压降(IR-drop)和电迁移(electromigration),是由 AstroRail 工具完成的。

6) 布局优化及插入 DFT

布局及优化的主要工作是将标准单元放置到版图上,此时各个宏单元在版图中的位置和方向已经确定,同时对标准单元在版图上的位置进行优化,作用是为布局布线提供进一步的准备,是由 Physical-Compiler 工具完成的;之后再将 DFT 插入到设计中,从而可以对加工后的芯片进行生产测试;然后还得对标准单元进行优化,因为插入的 DFT 可能会影响设计的性能。

7) 时钟树综合 CTS

时钟树综合是对时钟网络进行综合,即在时钟

线上插入专用的缓冲器和反向器,一般是 CLK * 和 CLKINV * 等单元,来保证时钟网络的延时和所有由时钟网络所驱动的触发器的时钟歪斜(clock skew)可以满足设计约束的要求。这是由 Astro 工具完成的。

8) CTS 后优化

由于做时钟树综合要在版图中插入各种驱动强度不同的驱动单元,这会对标准单元的位置产生影响,因此在时钟树综合后必须对版图进行优化,才能保证设计的性能。这也是由 Astro 工具完成的。这一步骤的作用是为自动布线作最后的准备。

9) 布线及优化

经过 CTS 后优化,此时版图上各个宏单元的位置和方向以及标准单元的位置和方向已经确定。在自动布线之前需要设置各层金属的方向和宽度,之后再 Astro 进行自动布线,从而生成一个真正的物理版图。

10) 物理验证

尽管由 Astro 生成了一个真正的物理版图,但还需要根据工艺厂商提供的 DRC、ERC 等规则文件对版图进行最后的物理验证,目的是查找版图中存在的各种物理问题。因为 Astro 在进行自动布局布线时只关心最基本的由工艺文件定义的设计规则,这只是设计规则文件的一小部分,所以自动布局布线过程中很可能产生违反其它规则的情形。这是由 Hercules 工具完成的。

11) 参数提取

参数提取是用 Star - RCXT 工具对经过物理验证后的版图进行单元之间连线的电阻和电容等寄生参数的提取,生成 SPEF、DSPF、RSPF 等文件,可以给 SPICE 进行模拟仿真,也可以给 PrimeTime 再输出 SDF 标准延时文件,进行静态时序分析或是进行功能验证。

12) 静态时序分析

静态时序分析是用 PrimeTime 工具对布局布线后的门级网表进行全芯片的时序分析,目的是计算出设计中所有时序路径的延时信息,以查找在没有测试向量输入的情况下是否有时序违反的情况。如果有则要分析是何原因引起的,在哪条路径上,并及时反馈给前端的工程师。如果没有,则说明设计已经达到系统要求。

13) 功能验证

功能验证将 SDF 反标到布局布线后的门级网表上,在 VCS 仿真工具中进行数字仿真。目的是验证在有测试向量输入的情况下, (下转第 9 页)

4 仿真结果

采用 TSMC0.25 μm N 阱 CMOS 工艺,电源电压为 2.5V,用 Cadence 的 spectre 对其进行仿真,图 3 是经整形后 VCO 工作在 1.3GHz 时的输出电压,图 4 是 VCO 频率 - 控制电压曲线图,从图中可以看出

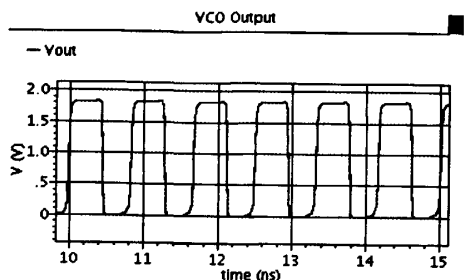


图3 VCO 输出电压

5 结束语

设计了一种可以应用于连续频带时钟数据恢复电路的二级环形振荡器(two-stage VCO),设计具有宽工作频率范围、高工作频率、低相位噪声的性能特点。采用 TSMC 0.25 μm CMOS 工艺参数对所设计的 VCO 进行了仿真,在 VCO 增益(K_{vcoco})保持在 300MHz/V 的情况下,得到了 200MHz~1.85G 的调节范围。表 1 为本设计 VCO 的性能总结。

表 1 VCO 性能总结

电源电压	2.5v
VCO 中心频率	1GHz
输出频率范围	200MHz~1.85GHz
VCO 增益	260MHz/V~340MHz/V
控制电压调节范围	80%
VCO 线性度	7.2%
VCO 相位噪声	103dBc/Hz@1MHz offset

(上接第 6 页)

即动态情况下,是否存在逻辑功能上的错误。

14) 形式验证

形式验证要用 Formality 对设计进行布尔代数的验证。因为在每次工具对网表进行改动时可能产生与原设计不一致的情况,所以要在 RTL 到 GDSII 设计流程中的不同阶段做形式验证,共有四次,其中最可能出错的阶段发生在综合之后。导致出错的原因很可能是 RTL 代码风格不好所造成的。解决的办法只有修改 RTL 代码。

15) 自动测试向量生成

这一步发生在布线及优化之后,用 TetraMAX 为生产测试提供足够的测试向量,以便可以满足测

所设计的 VCO 具有很好的线性,调节范围达到 80% 以上,且增益 K_{vco} 也比较合理(260MHz/V~340MHz/V),VCO 输出达到端到端满摆幅。此时 VCO 偏移载频 1MHz 的相位噪声达到了 -103dBc/Hz,功耗为 17.5mW,可以满足连续频带时钟数据恢复电路对 VCO 的性能要求。

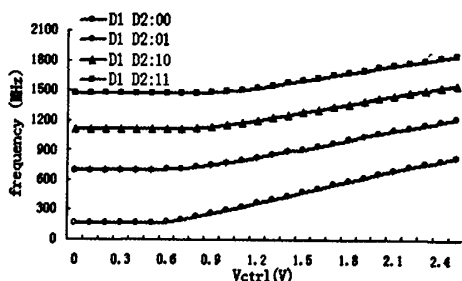


图4 VCO 的电压 - 频率调节范围

参考文献:

- [1] William S T Y, Howard C L. A 900MHz CMOS Low-phase-Noise Voltage-Controlled Ring Oscillator[J]. IEEE TRANSACTION ON CIRCUITS AND SYSTEMS-II: ANALOG AND DIGITAL SIGNAL PROCESSING, 2001,48(2):216-221.
- [2] Nicodimus R, Shigetaka T, Nobuo F, et al. Voltage Controlled Ring Oscillator with Wide Tuning Range and Fast Voltage Swing[J]. IEEE Asia-Pacific Conference on ASIC, 2002:201-204.
- [3] Meng-Lieh S, Ta-Wei L, Wei-h H. Wide Frequency Range Voltage Controlled Ring Oscillators Based on Transmission Gates[J]. IEEE International Symposium on Circuits and Systems, 2005(3):2731-2734.
- [4] Jafar Savoj, Behzad Razavi. A10Gb/s CMOS CDR Circuit with a Half-Rate Linear Phase Detector[J]. IEEE J. Solid-state Circuits, 2001,36(5):761-768.
- [5] Afshin Rezayee, Ken Martin. A Coupled TWO-Stage Ring Oscillator[D]. IEEE Midwest Symposium on Circuits and Systems(MWSCAS), 2001(2):878-881.

试覆盖率。测试覆盖率的高低应根据项目而定,一般要求测试覆盖率大于 95% 就可以了。

3 结束语

上面十五个步骤只是对 RTL 到 GDSII 设计流程的各个阶段进行了概括的叙述。在使用 RTL 到 GDSII 设计流程时,还需要根据项目的大小以及选择的工艺来适当选择或是增加对应的单点工具,来满足实际项目设计的要求。

参考文献:

- [1] Synopsys Professional Service. RTL to GDSII Reference Flow[M]. Beijing: Synopsys Inc., 2005.
- [2] 任艳颖,王彬. IC 设计基础[M]. 西安:电子科技大学出版社, 2003.