

从 RTL 到 GDSII ——基于 CPF 的完整低功耗设计流程

摘要: 众所周知,目前集成电路的功耗正变得越来越高。电路功耗密度的增长速度十分惊人,使得功耗管理几乎对每一类设计都变成了一个日益严峻的问题。从ASIC设计的角度来看,面向SoC的高效功耗管理技术从架构设计阶段就成为IC设计的一部分,而低功耗实现的技术则需要应用于从RTL到GDSII设计的每一阶段。本文将着重介绍基于通用功耗格式(CPF: Common Power Format)的完整低功耗设计流程。

引言

在1999年的第32届MICRO大会上,英特尔公司的Fred Pollack首次指出了一种相当令人吃惊的趋势,那就是,集成电路的功耗密度正以极快的速度增大,并逐渐接近地球上最热的人造物体的功耗密度。

对于90nm及以下尺寸的电路设计来说,功耗管理是十分必要的。这是因为,在这一工艺尺寸下,漏电流将超过开关电流的大小,占主导地位,从而成为CMOS电路中功耗的主要来源,如图1所示。

CMOS 电路中的功耗

首先分析一下电路中各种功耗的来源:动态功耗只是在晶体管开关的时候产生,而漏电流是恒定的,会导致持续的功率损耗,因此必须在设计中予以处理。

$$P_{\text{总}} = P_{\text{开关}} + P_{\text{短路}} + P_{\text{漏电}}$$

$$P_{\text{总}} = C_L V_{DD}^2 f_{0-1} + t_{SC} V_{DD} I_{SC} + V_{DD} I_{\text{漏电}}$$

漏电功耗是电源电压 V_{dd} 、器件开关阈值电压 V_{th} 和晶体管尺寸三者的函数:

$$P_{\text{漏电}} = f(V_{dd}, V_{th}, W/L)$$

减少漏电功耗的低功耗技术

减少漏电功耗的常用技术包括:多阈值单元库、衬底偏压、晶体管尺寸优化和电源关断(PSO: Power Shut-Off)。

降低功耗最有效的方法之一是,当芯片的某一部分不使用时,关断它的电源。这种方法

在业界正得到越来越广泛的使用,它最高能够减少90%的漏电流。在本文随后介绍的设计流程中,采用Incisive统一模拟器(IUS: Incisive Unified Simulator)对PSO方法进行了有效地模拟,以确保部分电路的电源被切断之后芯片仍然能够保持正确的功能,以及当这些模块被重新加电之后系统能够恢复正常。

好的低功耗设计综合工具应该能够支持多国值库单元的混合综合,并在满足最低功耗的

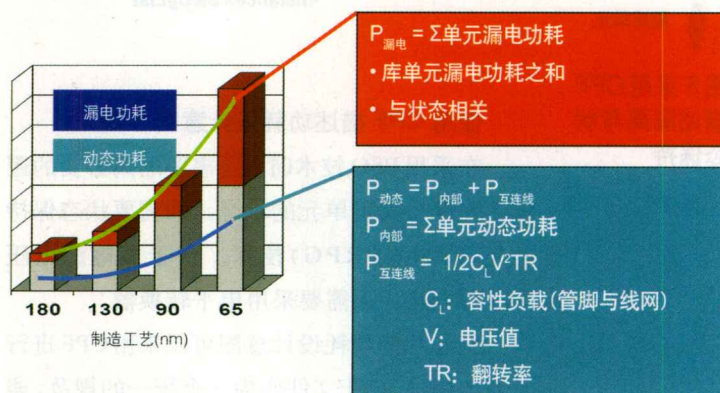


图1 漏电流对功耗的影响

条件下满足电路速度和面积方面的要求。开关阈值电压 V_{th} 越高,电路的功耗就越低,但是电路的速度也越慢,反之亦然。本文设计流程采用的综合工具RTL Compiler能够将高 V_{th} 、中 V_{th} 和低 V_{th} 的库单元混合在一起进行电路综合,并满足电路在面积、速度和时序三者之间的约束关系。



■ Cadence 设计系统公司
Neyaz Khan

定义多个电源域和PSO

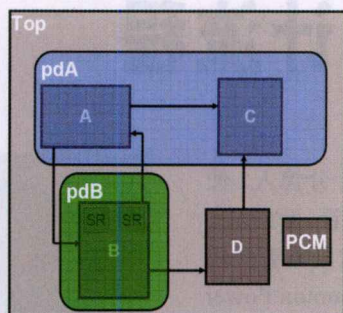


图2 使用 CPF 描述电源域

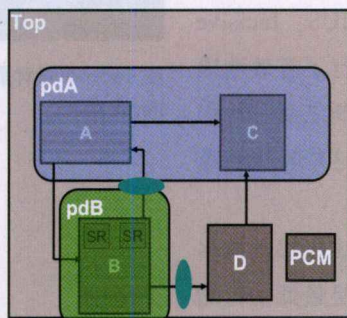
```
# Define the top domain
set_design TOP

# Define the default domain
create_power_domain \
-name pdTop -default

# Define PDA
create_power_domain \
-name pdA \
-instances {uA uC} \
-shutoff_condition {!uPCM/ps0[0]}

# Define PDB - PSO when pso is low
create_power_domain \
-name pdB \
-instances {uB} \
-shutoff_condition {!uPCM/ps0[1]}
```

采用 CPF 描述隔离与状态保持



隔离单元

```
# Active high Isolation
set hiPin {uB/en1 uB/en2}
create_isolation_rule \
-name ir1 \
-from pdB \
-isolation_condition {uPCM/iso} \
-isolation_output high \
-pins $hiPin

# Define State-Retention (SRPG)
set srpgList {uB/reg1 uB/reg2}
create_state_retention_rule \
-name sr1 \
-restore_edge {uPCM/restore[0]} \
-instances $srpgList
```

图3 采用 CPF 描述隔离与状态保持

使用 CPF 描述功耗设计意图

在采用 PSO 技术时，还需要隔离必要的逻辑，并保持关键单元的状态，即需要状态保持的电源门控（SRPG）技术。对于多电源电压（MSV）电路，还需要采用电平转换器。

全芯片的功耗设计意图可以采用 CPF 进行有效地描述。CPF 文件作为一个统一的规范，能够在设计、验证与实现的整个设计流程中描述各种功耗意图。它还包含了用于电路综合与实现的库的信息，以及其他特殊的工艺信息。

- 电源域
 - 逻辑上：层次化模块对应相应的电源域
 - 物理上：电源/地网络与互连
 - 分析模式：指定相应的时序库到不同的电

源域

- 电源逻辑
- 电平转换逻辑
- 隔离逻辑
- 状态保持逻辑
- 开关逻辑 & 控制信号
- 电源模式
- 模式与转换

工艺信息：

- 电平转换单元
- 隔离单元
- 状态保持单元
- 开关单元
- 常用单元

使用 CPF 的实例

图2给出了用于描述指定设计的电源域和 PSO 信息的 CPF 命令。在这一设计中，顶层包含两个可开关的电源域 pdA 和 pdB，通过各自的 shut_off{ } 条件指定的控制信号就能够断掉它们的电源。还有一个缺省的电源域 pdTop，所有没有被分配到某一电源域中的模块实例都将归入这一缺省的电源域。

当某个模块掉电之后，需要隔离其输出端并对其赋予适当的值。这一操作是由 CPF 中的 creat_isolation_rule 命令来实现的，如图3所示。掉电模块中某些关键的控制类触发器需要保持状态，这是由 creat_retention_rule 命令实现的。

所有的电源控制信号都是由片上电源控制器产生的，电源控制器还可以负责产生片外电源调节器的控制信号。

所有的 Cadence 工具将使用 CPF 命令所描述的低功耗设计意图，并在整个设计流程中使用同一个 CPF 文件。注意，虽然某些 CPF 命令是通用的，但是还有个别命令只适用于某些工具。每种工具都会忽略掉它无法使用的 CPF 命令，例如 IUS 在仿真 SRPG 触发器的保持行为时，会忽略 CPF 中关于指定库的信息。

CPF 文件可以是展平的或者是层次化的。

一般而言, 在开始芯片顶层设计时, 使用层次化描述的 CPF 文件与设计的实际结构相匹配。

本文接下来将介绍在整个低功耗设计流程中, 各种工具如何使用 CPF 文件描述的功耗意图图。

采用 IUS 验证功耗意图

低功耗设计流程的第一步是定义并描述芯片的功耗意图, 创建如上文所介绍的 CPF 文件。下一步是验证在正常功能行为之上叠加了低功耗行为的系统的功能正确性, 这需要使用 IUS 来仿真 CPF 文件所描述的电源掉电、隔离和状态保持等行为。CPF 文件指定了触发隔离、电源掉电和状态保持操作的控制信号。

如图4所示, 仿真工具对设计中的部分电路进行断电状态的仿真, 使该部分内部所有的单元都变成 X 状态。在电源掉电之前, 仿真器将该模块的输出信号隔离并赋予它们在 CPF 中所定义的相应的值——如图3所示。在隔离和进入掉电状态之间的时间, 电源控制器给出保持信号, 通知仿真器保存 CPF 文件中指定的所有保持触发器的当前值。在加电时, 上述过程正好相反——电源加电, 随后恢复保持触发器内保存的值, 然后去掉加载在输出端上的隔离信号。图5给出了电源控制顺序。

在单元模块进入掉电模式时, 所有的时钟输入必须被门控关闭。这是 CPF 文件没有描述的一个重要设计功能, 通常由距离电源控制器较近的时钟发生器来控制。

功耗意图的收敛

低功耗意图验证的完备性可以由从设计的所有仿真过程中采集的功耗覆盖率来衡量。当所有的功耗覆盖率的指标得以满足之后, 就能认为低功耗验证已经成功完成了。

功耗覆盖率指标的采集取决于两个方面, 它们都是在低功耗设计流程中根据 CPF 文件自动生成的, 包括: 可执行的功耗验证规划、采集并管理低功耗覆盖率数据的代码。

所采集的功耗覆盖率来源于基于 CPF 的仿真:

- 电源域:
- 报告 shutoff_condition 的覆盖率
- 对于每条相关的 create_state_retention_rule (save_edge、restore_edge & edge transitions 的覆盖率)

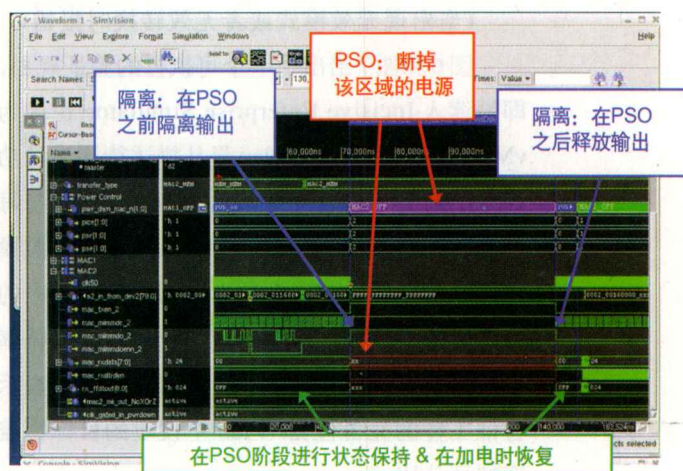


图4 低功耗行为的仿真

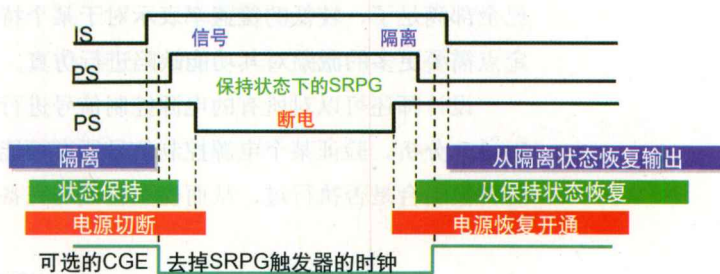


图5 电源控制序列

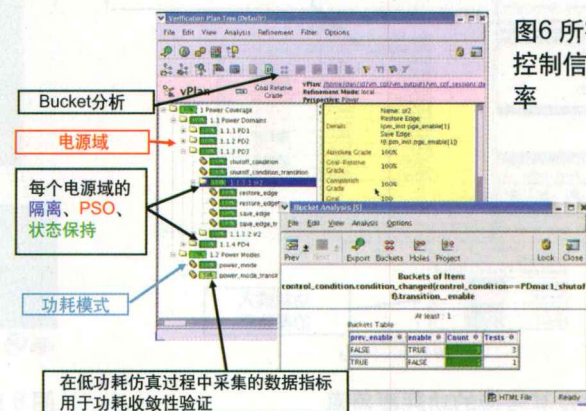


图6 所有电源域电源控制信号的功耗覆盖率

- 对于每条相关的 `create_isolation_logic_rule`

(isolation_condition & edge transistors 的覆盖率)

· 功耗模式

- CPF 中定义的每种功耗模式的覆盖率

- 每次有效功耗模式转换的覆盖率

- 可选项: `power_mode_checking`

(当出现无效模式或者无效转换时报错)

图6和图7给出了一个可执行的验证规划, 即被读入 Incisive Enterprise Simulator(也称为 vManager)的 vPlan。vPlan 是从描述待测设计功耗意图的 CPF 文件中生成的。图6给出了与每个电源控制信号——CPF 中定义的每种电源模式的隔离、保持与电源掉电控制信号相对应的功耗覆盖率数据。所有仿真过程累积的覆盖率数据反馈成标注在 vPlan 上的一个比例数, 表示验证工作的完备性占 vPlan 中设定的目标覆盖率的百分比。

100% 的覆盖率表示对某个点的所有仿真都已全部满足了, 较低的覆盖率表示对于某个特定点需要更多的激励对其功能缺陷进行仿真。

设计师还可以对所有的电源控制信号进行 Bucket 分析, 验证某个电源控制信号所有可能的转换组合是否执行过, 从而衡量验证的完备

性。出现任何遗漏的转换就表示激励生成是不完整的。

图7给出了 CPF 中定义的所有指定功耗操作模式的功耗指标, 以及所有可能的有效模式转换。设计师可以对搜集的仿真数据进行 Bucket 分析, 以寻找所有遗漏的模式转换。遗漏的转换表明覆盖率空间还存在漏洞, 这些漏洞只能通过运行新的测试验证功能缺陷的方式来弥补。

当带标注的 vPlan 中所有设定的指标都达到了 100% 的目标覆盖率时, 功耗收敛的目标就实现了。

RTL Compiler 的低功耗综合

当某个设计的低功耗特性经过了验证满足其设计的目标之后, 接下来就是对低功耗特性进行综合。需要注意的是, 在低功耗仿真阶段, RTL 在低功耗仿真过程中不会发生变化, 也就是说, 不需要再手工实例化任何低功耗单元。低功耗行为实质上是通过 CPF 命令中设置的信息来实现的。而在综合阶段, 综合工具使用在 IUS 中所使用到的同一个 CPF 文件, 并将这些低功耗结构直接综合为门级网表。图8的左边给出了没有读入 CPF 的设计综合结果, 右边给出了在读入了 CPF 文件后同一个设计的综合结果。

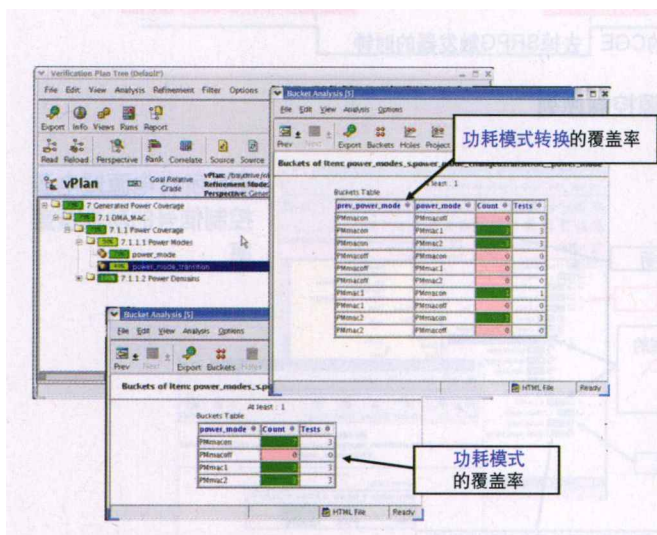


图7 功耗模式及其转换的功耗覆盖率

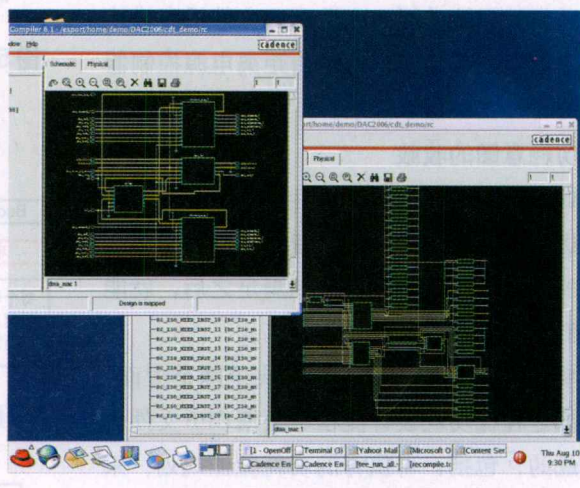


图8 RTL Compiler 的低功耗综合

RC 识别出 CPF 文件中指定的低功耗特性，并将下列低功耗单元添加到设计当中：用于电源域所有输出端的隔离单元、用于指定输入端的隔离单元、用于跨电压域信号的电平转换器、将指定的所有触发器替换为可以保持状态的触发器。

除了电源门控之外，RC 将在网表中插入所有的低功耗单元，电源门控将在布局布线之后再插入到网表中。

顺便说明一下，在 RTL 仿真中，不一定需要把电源控制器与设计连在一起进行仿真。这一过程是由 IUS 通过提供电源控制器输出端的电源控制信号的虚拟连接关系而得以实现的。而在综合阶段，这些虚拟的连接被替换成与相应单元的 RTL 级连接。RC 根据 CPF 文件的描述，自动连接所有的低功耗单元，就像 IUS 仿真那样。

RC 能够以多种模式同时对一个设计进行综合。它的时序分析引擎能够自动指出设计中的最差路径。除此之外，RC 还支持自顶向下的 MSV 综合，这种综合能够在芯片的不同电压域上采用不同的单元库，执行自顶向下的分析和优化操作。

低功耗综合流程

低功耗综合流程如图 9 所示，首先读入 HDL 设计、基本的综合变量和属性以及 CPF 文件指定的低功耗单元库。在对设计进行详细描述之后，综合工具读入 CPF 文件，并从中分析出有关设计的专用低功耗信息。在对 CPF 命令进行链接、解析和语法检查之后，综合工具开始进行低功耗综合，将 CPF 文件中的低功耗设计信息映射为低功耗门级单元，包括设计中各个电源域需要插入的电平转换器、隔离与保持单元。如果所生成的扫描链跨越不同的电源域，那么综合工具将再次读入 CPF 文件，然后根据既定的综合与功耗目标进行自顶向下的综合。

在所有的综合目标都得以满足之后，综合工具再执行进一步地分析并生成报告，网表输

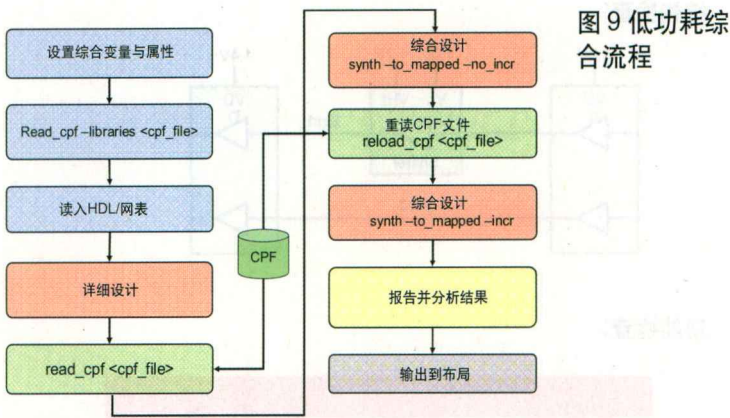


图 9 低功耗综合流程

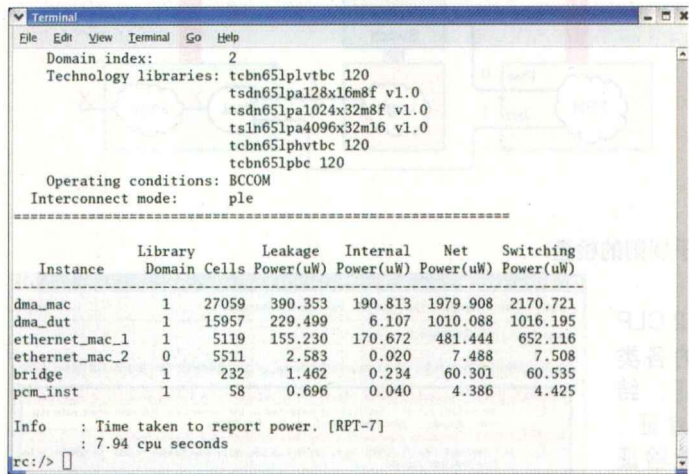


图 10 低功耗综合报告

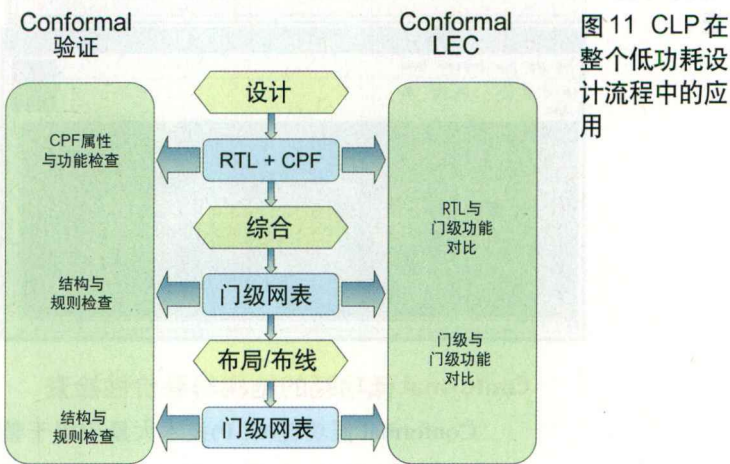
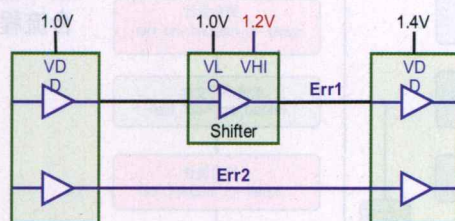


图 11 CLP 在整个低功耗设计流程中的应用

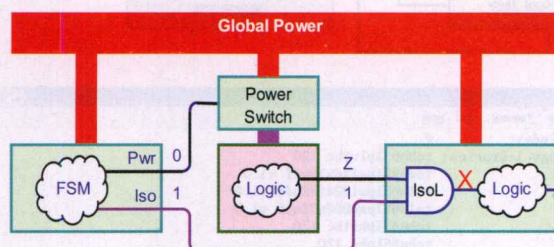
出到设计流程的下一阶段。

图 10 给出了一个典型的综合报告，反映了电源掉电技术对芯片部分断电电路漏电流的影响。它还表明了该综合设计包含不同的库(多阈值)，可用于实现低功耗设计的目标。

结构检查:

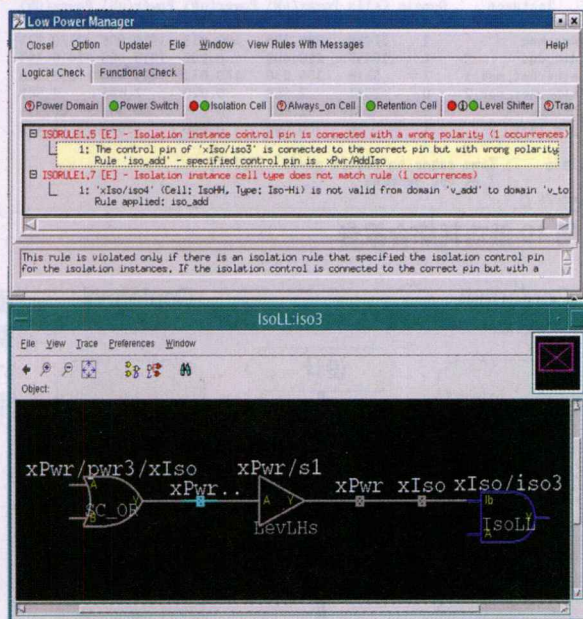


功能检查:



基于规则的检查:

图12 CLP中的各类验证: 结构验证、功能验证以及基于规则的验证



Conformal 低功耗的结构与等价性检查

Conformal 低功耗(CLP)技术大量应用于整个低功耗设计流程,如图11所示。其中使用的模型主要分为两类:

Conformal 验证

- CPF属性与功能检查——保持功能、隔离功能
- 结构检查——电源连接、缺失的隔离单元、缺失的电平转换器

元、缺失的电平转换器

- 规则检查——电源控制、隔离控制、保持控制

图12给出了一些属于上述各种情况的错误实例。

Conformal 逻辑等价性检查(LEC)

- CPF+RTL 与门级电路的逻辑等价性
- 门级与门级的功能比较

图13给出了一些属于上述各种情况的错误实例。首先将CPF中的低功耗特性应用于RTL,然后针对所有的低功耗操作模式验证门级网表是否实现了等价的逻辑与LP功能。

如图12所示,Conformal验证能够发现一些结构性错误,例如Err1上的转换器/接收器电压差异、Err2上的电平转换器缺失等。Conformal低功耗验证技术还采用了一个形式化验证引擎,它不需要测试向量就能够实现关于确定性的功能验证。例如,对于上面的设计,如果Pwr=0且Iso=1,那么表明可能出错了。如果当Pwr=0时Iso=0,那么这个设计就是正确的;而高阻值Z将被阻止输出到未关断电源的模块中。

图13给出了一个使用CLP技术进行逻辑等价性检查的实例。这个例子对RTL+CPF与RC产生的门级网表进行逻辑等价性检查,以查找是否存在不一致的地方。

在整个低功耗设计流程的各个阶段都可以执行逻辑等价性检查。例如:RC产生的综合网表包含用于实现隔离、保持、电源掉电控制的低功耗单元,但是不包含电源门控;经过基本布局布线的网表,其中由Encounter插入了电源门控;在Encounter中进行了电源布线,连接了 V_{dd} 、 V_{ss} 和低功耗单元另外的电源引脚之后;在Encounter中进行了时钟树综合与增量优化以满足时序要求之后。

基于功耗考量的SoC Encounter 后端设计流程

在对门级网表进行了结构与功能的正确性

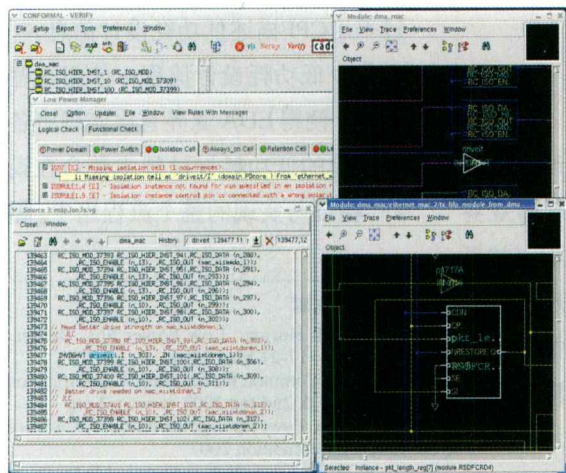


图 13 基于 CLP 的逻辑等价性检查

分析，并执行了功能等价性检查之后，就可以开始进行后端设计流程了，如图 14 所示。

该流程首先导入设计和CPF文件。loadCPF命令导入CPF文件，工具查找相关的命令，并将其应用到设计中，以设定电源域、电源网络、开关等。电源域和其他低功耗信息直接来源于读入的CPF文件，不需要手工导入Encounter。

如图 15 所示，commitCPF 命令将电源域应用到设计中相应的部分，使得该设计成为一个带有功耗考量的设计。在图 15 的右边，不同的电源域表示为不同的颜色。

在完成带功耗信息的布局规划之后，电源门控被插入设计当中。插入电源门控主要有两种方法——coarse grain 和 fine grain。coarse grain的方法采用单独的电源开关单元控制整个模块的电源；fine grain的方法采用内含电源开关的标准单元，分别控制每个单元的电源。

接下来是自动的电源规划、布局和电源布线过程。在布局过程中，Encounter 识别出电平转换器和隔离单元之类的低功耗单元，并将它们放置在电源域边界上适当的地方。在电源布线过程中，Encounter 连接 VDD 和 VSS 线，以及隔离单元/电平转换器上另外的电源引脚。

接下来是时钟树综合。Encounter 的时钟树综合过程是带电源域信息的——它根据 CPF 文件中定义的电源域信息一次性综合出时钟树。

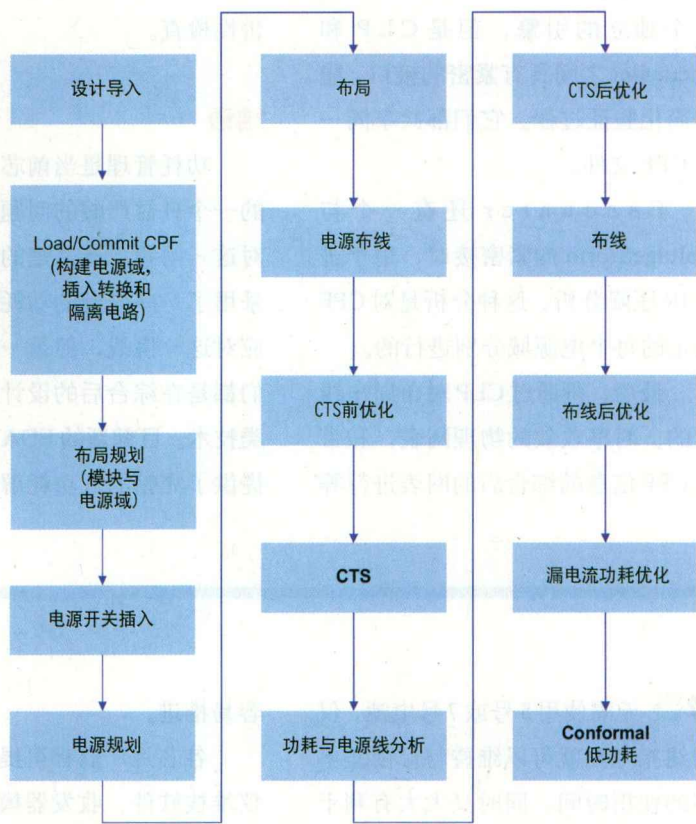


图 14 基于 CPF 的 Encounter 低功耗设计流程

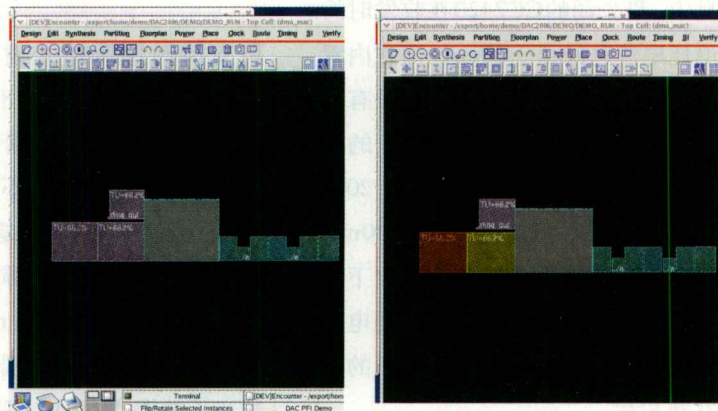


图15 读入CPF文件之后的设计携带了功耗信息

这意味着不需要对每个电源域分别单独综合时钟树，时钟偏斜报告覆盖整个设计而不是某一个电源域。

为了满足时序和其他一些设计目标，还需要进行增量优化。Encounter的时序分析过程也是带电源域信息的。

采用CLP可以在整个后端设计流程的每个阶段对网表进行完备性检查。尽管Confromal是

一个独立的引擎,但是CLP和Encounter之间具有紧密的接口,能够简化验证过程。它们都共享同一个CPF文件。

Encounter还有一个与VoltageStorm的紧密接口,用于进行IR压降分析,这种分析是对CPF指定的每个电源域分别进行的。

最后,再通过CLP对布局布线后的、时序收敛的物理网表,和带有CPF信息的综合后的网表进行等

价性检查。

结语

功耗管理是当前芯片设计面临的一个日益严峻的问题,尽管业界对这一问题已有清楚的认识,并且采用了一些先进的功耗管理技术来应对这一挑战,但是一般情况下人们都是在综合后的设计阶段采用这类技术。目前新的EDA技术和工具提供了完整的低功耗解决方案,通

过采用CPF描述低功耗设计信息,并在整个低功耗设计流程中使用这些信息,使得EDA业界首次实现将各种高级的低功耗设计技术整合在设计、验证与实现的整个流程当中。■

参考文献

1. Jack Horgan. Low Power SoC Design. EDA Cafe (17-21 May 2004)
2. Si2 Common Power Format Specification -Version 1.0, 2nd Jan 2007. www.si2.org
3. Low Power design techniques. Cadence Internal presentation 2007
4. RTL Compiler internal AE training materials. Cadence Internal Training 2006-2007

62 无需使用5号或7号电池,仅用纽扣电池就可以维持与目前差不多的使用时间,同时又大大有利于设备的小型化。

在没有内置MCU的收发器产品中,TI公司的CC2420在收发时的消耗电流已经低于20mA。而在内置了MCU的收发器产品中,还没有收发时消耗电流能够低于20mA的产品。不过,Jennic公司预计将于2008年推出收发时消耗电流低于20mA的JN514x系列。OKI公司也定下同样的目标,将开发收发时消耗电流低于20mA、并具有内置MCU的收发器芯片。

提供软件与测试套件

在研究是否采用ZigBee时,构建网络的协议堆栈软件及测试套件的提供情况也是极为重要的选择因素。如果具有可使用的测试套件,那么,从ZigBee的初始评估、引入讨论到应用软件的开发等过程就比较

容易推进。

各芯片厂商都可提供包括了协议堆栈软件、收发器模块及测试板的测试套件。在选择时需要充分考虑到测试套件的使用容易度。

可支持数据传输的收发器

上述基于IEEE 802.15.4的2.4GHz收发器的数据传输速率较低,仅有250kbps,并不适合于传输音乐、图像等数据。但是,业内也有专为传输音乐、图像等应用设计的低功耗收发器。Jennic公司的JN5139只要增加专用端口就可以传送音乐数据(见图4),采用ADPCM方式进行数据传输时,传输速率只需32kbps就已足够。

也有公司可提供数据传输速率较高的产品。韩国RadioPulse公司的收发器MG-2450/MG-2455的数据传输速率有500kbps和1Mbps两档,用户可根据需要进行设置。此

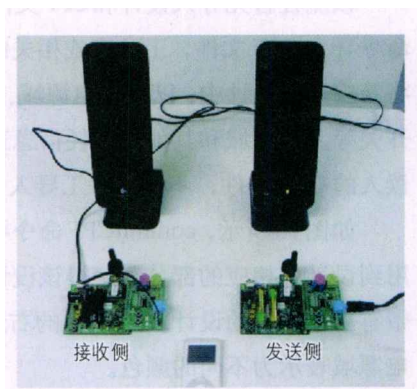


图4 目标是传送音乐

外,中国台湾地区达盛电子(UBEC)的UZ2400的传输速率也可以设定为625kbps,飞思卡尔半导体公司的MC1322x系列器件的传输速率更高达2Mbps。虽然提高数据传输速率后,产品就无法支持IEEE 802.15.4或ZigBee,也就难以与其他公司的芯片相互连接,但还是可以说是同时实现了高速传输与低功耗。 [NIKKEI ELECTRONICS © 2008. Nikkei Business Publications, Inc. All rights reserved.] (南庭译)

Product Selection

59 ZigBee Transceivers:
Starting with Remote Controls, Adoption is Increasing

Design Park

63 RTL to GDSII - a Complete Low Power Flow Using CPF

It's no secret that today's devices are increasingly power hungry. Power management is becoming an increasingly urgent problem for almost every category of design as power density - measured in watts per square centimeter is rising at an alarming rate. From an ASIC engineering perspective, effective energy management for a SoC has to be built into the design itself starting at the architecture stage and Low Power techniques need to be employed at every stage of the design from RTL to GDSII.

Application Solution

Communications

79 Design of Portable Remote Control for Electrical Tilting Antenna Controller Based on AISG Protocol

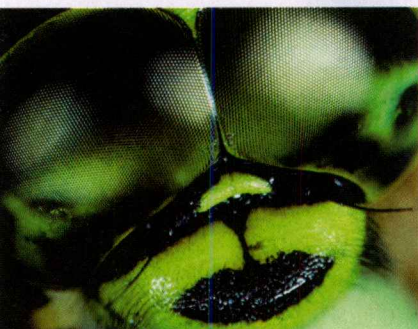
Image Processing

87 Getting the Most Out of Your Image Processing Pipeline

Automation & Measurement

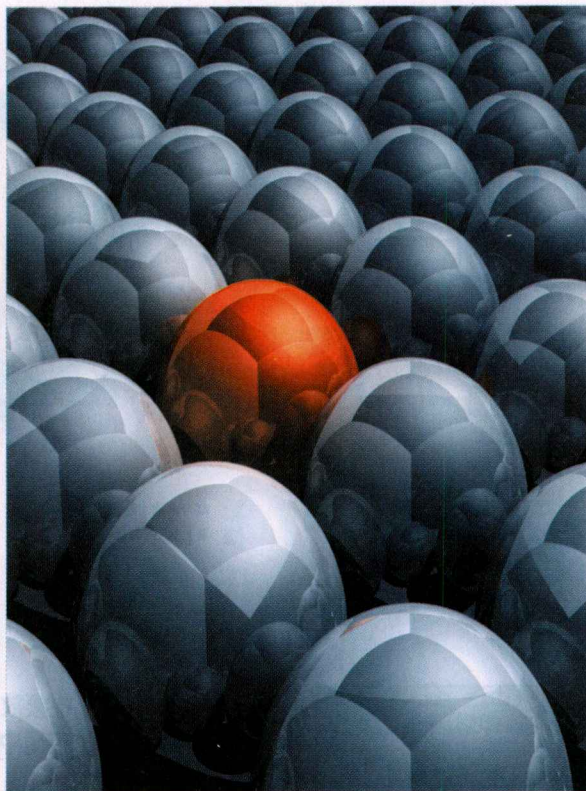
101 One-box Solution for Feeding Precisely RF & μ W Power

This paper introduces an integrated one-box solution for feeding precisely calibrated RF and microwave signals with R&S Level Control Power Sensor NRP-Z28/Z98. The sensor includes a power



Guide

EDAW-NEC ■ March, 2008



COVER STORY

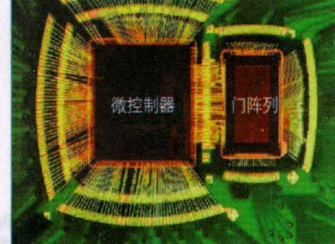
49 Automobiles will Advance through "Multifaceted Eyes"

Four cameras allowing a 360-degree view around the vehicle; two cameras that measure the distance to an obstacle or pedestrian, and control brake and accelerator-successive new vehicles are employing multiple cameras, enabling certain functions to be included. This development has been triggered by the emergence of low-cost automotive cameras and high-performing automotive processor. These ongoing trends will provide an additional boost to the evolution of multifaceted eyes vehicles.

INDUSTRY ANALYSIS

20 The Ambitions of Android

Google has entered the mobile phone market. The company launched an open development platform Android. It will be provided free of charge to anyone who wants to develop an Internet-accessible mobile phone. Mobile phone operators and manufacturers, semiconductor companies and software developers are largely welcoming the move. Besides the fact the software will be free, there are other advantages such as service compatibility and the open source development platform. However, there is also a downside-these firms could possibly lose the upper hand to third-party newcomers in the areas of service provision and device development.



splitter, and the feeding power can be accurately measured by the sensor and can be compensated to a very precise value. The paper also analyzes the influence of Γ correction and S parameter correction to the uncertainty.

Application Solution

Power Supply Technologies

109 Designing a Flexible, Scalable Digital Audio Amplifier

To make a practical Class-D audio amplifier, four functional blocks are needed: an error amplifier, a PWM comparator, a gate driver, and protection circuitry. Now, a single IC in a 16-pin package can deliver those essential functions to engineers looking to design a scalable, high performance audio power amplifier. Overload protection - the most cost-, space- and time-consuming function from a design standpoint - is now one of the easiest design steps, allowing designers to spend valuable design time on functions that differentiate their end product.

