1.画2输入NAND和2输入NOR门的门级电路,写真值表;如果NMOS宽度是2um,那么PMOS的宽度是多少.

2.给一个timing report,setup time的.问slack,时钟频率,电路的实际最高工作频率,clock skew.

3.给一个hold time timing report.问这是hold还是setup;是否设置了OCV,为什么;&/r/f是啥意思.

4.给一电跟图,问setup和hold的关键路径分别是什么,slack分别是多少,电路的实际工作频率,为什么是这个频率;如果时钟变成35ns,对setup和hold分别有什么影响.

5.一条100um的导线延迟1ns,问1000um的导线延迟是多少,如果每隔100um插一个buffer(延迟2ns)问总延迟是多少.

6.给一个文件,用C\_shell判断包含某字符串的行数和不包含该字符串的行数,用perl写一程序找出含某字符串的变量,在变量后加上另一字符串,并输出.

7.给出泄漏电流的公式,为怎么减小泄漏电流.给出电路功耗的公式,问其中的三项功耗的影响因素分别是什么.

8.latch与flip-flop的区别;什么是setup/hold,对电路有什么影响;用D触发器实现时钟二分频,并画波形.

9.DFT的一些方法,举几个故障模型的例子;什么是coupling effect,怎么消除;Asic设计流程.

10.什么是天线效应,怎么产生的.给了一部分版图,计算天线效应的值.如何消除.

**北京 2013 physical ASIC 笔试题**

1. 用 NAND 搭 XOR（y = !AB+A!B）的电路，写出每一步的想法

2.写 0-11 的 4 位格雷码

3.给出一个三分频的电路时序（input: rst, clk, output, clk\_co），用 flop, latch, full adder 以及其他组合逻辑电路，搭出 3 分频电路。

4.给出一个框图 计算（1）flop B 的 setup/hold time slack

（2）如何 fix flop B violation（图是这样的 延时数字随便写的）

5 .FSM 很简单的状态机图 （1）让写出 verilog 程序（只有三个状态 数字随便写的）

（2）写出 testbench

6.写出反相器有哪些部分消耗功率，关键因素是什么？（有点忘了）

7.（1）在反相器后面加两个 buffer，以驱动大电容，size 和 delay time 成正比，最少延时 70ps 问这两个 buffer 的size 如何确定（大概是这意思，不确切）

（2）为得到最短时间，你认为应该加几个 buffer 合适，size 是多少

8.用两个 NMOS 管搭一个 NAND，如果 signal A 比 B 稍早，问如何摆放使得该 NAND 速度最快？

9.一个简单的电路图，问 DFT test chain 怎么做？（有点忘了）如果加上 test chain，这个电路是什么样？

10.用 perl 或 c 语言写程序。打开一个包含学生名字和成绩的文件，要求找出成绩最高的学生的名字输出。