

IMPORTANTE! A avaliação é com consulta apenas as folhas entregues pelo professor. Ao final da prova o aluno deverá enviar para o Moodle os arquivos solicitados. O arquivo QAR deverá estar conter os arquivos de projeto e simulação, e deve ser nomeado de acordo com a Questão (Q1.qar, Q2.qar etc.) .Lembre-se que **NÃO é permitido usar a biblioteca std_logic_arith**. Utilize sempre o FPGA mais simples da família Cyclone I, que permita implementar o projeto, exceto se for solicitado outro dispositivo. **Nesta avaliação utilize apenas código concorrente.**

1. Projete um circuito de um incrementador Gray para uma entrada genérica de N bits. Note que tanto a entrada como a saída devem ser valores em código Gray.
 - a) Escreva o código em vhdl, que dada uma entrada GRAY_IN, fornece na saída GRAY_OUT o valor da entrada incrementado de "1" em código gray.
 - b) Mostre que o incrementador funciona fazendo a simulação funcional do projeto usando o QSIM. Use dados de entrada que permitam verificar o funcionamento do conversor.
 - c) Anote o número de elementos e o máximo atraso de propagação entre a entrada e as saídas.
 - d) *Envie para o Moodle a imagem do código RTL (QXRTL.png), a imagem das simulações (QXSIM1.png, QXSIM2.png, ...) e o arquivo contendo o projeto e as simulações (QX.qar)*

Use a seguinte ENTITY e nome **inc_gray** para realizar o projeto:

```
entity inc_gray is
    port
    (
        gray_in  : in std_logic_vector(____)
        gray_out : out std_logic_vector(____)
    )
end entity

architecture ____ of inc_gray is
begin

end architecture
```

2. Projete um conversor de binário para BCD - Binary-coded decimal para 3 dígitos (000 a 999).
 - a) Escreva o código em vhdl, que dada uma entrada bin (entre 0 e 999), fornece nas saídas os dígitos bcd da centena (bcd_c), dezena (bcd_d) e unidade (BCD_U).
 - b) Mostre que o conversor funciona fazendo a simulação funcional do projeto usando o QSIM. Utilize 4 bits como entrada e saída para essa simulação.
 - c) Anote o número de elementos e o máximo atraso de propagação entre a entrada e as saídas.
 - d) *Envie para o Moodle a imagem do código RTL (QXRTL.png), a imagem das simulações (QXSIM1.png, QXSIM2.png, ...) e o arquivo contendo o projeto e as simulações (QX.qar)*

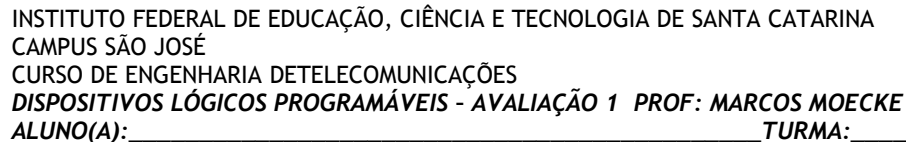
Use a seguinte ENTITY e nome **bin2bcd** para realizar o projeto:

```
entity bin2bcd is
    port (
        BIN      : in std_logic_vector(9 downto 0);
        BCD_C    : out std_logic_vector(3 downto 0);
        BCD_D    : out std_logic_vector(3 downto 0);
        BCD_U    : out std_logic_vector(3 downto 0);
    )
end entity;

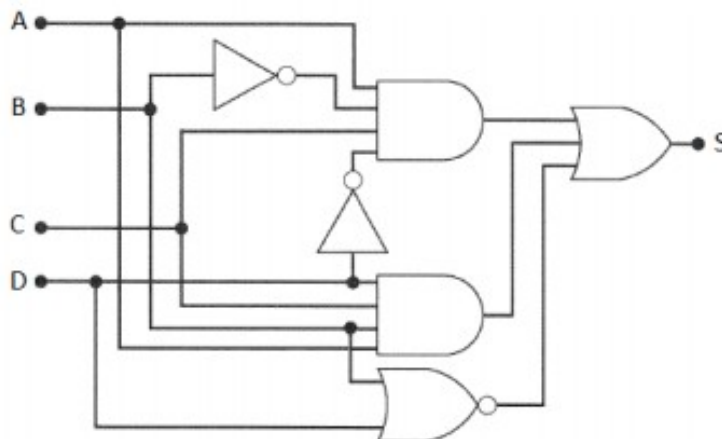
architecture ____ of ____ is
--declaração de sinais auxiliares

begin
--descrição do hardware

end architecture;
```



- Escreva o código VHDL e compile, e verifique se o circuito é o mesmo.
- Envie para o Moodle a imagem do código RTL (QXRTL.png), a imagem das simulações (QXSIM1.png, QXSIM2.png, ...) e o arquivo contendo o projeto e as simulações (QX.qar)



4. Realize a atividade **AE4 - ALU modificada**. (prazo de entrega 22/07/2021 as 13h30)



INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA
CAMPUS SÃO JOSÉ

CURSO DE ENGENHARIA DE TELECOMUNICAÇÕES

DISPOSITIVOS LÓGICOS PROGRAMÁVEIS - AVALIAÇÃO 1 PROF: MARCOS MOECKE

ALUNO(A): _____ **TURMA:** _____ **DATA:** _____

*Realize a atividade **AE4 - ALU modificada**. (prazo de entrega 22/07/2021 as 13h30)*