



**INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE
SANTA CATARINA - CAMPUS SÃO JOSÉ**

CURSO ENGENHARIA DE TELECOMUNICAÇÕES

DISCIPLINA: Dispositivos lógicos programáveis II - DLP029007

AP3 - Emulador da transmissão do Barramento PCM do CODEC Le58QL022

**Alunos: Jefferson Botitano Calderon R e
Leonardo Ludvig Da silva**

Professor: Roberto de Matos

São José, 2022

Explorando os pinos DXA, DRA, TSCA, FS e PCLK: Uma descrição detalhada das funções e características de cada um

- DXA: é um pino de saída que transmite dados PCM serialmente para o canal A. Os dados são transmitidos em intervalos de tempo programados pelo usuário sendo sempre transmitidos com o bit mais significativo primeiro.
- DRA: é um pino de saída que recebe dados PCM serialmente para o canal A. Utilizado apenas uma interface só usa os 4 primeiros canais mesmo trabalhando com 32 canais e pode-se conectar várias placas diferentes em trabalho conjunto para atingir 32 / 4 sendo número de placas máxima para conectar no barramento..
- TSCA: É um pino de controle que indica quando os dados PCM estão sendo transmitidos pelo canal A. Quando os dados estão sendo transmitidos, o sinal TSCA é baixo (Low).
- FS: É um pino de entrada que recebe o sinal Frame Sync, o qual identifica o Time Slot 0 e o Clock Slot 0 do quadro PCM do sistema. O dispositivo QLSLAC faz referência aos slots de tempo individuais em relação a esta entrada, a qual deve estar sincronizada com o sinal PCLK.
- PCLK: É um pino de clock que sincroniza a transmissão dos dados PCM. Os dados são transmitidos em rajadas de 8 bits (ou 16 bits no estado Linear ou PCM Signaling) a cada borda positiva ou negativa do PCLK.

Explorando os modos de funcionamento do barramento PCM (XE=0 ou XE=1): Uma descrição dos modos de operação acompanhada de diagramas de tempo.

O barramento PCM (Pulse Code Modulation) do dispositivo QLSLAC pode operar em dois modos de funcionamento, dependendo do valor do bit XE:

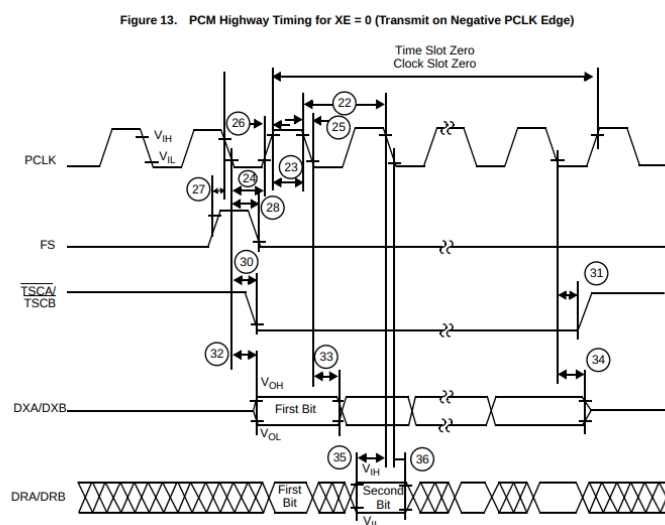


Figura 1.

Para XE=0 na figura 1 deste modo, o barramento PCM opera no modo de transmissão de dados. Os dados PCM são transmitidos serialmente para o canal A ou B

através dos pinos DXA ou DXB, respectivamente. O sinal TSCA ou TSCB indica quando os dados estão sendo transmitidos e o sinal FS é usado para sincronizar a transmissão dos dados. O diagrama de tempo inicia a transmissão de dados com TSCA indo para zero e FS sincronizando os dados de transmissão com PCLK sendo em borda de descida, sendo assim depois de um delay é iniciado o envio de dados serialmente pelo DXA até o momento em que o TSCA tem borda de subida.

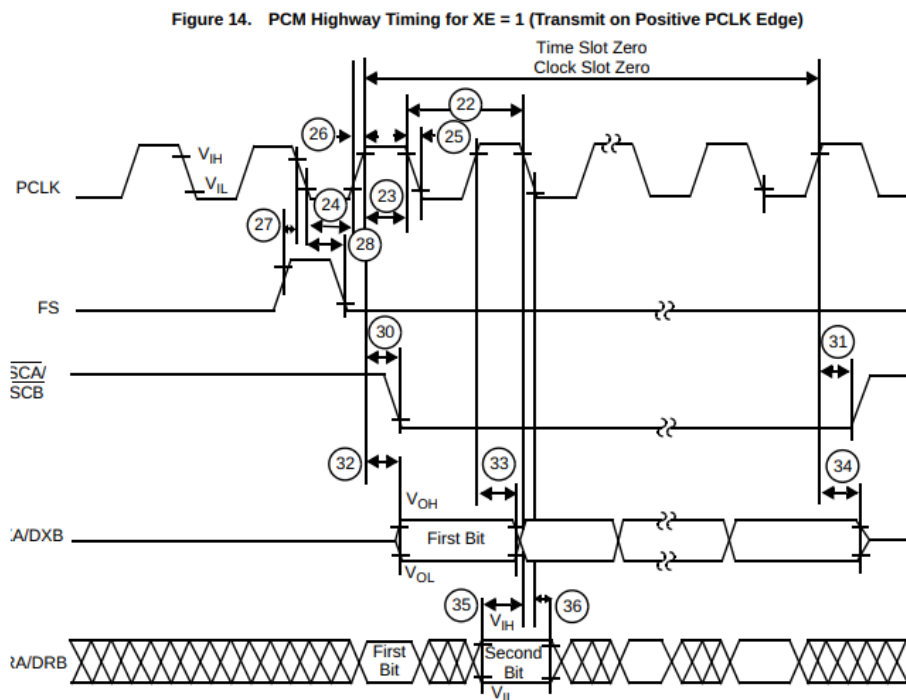


Figura 2

Para XE=0 na figura 2 deste modo, o barramento PCM opera no modo de recepção de dados. Os dados PCM são recebidos serialmente pelo canal A ou B através dos pinos RXA ou RXB, respectivamente. O sinal PCLK é usado para sincronizar a recepção dos dados e o sinal RD indica quando os dados estão disponíveis para leitura. O diagrama de tempo inicia a transmissão de dados com TSCA indo para zero e FS sincronizando os dados de transmissão com PCLK sendo em borda de subida, sendo assim depois de um delay é iniciado o envio de dados serialmente pelo DXA até o momento em que o TSCA tem borda de subida.

Em resumo, quando XE=0, o dispositivo está transmitindo dados pelo barramento PCM e quando XE=1, ele está recebendo dados pelo mesmo barramento.

Explorando o impacto da frequência do PCLK no número de canais: Uma descrição sobre como a variação da frequência do PCLK afeta a quantidade de canais suportados.

A frequência do PCLK é um fator importante que afeta o número de canais que podem ser transmitidos pelo barramento PCM do dispositivo QLSLAC. O número máximo

de canais que podem ser transmitidos é determinado pela largura de banda disponível no barramento PCM, que é diretamente proporcional à frequência do PCLK.

Em geral, quanto maior a frequência do PCLK, maior será a largura de banda disponível e, portanto, mais canais poderão ser transmitidos simultaneamente. Por exemplo, se a frequência do PCLK for de 2,048 MHz, o dispositivo pode suportar até 32 canais. No entanto, se a frequência do PCLK for reduzida para 1,024 MHz, o número máximo de canais suportados será reduzido pela metade para 16 canais.

Portanto, é importante escolher uma frequência adequada para o PCLK com base no número de canais que precisam ser transmitidos simultaneamente e na largura de banda disponível no barramento PCM.

Definição da entidade e dos GENERICS para o emulador de transmissão do barramento PCM do CODEC: Uma explicação dos componentes e parâmetros genéricos necessários para a implementação do emulador de transmissão do barramento PCM no CODEC.

Para definir a entidade e os GENERICS para o emulador da transmissão do barramento PCM do CODEC, é necessário levar em consideração os parâmetros que afetam a transmissão de dados pelo barramento PCM. Alguns dos parâmetros que podem ser definidos como GENERICS incluem:

- XE: define qual o tipo de transmissão de dados para borda de subida(XE=1) ou descida(XE=0).
- Constante de valor do dado: define o valor do dado transmitido pelo barramento PCM.

A entidade pode ser definida com base nos sinais necessários para a transmissão neste caso de estudo e relacionado aos dados pelo barramento PCM. Alguns dos sinais que podem ser incluídos na entidade são:

CODEC que dentro de sua máquina de estado irá possuir estas entradas e saídas:

- DXA: Sinais de saída usados para transmitir os dados PCM pelo canal A, respectivamente.
- TSXA: Sinais de saída usados para indicar quando os dados estão sendo transmitidos pelos canais A e B, respectivamente.
- PCLK: Sinal de entrada usado para sincronizar a recepção dos dados.
- FS: Sinal usado para sincronizar a transmissão/recepção dos dados, sincroniza a borda de subida ou descida do PCLK com a borda de TSXA/TSCB.
- RST: Sinal de entrada para reiniciar o funcionamento da entidade.

Com base nesses parâmetros e sinais, a entidade e os GENERICS podem ser definidos de forma apropriada para o emulador da transmissão do barramento PCM do CODEC.

Definição das máquinas de estado usadas para implementar o CODEC.

Com base nas entradas e saídas foram feitas duas máquinas de estados, sendo uma de controle e outra de transmissão dos bits para saída DXA. A figura 3 representa o diagrama de bloco do CODEC onde o mesmo possui três entradas PCLK,RST e FS e duas saídas DXA e TSCA.

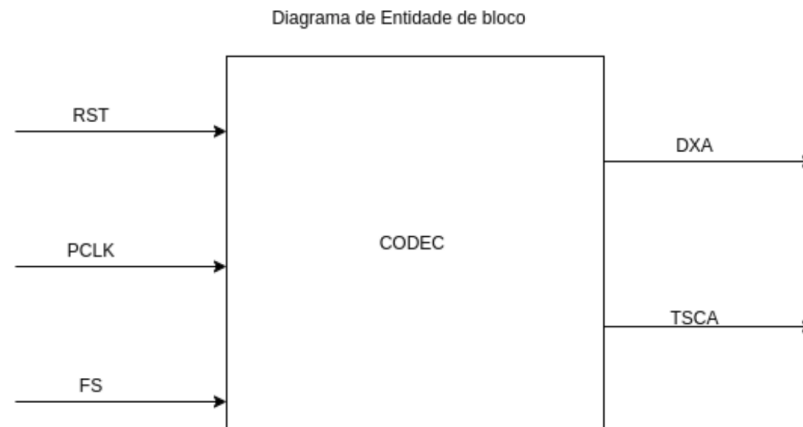


Figura 4.

Este bloco CODEC é dividido em mais 2 blocos representados pela figura 5, onde temos o bloco da máquina de estado representando controle de transmissão de bit.

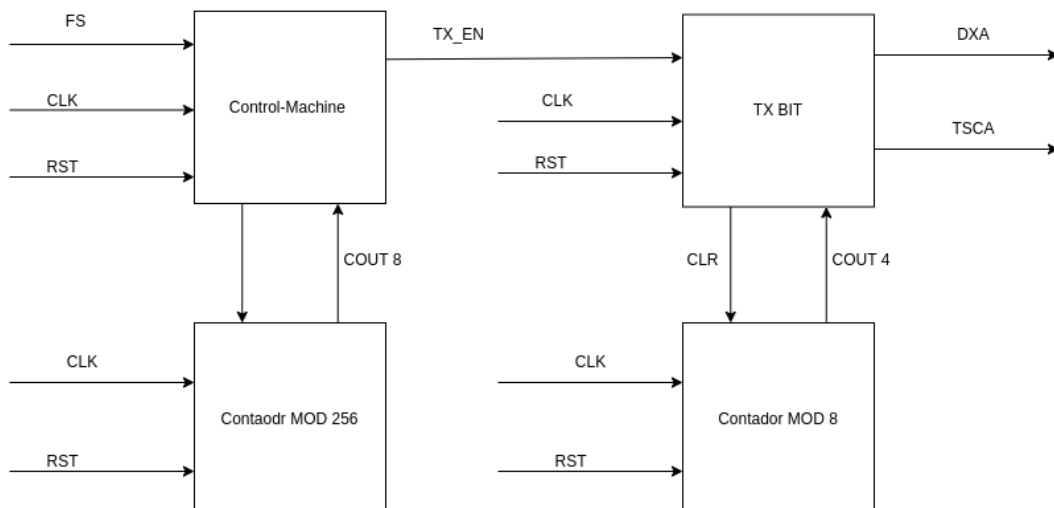


Figura 5.

Em seguida temos o diagrama ASM na figura 4 onde representa a máquina de estado de controle, ou seja, ele iniciado após a detecção da borda de subida para FS em seguida saindo do seu estado IDLE para TX que representa a transmissão indicando que TSCA responsável por controlar a transmissão de dados por meio da borda de descida e

habilita o controle de transmissão por meio de TX_EN ser um que inicia um contador módulo 256 para indicar que com sucesso houve 256 pulsos de clocks para resultar as saídas TSCA para zero e TX_EN para um.

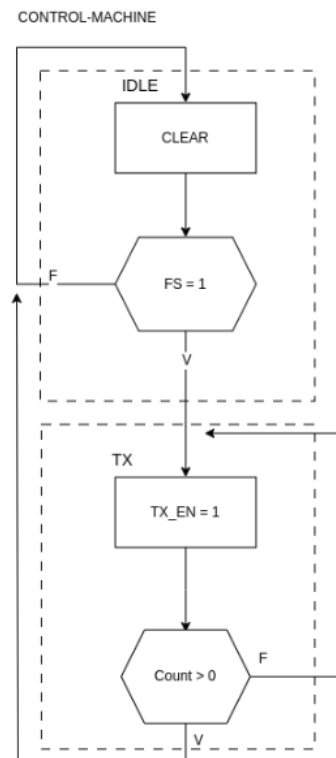


Figura 5.

A figura 6 é o representante da máquina de estado referente ao envio de bits onde ela transita do estado IDLE para START_BIT quando TX_EN é borda de subida e ao passar para o estado START_BIT se inicia a transmissão de bits por DXA que começara a receber o valor de CONST_VALUE bit a bit.

Sendo assim ele inicia recebendo o bit da posição zero e faz a verificação se TX_EN ainda esta em borda de subida e TSCA recebe valor zero, se TX_EN atender a condição de ser igual a um passa para o estado EDGE_BIT que representa a transmissão dos demais BITS de CONST_VALUE, que também faz a verificação de TX_EN se ainda está em borda de subida e irá transmitir bit a bit por meio de um loop de tamanho menor que sete.

TX BIT - MACHINE

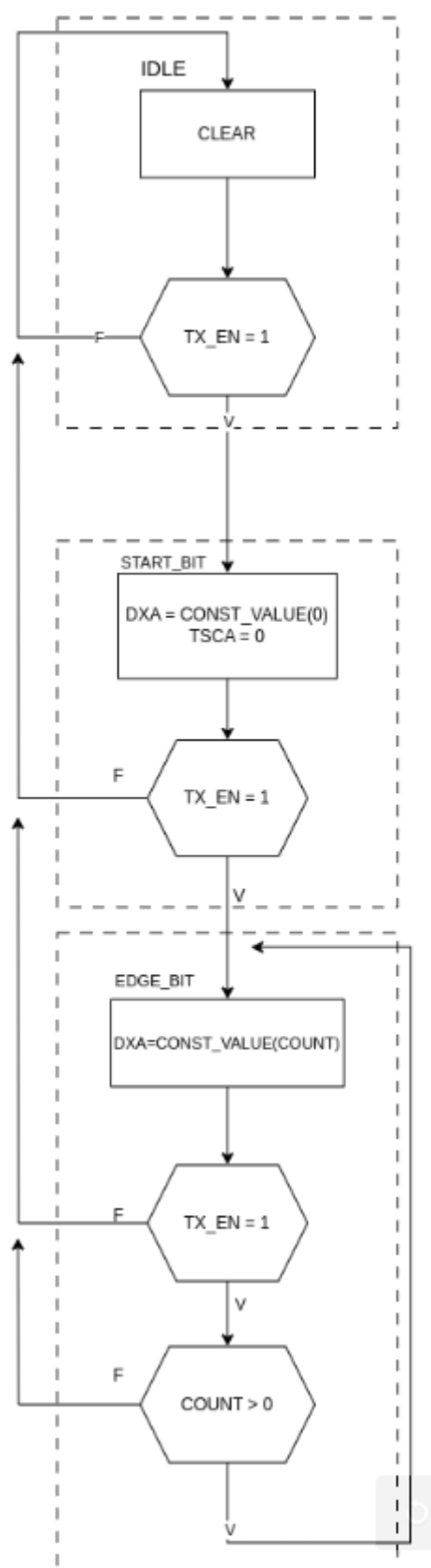


Figura 6.

Implementação da lógica de programa

Para a lógica de programa foi feito componente representando um contador decrescente o valor inicial do contador é definido pelo parâmetro genérico N. O contador possui três entradas: clk (sinal de clock), clear (sinal de limpeza) e reset (sinal de reinicialização). A saída do contador é q, que é um valor natural no intervalo de 0 a N. O segundo componente foi implementado a máquina estado que descrevemos neste relatório como a de “control-machine” máquina de estado de controle com dois estados: IDLE e TX.

Essa máquina de estado controla os sinais de controle CLEAR e TX_EN com base nas entradas de clock (CLK), sinal de início de transmissão (FS) e um contador de 8 bits (cont_256). O código também possui dois parâmetros: N, que é um valor genérico definido como 255 por padrão, e o tamanho máximo do contador. No estado IDLE, o sinal CLEAR é mantido em '0' (limpa o contador) e o sinal TX_EN é mantido em '0' (não transmitindo). Se o sinal FS for '1', o próximo estado será TX; caso contrário, o próximo estado será IDLE.

No estado TX, o sinal CLEAR é definido como '1' (permite a contagem) e o sinal TX_EN é definido como '1' (transmitindo). Se o valor do contador cont_256 for igual a 255, o próximo estado será IDLE; caso contrário, o próximo estado será TX. Em qualquer outro estado, o próximo estado será IDLE.

Sendo assim a implementação de uma máquina de estado para controle com dois estados, IDLE e TX. Ele controla os sinais CLEAR e TX_EN com base nas entradas de clock, sinal de início de transmissão e um contador de 8 bits. O estado atual da máquina de estado é registrado e atualizado em cada borda de subida do sinal de clock. O comportamento da máquina de estado é definido por meio de um processo que avalia o estado atual e as entradas para determinar as ações apropriadas de saída para o outro componente responsável por transmitir bits.

Para o terceiro componente foi implementado um módulo de transmissão de bits que transmite uma sequência de bits armazenados em um vetor de bits chamado "cont_value". O módulo tem três estados: IDLE, START_BIT e EDGE_BIT, que controlam a transmissão dos bits. O módulo recebe um sinal de clock (clk), um sinal de reinicialização (rst), um sinal de habilitação de transmissão (tx_en) e um contador de 8 bits (cont_8) como entradas. Ele também possui três saídas: tsca, dxa e CLEAR.

O segundo processo dentro da arquitetura é sensível aos sinais tx_en, state_reg e cont_8. Ele controla os sinais tsca, dxa e CLEAR com base no estado atual da máquina de estado e nas entradas fornecidas. Dependendo do estado atual, diferentes ações são executadas:

No estado IDLE, o sinal CLEAR é mantido em '0' (limpa o contador). Se o sinal tx_en for '1', o sinal tsca é definido como '0' (liga o TSCA, ativo baixo), e o próximo estado será START_BIT. Caso contrário, o próximo estado será IDLE.

No estado START_BIT, o sinal CLEAR é definido como '1' (desativa o CLEAR). Se o valor do contador cont_8 for menor ou igual a N, o sinal dxa é atribuído ao valor correspondente no vetor de bits cont_value e o próximo estado será EDGE_BIT. Caso contrário, o sinal tsca é definido como '1' (desliga o tsca), e o próximo estado será IDLE.

No estado EDGE_BIT, o sinal CLEAR é definido como '1' (desativa o CLEAR). Se o valor do contador cont_8 for menor ou igual a 0, o sinal tsca é definido como '1' (desliga o tsca), e o próximo estado será IDLE. Caso contrário, o sinal dxa é atribuído ao valor correspondente no vetor de bits cont_value.

Sendo assim a implementação de um módulo de transmissão de bits que transmite uma sequência de bits armazenada em um vetor de bits. Ele utiliza uma máquina de estado para controlar a transmissão dos bits com base em sinais de controle e um contador. O módulo é projetado para ser integrado a designs VHDL maiores, onde a transmissão de bits é necessária.

Para o quarto componente o qual é referente ao ligamento dos componentes anteriores citados, foi feito da seguinte maneira a implementação de um codec que combina os componentes "contador", "BitTransmission" e "ControlStateMachine" para realizar operações de transmissão de bits controladas por uma máquina de estado de controle. O codec possui entradas para o clock do sistema (PCLK), um sinal de reset (RST) e um sinal de controle de frame (FS). Ele também possui duas saídas: DXA, que representa o sinal de dados transmitido, e TSCA, que é um sinal de controle para o processo de transmissão.

O componente "contador" é instanciado duas vezes: uma vez para o contador "count_8" e outra para o contador "count_256". Cada instância recebe os valores apropriados para o parâmetro genérico N e está conectada às portas correspondentes no componente instanciado. O componente "ControlStateMachine" é instanciado como "ControlSM" e está conectado às portas relevantes no componente instanciado. O componente "BitTransmission" é instanciado como "BitTrans" e está conectado às portas relevantes no componente instanciado e no final da arquitetura, os sinais de saída DXA e TSCA são atribuídos aos sinais internos dxa_bit e tx_en_ctrl, respectivamente.

Sendo assim a representação de um codec que combina os componentes "contador", "BitTransmission" e "ControlStateMachine" para realizar operações de transmissão de bits controladas por uma máquina de estado de controle. Os componentes são instanciados e conectados corretamente dentro do código para criar a funcionalidade desejada. O módulo é projetado para ser integrado a designs VHDL maiores, onde a operação de um codec é necessária.

Testes e formas de onda

Representando XE igual a zero na figura 7 temos o funcionamento de teste do codec de acordo com a borda de descida como clock dos demais componentes aqui descritos neste relatório.

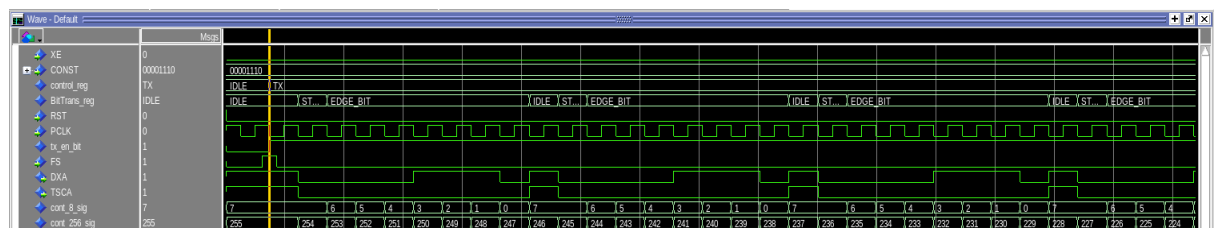


Figura 7.

Representando XE igual a zero na figura 7 temos o funcionamento de teste do codec de acordo com a borda de descida como clock dos demais componentes aqui descritos neste relatório.

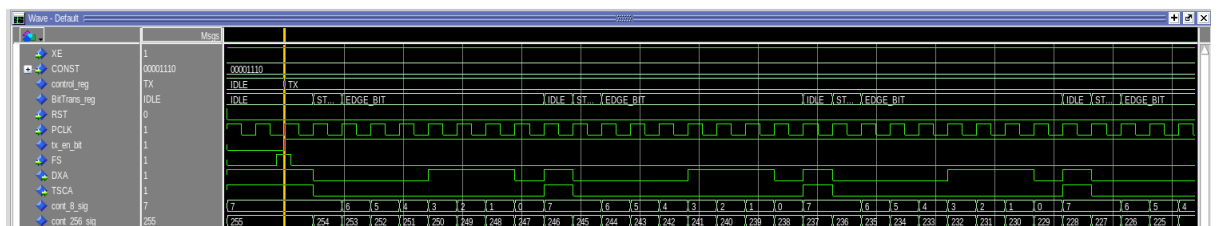


Figura 8.

Empecilhos durante o desenvolvimento

Durante o desenvolvimento do projeto obtivemos dúvidas sobre os funcionamentos dos nossos componentes, talvez na parte de implementação dos estados que os mesmo deveriam se comportar e por final tivemos como juntar os componentes produzidos para união do bloco “Codec” como comentamos neste relatório. A maneira que foi utilizado para utilizar o clock em modo clock rising edge ao invés por evento resultou em comportamentos erráticos dos componentes para formar o codec como na parte de transmissão de bits e controle e a parte errado que foi encontrada durante implementação foi do contador decrescente que não zerava quando o registrador chegava a zero e apenas quando era encontrado um sinal de clear.

Conclusão

Neste relatório, exploramos o emulador da transmissão do barramento PCM do CODEC Le58QL022. Iniciamos descrevendo as características e funções dos pinos DXA, DRA, TSCA, FS e PCLK, que são essenciais para a transmissão e recepção de dados PCM e em seguida, discutimos os dois modos de funcionamento do barramento PCM, dependendo do valor do bit XE. No modo de transmissão, os dados são enviados pelos pinos DXA ou DXB, enquanto no modo de recepção, os dados são recebidos pelos pinos RXA ou RXB. Mostramos diagramas de tempo para ilustrar esses modos de operação.

Também abordamos o impacto da frequência do PCLK no número de canais suportados pelo barramento PCM. Quanto maior a frequência do PCLK, maior será a largura de banda disponível, permitindo a transmissão de mais canais simultaneamente. Em seguida, definimos a entidade e os GENERICS necessários para a implementação do emulador de transmissão do barramento PCM no CODEC. Esses parâmetros genéricos incluem o tipo de transmissão de dados (XE) e a constante de valor do dado transmitido.

Além disso, apresentamos as máquinas de estado utilizadas para implementar o CODEC, incluindo a máquina de estado de controle e a máquina de estado de transmissão de bits. Essas máquinas de estado desempenham um papel fundamental na transmissão adequada dos dados pelo barramento PCM e por final descrevemos a implementação da lógica de programa, incluindo um contador decrescente, a máquina de controle e o módulo de transmissão de bits. Esses componentes trabalham em conjunto para garantir a transmissão correta dos dados pelo barramento PCM.

Em conclusão, este relatório fornece uma visão abrangente do emulador da transmissão do barramento PCM do CODEC Le58QL022, desde a descrição dos pinos e modos de operação até a implementação dos componentes necessários. O conhecimento adquirido aqui pode ser aplicado na criação e desenvolvimento de sistemas de telecomunicações baseados em dispositivos lógicos programáveis.

