

Universidade Federal de Santa Catarina, INE/UFSC
INE 5366 - Arquitetura de Computadores I
Terceira Avaliação 2006.2

Aluno(a):

Matrícula:

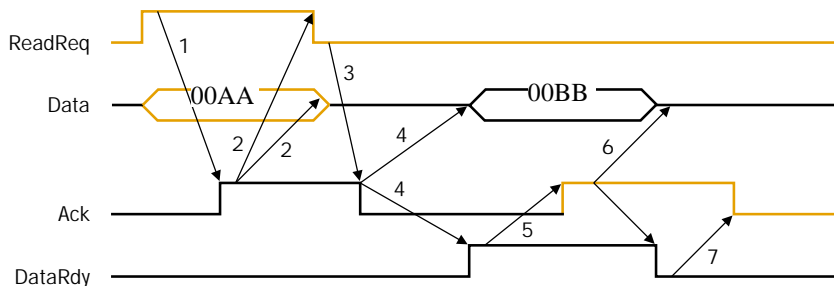
Parte I [valor: 3,0 pontos]

1. [0,5 cada item] Responda sucintamente as perguntas abaixo:

- a) Um dispositivo de saída é mapeado em memória. Sabe-se que ele se comunica com a CPU através da técnica de consulta periódica (“polling”). O esboço de código abaixo mostra parte da implementação da consulta do dispositivo. Conhece-se o conteúdo de quatro registradores: \$s0 = 0x00000004; \$s1=0x00000008; \$s2=0x0000ABC1; \$s4=0x0000FFAC. A qual endereço está associado o registrador de status do dispositivo de saída? **Justifique.**

```
P: ....  
    lw s2, 0($s0)  
    andi s3, s2, 0x00000001  
    beq $zero, $s3, L  
    ...  
    sw $s4, 0($s1)  
    ...  
L: ...  
    ...  
    ...  
    j P
```

- b) A interface entre um controlador de interrupções e a CPU consiste de um sinal de requisição de interrupção (int_req) e de um sinal de reconhecimento (int_ack). A técnica utilizada para identificar a fonte de interrupção emprega um vetor de interrupção (v_int). Afirmação: “Se o controlador receber pelo menos uma requisição de um dispositivo de E/S, o sinal int_req será ativado e, simultaneamente, v_int será enviado para a CPU”. A afirmação é verdadeira ou falsa ? **Justifique.**
- c)
- d) O diagrama abaixo ilustra o protocolo assíncrono para a leitura de uma palavra da memória e seu envio a um dispositivo de E/S, onde o conteúdo do barramento é mostrado em hexadecimal. Afirmação: “A segunda ativação do sinal “Ack” é realizada pela memória”. A afirmação é verdadeira ou falsa ? **Justifique.**



- e) Um sistema de memória usa endereços de 32 bits. Ele possui uma cache com 256 blocos. A cache é totalmente associativa. Cada bloco contém 16 palavras. Cada palavra contém 4 bytes. Quantos bits tem o rótulo (TAG) a ser armazenado? **Justifique e mostre os cálculos mais relevantes.**

- f) Suponha que o MIPS fosse implementado como um processador super-escalar capaz de executar até 4 instruções no mesmo ciclo de relógio, sendo que duas delas podem ser dos tipos R e/ou load, uma é desvio condicional e outra é store. Qual o número total de portas de leitura e escrita de dados do banco de registradores? **Número de portas de leitura:** **Número de portas de escrita:**
Justifique.

- g) Um sistema contém apenas um nível de cache. Os tempos de acesso à memória principal e à cache são 30ns e 3ns, respectivamente. Determine a taxa de fracassos **mr** (miss rate) para se obter um tempo de acesso médio de 3,5 ns e mostre seus cálculos.

Resposta: mr =

Cálculos:

Parte II [valor: 5,0 pontos]

2. [2,0: 4 x 0,5] Considere três processadores com diferentes configurações de cache:

- Cache 1: Mapeamento direto com 1 palavra por bloco;
- Cache 2: Associativa com 2 alternativas por conjunto (2-way) com 4 palavras por bloco.

Foram feitas as seguintes medidas de taxas de fracasso (miss) de instruções (imr) e de dados (dmr):

- Cache 1: imr = 4%; dmr = 6%;
- Cache 2: imr = 2%; dmr = 3%.

Para esses processadores, metade das instruções contêm uma referência a dados. Assuma que a penalidade de falta é $6+T$, onde T é o tamanho do bloco expresso em palavras. Sendo I o número de instruções executadas no programa, determine os valores os abaixo, mostrando o resultado final e os cálculos intermediários.

- a) O número médio de **ciclos de parada** por instrução devido a faltas na Cache 1.

Resultado: CPI_{stall} (Cache 1) =

Cálculos: ciclos =

- b) O número médio de **ciclos de parada** por instrução devido a faltas na Cache 2.

Resultado: CPI_{stall} (Cache 2) =

Cálculos: ciclos =

Para a carga de trabalho utilizada no experimento, mediu-se um CPI total igual a 2 ao se usar o processador junto com a Cache 1. Calcule:

- c) O número total médio de **ciclos por instrução** ao se usar a Cache 2.

Resultado: CPI_{total} (Cache 2) =

Cálculos:

- d) Supondo endereços de 32 bits e que a Cache 2 armazene 1024 blocos, calcule o número total de bits necessários para implementá-la, incluindo dados, rótulo (TAG) e bit de validade.

Resultado: número de bits =

Cálculos:

A Tabela 1 é usada como referência para resolver as Questões 3 e 4. Ela mostra de forma simbólica, para cada endereço de memória na faixa de 0x0 a 0x5C (coluna 1), o conteúdo da memória principal (coluna 3). A coluna 2 é um campo para auxiliar você na correspondência entre endereços hexadecimais e binários.

Tabela 1 – Conteúdo (parcial) da memória principal

Endereço (0x)	End. [7:0] (0b)	Conteúdo
0000 0000		A
0000 0004		B
0000 0008		C
0000 000C		D
0000 0010		K
0000 0014		L
0000 0018		M
0000 001C		N
0000 0020		E
0000 0024		F
0000 0028		G
0000 002C		H
0000 0040		W
0000 0044		X
0000 0048		Y
0000 004C		Z
0000 0050		P
0000 0054		Q
0000 0058		R
0000 005C		S

Tabela 2 – Status da cache após cada acesso (Questão 3)

Bloco	00				01				10				11			
Palavra	00	01	10	11	00	01	10	11	00	01	10	11	00	01	10	11
Acesso 1																
Acesso 2																
Acesso 3																
Acesso 4																
Acesso 5																

Tabela 3 – Status da cache após cada acesso (Questão 4)

ac	Bloco 0				ct	Bloco 1				ct	Bloco 2				ct	Bloco 3				ct	F/S
	00	01	10	11		00	01	10	11		00	01	10	11		00	01	10	11		
1																					
2																					
3																					
4																					
5																					
6																					
7																					

3. [5 x 0,2 = 1,0] Seja a seguinte sequência de referências à memória: 0x04, 0x20, 0x10, 0x14, 0x58. Considere uma cache com mapeamento direto, inicialmente vazia, cujo tamanho total é de 16 palavras, sendo que cada bloco contém 4 palavras. Preencha a Tabela 2 de acordo com a seguinte orientação: cada linha da Tabela 2 representa o estado de cada um dos blocos da cache após os acessos 1, 2, ... , 5 induzidos pela sequência de endereços dada; indique o conteúdo de cada bloco válido, explicitando todas as suas palavras.

4. [4 x 0,5 = 2,0] Seja a seguinte sequência de referências à memória: 0x08, 0x18, 0x24, 0x1C, 0x54, 0x48, 0x40. Suponha uma cache totalmente associativa, inicialmente vazia, com 4 palavras por bloco e um total de 16 palavras. Assuma que a substituição de elementos siga o critério LRU. Mostre o conteúdo da cache imediatamente após cada um dos acessos induzidos pela sequência de endereços dada. Para isso, preencha a Tabela 3 de acordo com a seguinte orientação: Cada linha da Tabela 3 representa o estado de cada um dos blocos da cache num dado instante de tempo designado pelo número do acesso à memória, “ac”. Indique o conteúdo de cada bloco válido, explicitando todas as suas palavras. Suponha que, havendo blocos livres na cache, os blocos trazidos da memória sejam armazenados no bloco livre de menor número (o preenchimento dos blocos na Tabela 3 deve ser da esquerda para a direita). O contador “ct” é um campo para auxiliar você a monitorar o critério LRU. Atualize o contador no campo “ct” com o número do acesso em que o bloco foi referenciado pela última vez. Anote se ocorreu sucesso (hit) ou fracasso (mis) na coluna “F/S”.

Parte III [valor: 2,0 pontos]

5. [0,5] Afirmção: "Em um sistema com apenas um nível de cache, durante a execução de uma instrução *load*, nunca pode ocorrer um acesso de *escrita* na memória principal." A afirmação é verdadeira ou falsa? **Justifique mostrando a impossibilidade de ocorrência de eventos mutuamente exclusivos ou mostrando as condições exatas de causa e efeito entre os eventos.**

6. [4 x 0,125 = 0,5] Mostre como o código abaixo poderia ser otimizado para que todas suas instruções possam ser emitidas em 4 ciclos de relógio sucessivos, sem gerar pausas devidas a hazards, em uma máquina VLIW que emite até duas instruções por ciclo. No pacote de emissão dessa máquina, a primeira instrução é do tipo ALU ou de desvio e a segunda é uma instrução *load* ou *store*. Suponha um pipeline de cinco estágios, onde: a) o resultado do teste (embutido no desvio) fica disponível ao final do segundo estágio; b) há um caminho de “forwarding” da saída da memória para a entrada da ALU.

```
Loop:   lw      $t0, 0($s1)
        addu   $t0, $t0, $s2
        sw     $t0, 0($s1)
        addi   $s1, $s1, -4
        bne    $s1, $zero, Loop
```

	ALU ou desvio	load ou store	ciclo
Loop:			1
			2
			3
			4

7. [8 x 0,125 = 1,0] Nas mesmas condições da Questão 6, desenrole o laço quatro vezes e escalone o código de forma que as instruções associadas a quatro iterações sucessivas do laço possam ser emitidas em 8 ciclos de relógio sem a ocorrência de hazards.

	ALU ou desvio	load ou store	Ciclo
Loop:			1
			2
			3
			4
			5
			6
			7
			8