

Universidade Federal de Santa Catarina, INE/CTC
INE 5366 – Arquitetura de Computadores I
Segunda avaliação 2006.1

Aluno(a):

Matrícula:

Parte I [valor 3,0 pontos]

1. Responda sucintamente as perguntas abaixo: **[0,5 ponto cada item]**

- a) **Afirmção:** “Um pipeline de cinco estágios (IF, ID, EX, ME, WB) adota a hipótese “desvio não tomado” para previsão de desvios. Dada uma instrução de desvio incondicional (j L), sua instrução-alvo (aquela residente no endereço L) termina dois ciclos depois de terminada a execução da instrução de desvio incondicional”. Esta afirmação é verdadeira ou falsa ? **Justifique.**
- b) **Afirmção:** "Durante a execução de uma instrução no “datapath” do Anexo IV, o PC é atualizado uma única vez". Esta afirmação é verdadeira ou falsa ? **Justifique.**
- c) Seja a implementação de um pipeline de cinco estágios (IF, ID, EX, ME, WB) com emissão estática de 3 instruções por ciclo. A primeira instrução do pacote de emissão deve ser uma instrução lógico-aritmética ou um desvio, a segunda deve ser um *load* e a terceira, um *store*. **Afirmção:** “Neste cenário, o banco de registradores precisa ter 5 portas de leitura e 2 portas de escrita.” Esta afirmação é verdadeira ou falsa ? **Justifique.**
- d) Lembre que o *caminho crítico* é aquele em que os sinais sofrem maior atraso e que, portanto, ele determina o período de relógio. Suponha os seguintes atrasos no “datapath” do Anexo III:
- Memórias de instruções (**MEMI**) e de dados (**MEMD**) = 200 ps;
 - Banco de registradores (**REG**) = 100 ps; Unidade Lógica e Aritmética (**ALU**) = 200 ps;
 - Somador p/ incremento do PC (**INCR**) = 100 ps;
 - Somador p/ cálculo de endereço-alvo (**ADDR**) = 1000 ps.

Afirmção: “Nas condições acima o período de relógio é de 1100 ps”. Esta afirmação é verdadeira ou falsa ? **Justifique indicando o caminho crítico.** *Nota: Por simplicidade, use as siglas das unidades funcionais que definem o caminho crítico. Por exemplo: UF1 ® UF2 ® ... ® UFn.*

Nota: nos itens 1e e 1f, você deverá preencher diagramas de ocupação de um pipeline de 5 estágios. Indique com o respectivo acrônimo (IF, ID, EX, ME, WB) o estágio ocupado por uma instrução em um dado ciclo. Indique com um "X" o(s) ciclo(s) em que uma instrução deveria ocupar um estágio, mas não pode ocupá-lo num determinado ciclo por causa de um hazard.

- e) Complete o diagrama (abaixo) de ocupação dos 5 estágios de um pipeline, supondo a ocorrência de "hazard" estrutural em acessos simultâneos ao banco de registradores.

sub \$s0, \$s1, \$s2								
add \$s3, \$s4, \$s5								
sub \$s6, \$s7, \$s8								
add \$s9, \$t0, \$t1								

- | | | | | | | | |
|---------------------|--|--|--|--|--|--|--|
| add \$s1,\$s1, -4 | | | | | | | |
| bne \$s1, \$zero, L | | | | | | | |

[illegible]

5. [0,5] Deseja-se introduzir no MIPS uma nova instrução lw r1, r2+r3 que carrega no registrador destino r1 o valor armazenado em memória no endereço r2+r3 (onde r1, r2 e r3 representam quaisquer dos 32 registradores), sem fazer modificação alguma no datapath do Anexo III. Indique os valores dos seguintes sinais de controle. **Justifique o valor escolhido para cada um dos sinais.**

ALUSrc	RegDst

Parte III [valor 2,0 pontos]

6. [2 x 0,25 = 0,5] Seja o “datapath” do Anexo 5, no qual foram feitas três modificações:
- Modificação 1: a modificação descrita na questão 1f.
 - Modificação 2: a inserção de um caminho de “forwarding” permitindo que um valor produzido na saída da ALU ao final do ciclo C seja consumido pela porta de escrita da memória de dados no início do ciclo C+2.
 - Modificação 3: a inserção de um caminho de “forwarding” permitindo que um valor produzido na porta de leitura da memória de dados ao final do ciclo C seja consumido por uma das portas da ALU no início do ciclo C+1.

O código abaixo será executado no “datapath” modificado. Faça o escalonamento do código de forma que todos os hazards de dados sejam eliminados.

Código original	Código escalonado
Loop: lw \$t0, 0(\$s1)	Loop:
addu \$t0, \$t0, \$s2	
sw \$t0, 0(\$s1)	
addi \$s1, \$s1, -4	
bne \$s1, \$zero, Loop	

[ordem correta: 0,25; compensação de offset: 0,25]

7. [6 x 0,25=1,5] O código original da questão 5 será submetido por um compilador a uma otimização denominada “loop unrolling”, aplicada da seguinte forma: o corpo do laço é desenrolado 2 vezes, registradores são renomeados somente quando necessário para eliminar dependências de nome, os deslocamentos (“offsets”) das instruções lw e sw podem ser compensados para permitir o deslocamento de instruções que afetem o valor do endereço armazenado no registrador-base. Supondo que o laço otimizado será executado no “datapath” modificado na questão 5, mostre o código otimizado resultante de forma a eliminar todos os hazards de dados.

Loop: lw \$t0, 0(\$s1)
addi
bne \$s1, \$zero, Loop

[0,25 por linha correta]