

Universidade Federal de Santa Catarina, INE/UFSC
INE 5366 - Arquitetura de Computadores I
Quarta Avaliação 2006.2

Aluno(a):

Matrícula:

Parte I [valor: 3,0 pontos]

1. Responda sucintamente as perguntas abaixo: **[0,5 ponto cada item]**

Suponha que as instruções dos itens 1a e 1b estão armazenadas na palavra de endereço 0 da memória, em dois cenários distintos. Para cada cenário, qual o **máximo endereço** de memória, representado em 32 bits, que pode ser **atingido** pela execução da instrução carregada no endereço 0?

Instrução no endereço 0	Endereço-alvo																																
	3	3	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
a) beq \$s1, \$s2, label																																	
b) j label																																	

c) A pseudo-instrução `ble $t5, $t3, L` significa "se $\$t5 \leq \$t3$, salte para o endereço indicado pelo rótulo L". O código abaixo ilustra como implementá-la no MIPS. Complete os elementos faltantes no código.

```
slt    $at,      ,
b      $at, $zero, L
```

d) Seja P a potência dinâmica dissipada por circuitos CMOS. Sabe-se que nos últimos 20 anos houve uma queda nas tensões de alimentação de 5 para 1,5 volts. Supondo mesma carga capacitiva e mesma frequência de chaveamento, de quantas vezes a potência dinâmica é reduzida com essa redução de tensão?

e) Afirmção: "Em um sistema com apenas um nível de cache implementada com mapeamento direto, durante a execução de uma instrução *store*, pode ocorrer um acesso de *leitura* na memória principal." A afirmação é verdadeira ou falsa. **Justifique mostrando a impossibilidade de ocorrência de eventos mutuamente exclusivos ou listando as condições necessárias e suficientes para desencadear o evento.**

f) O registrador de instrução (IR) e o registrador de dados da memória (MDR) são usados para armazenar a saída da memória para leitura de instrução ou de dado, respectivamente. Afirmção: "São usados dois registradores separados porque ambos os valores são necessários durante um mesmo ciclo". Esta afirmação é verdadeira ou falsa ? **Justifique.**

Parte II [valor: 5,5 pontos]

2. [0,2 x 4 = 0,8] Seja o “mix” de instruções abaixo para uma máquina “load/store” não pipelinizada. A frequência de relógio da CPU é 405 MHz. A máquina usa caches distintas para dados e instruções, ambas com a mesma taxa de acertos: 95,05%. A penalidade de fracassos é de 27 ciclos. Calcule:

Classe de instrução	Porcentagem de ocorrência	Número de ciclos
A: Operações aritméticas	40%	4
B: Loads	25%	5
C: Stores	15%	4
D: Desvios (branches + jumps)	20%	3

- a) O número médio de ciclos por instrução sem “stalls” (ideal)

CPI_{ideal} =

- b) O número médio de instruções por segundo

Instruções/segundo =

- c) O número médio de acessos de escrita por segundo

Escritas/segundo =

- d) O número total médio de ciclos por instrução considerando o impacto das faltas nas caches

CPI_{total} =

ATENÇÃO: Confira seus cálculos, pois os itens desta questão são dependentes. Se o resultado final estiver incorreto, o item será anulado independentemente dos resultados intermediários.

3. [1,5: 0,1 por sinal correto] Consulte os Anexos I, II e IV e indique os valores dos sinais de controle que comandam cada uma das fases de execução de uma instrução **lw** na CPU do Anexo IV. Lembrete: Naquela CPU, qualquer que seja a instrução, o cálculo especulativo do endereço-alvo é sempre realizado. *O valor de um sinal de controle pode ser "1", "0" ou "X" (don't care). A um sinal de controle deve ser atribuído "X", se seu valor pode ser ou "1" ou "0", sendo portanto irrelevante. (Penalidade: mais de 7 erros anulam a questão; sinais em branco não são computados para efeito de penalidade).*

- a) Busca e incremento do PC

ALUSrcA	IoD	IRWrite	PCWrite	PCSource

- b) Decodificação da instrução e busca de operandos

ALUSrcA	ALUSrcB

- c) Cômputo do endereço

ALUSrcB	PCWrite	PCWriteCond

- d) Acesso à memória

MemRead	IRWrite

- e) Escrita no registrador destino

MemtoReg	RegDst	ALUSrcA

4. $[0,7+1,5 = 2,2]$ Suponha uma cache do tipo 2-way, com um total 16 blocos, cada um contendo 4 palavras (cada palavra contendo 4 bytes), conforme ilustra a tabela do item 4b. Parte do conteúdo da memória principal (MP) é mostrado, de forma simbólica, na última tabela desta questão. Suponha que um bloco da MP seja posicionado na cache da seguinte forma: se os conteúdos dos blocos de um conjunto forem inválidos, o bloco 0 é preenchido primeiro; se o conteúdo do bloco 0 for válido e o do bloco 1 for inválido, o bloco 1 é preenchido; se o conteúdo de ambos os blocos forem válidos, usa-se o critério LRU para decidir qual bloco será preenchido. Suponha uma cache inicialmente vazia (os conteúdos de todos os blocos são inválidos). Suponha que à cache se tenha aplicado a seguinte sequência de endereços: 0x0004, 0x010C, 0x0008, 0x0200, 0x0208, 0x0104, 0x0050.

a) Indique para cada endereço se ocorreu falta (M: *miss*) ou acerto (H: *hit*).

Endereço	0x0004	0x010C	0x0008	0x0200	0x0208	0x0104	0x0050
M ou H							

b) Mostre o estado final da cache, depois de aplicada a sequência de endereços.

Conjunto ↓	Bloco →	0				1			
	Palavra →	00	01	10	11	00	01	10	11
000									
001									
010									
011									
100									
101									
110									
111									

Endereço (0x)	End.[11:0]	Conteúdo
0000 0000		A
0000 0004		E
0000 0008		I
0000 000C		M
0000 0050		C
0000 0054		G
0000 0058		K
0000 005C		O
0000 0100		B
0000 0104		F
0000 0108		J
0000 010C		N
0000 0200		D
0000 0204		H
0000 0208		L
0000 020C		P

5. $[0,5 \times 2 = 1,0]$ Seja um subsistema de memória onde o endereço é de 32 bits, sendo que 2 bits são reservados para distinguir os bytes de uma palavra. Tal subsistema contém uma única cache "4-way" com 4096 blocos de uma palavra. Dado o circuito lógico de um comparador (abaixo), calcule:



