

Universidade Federal de Santa Catarina, INE/UFSC  
INE 5366 - Arquitetura de Computadores I  
**Terceira Avaliação 2006.1**

Aluno(a):

Matrícula:

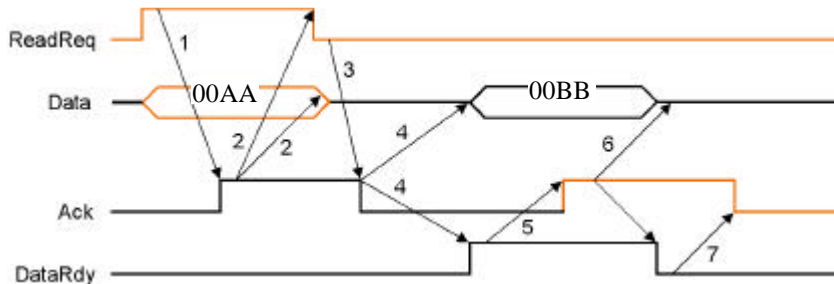
**Parte I [valor: 3,0 pontos]**

1. [0,5 cada item] Responda sucintamente as perguntas abaixo:

a) A técnica de "polling" (consulta) pressupõe a existência de pelo menos dois registradores para fins de gerenciamento de entrada e saída, um registrador de dados (data\_reg) e um registrador de status (status\_reg). Afirmção: "A técnica de 'polling' consiste em monitorar o data\_reg periodicamente e atualizar condicionalmente o conteúdo do status\_reg". A afirmação é verdadeira ou falsa ? **Justifique.**

b) Um sistema de memória usa endereços de 32 bits. Ele possui uma cache com 4096 blocos. A cache é do tipo 4-way. Cada bloco contém 8 palavras. Cada palavra contém 4 bytes. Quantos bits tem a etiqueta (TAG) a ser armazenada? **Justifique mostrando os cálculos mais relevantes.**

c) O diagrama abaixo ilustra o protocolo assíncrono para a leitura de uma palavra da memória e seu envio a um dispositivo de E/S, onde o conteúdo do barramento é mostrado em hexadecimal. Afirmção: "A representação binária do dado lido é 0000 0000 1010 1010 ? A afirmação é verdadeira ou falsa ? **Justifique.**



d) Assuma o conteúdo abaixo para dois dos registradores do coprocessador 0 do MIPS:

Cause = 0000 0000 0000 0000 0001 0000 0000 0000

Status = 0000 0000 0000 0000 1101 0000 0000 0000

Afirmção: "O conteúdo acima indica que há três interrupções pendentes das quais somente uma pode ser atendida e que a CPU pode atendê-la imediatamente." A afirmação é verdadeira ou falsa ? **Justifique.**

e) O pseudo-código a seguir define um método de busca de um elemento da lista ligada L cujo valor é k, onde head[L] denota o primeiro elemento da lista, next[x] representa o sucessor de x na lista e key[x] representa o valor armazenado na posição x da lista. Afirmção: "A execução do respectivo código em uma CPU real resulta em uma alta localidade temporal na área de instruções e uma baixa localidade espacial na área de dados". **Justifique.**

```
LIST-SEARCH (L, K)
x ← head[L]
while x ≠ NIL and key[x] ≠ k
    do x ← next[x]
return x
```

- f) Um controlador de interrupções tem 4 entradas de requisição de interrupções:  $IRQ_0$ ,  $IRQ_1$ ,  $IRQ_2$  e  $IRQ_3$ . Um sinal de entrada genérico  $IRQ_i$  está ativo se estiver em nível lógico “1”. O controlador tem como saída um vetor de interrupção de oito bits  $A[7:0]$ , onde os dois bits menos significativos  $A[1:0]$  representam em binário o número  $i$  da requisição de maior prioridade, dentre todas as requisições de interrupção ativas. Dadas duas requisições ativas  $IRQ_i$  e  $IRQ_j$ , o codificador de prioridade atribui maior prioridade à requisição  $IRQ_i$  se  $i < j$ . Complete a tabela verdade do codificador de prioridade.  
Lembrete: Um valor na tabela pode ser “1” (ativado), “0” (desativado) ou “X” (irrelevante).

| IRQ0 | IRQ1 | IRQ2 | IRQ3 | A1 | A0 |
|------|------|------|------|----|----|
|      |      |      |      | 0  | 0  |
|      |      |      |      | 0  | 1  |
|      |      |      |      | 1  | 0  |
|      |      |      |      | 1  | 1  |

## Parte II [valor: 4,1 pontos]

2. [16 x 0,1 = 1,6] Seja a sequência de referências à memória dadas pelos endereços: 0x04, 0x10, 0x20, 0x14, 0x50, 0x44, 0x4C. Suponha uma cache com mapeamento direto, inicialmente vazia, cujo tamanho total é de 16 palavras, sendo que cada bloco contém 4 palavras. Mostre o conteúdo final da cache, depois de aplicada tal sequência de endereços. A cache é representada na tabela da direita, onde cada linha representa um bloco. Parte do conteúdo da memória principal é mostrado, de forma simbólica, na tabela da esquerda.

| Endereço (0x) | End. [7:0] (0b) | Conteúdo   |
|---------------|-----------------|------------|
| 0000 0000     |                 | $\alpha$   |
| 0000 0004     |                 | $\beta$    |
| 0000 0008     |                 | $\chi$     |
| 0000 000C     |                 | $\delta$   |
| 0000 0010     |                 | $\epsilon$ |
| 0000 0014     |                 | $\phi$     |
| 0000 0018     |                 | $\gamma$   |
| 0000 001C     |                 | $\eta$     |
| 0000 0020     |                 | K          |
| 0000 0024     |                 | L          |
| 0000 0028     |                 | M          |
| 0000 002C     |                 | N          |
| 0000 0040     |                 | W          |
| 0000 0044     |                 | X          |
| 0000 0048     |                 | Y          |
| 0000 004C     |                 | Z          |
| 0000 0050     |                 | P          |
| 0000 0054     |                 | Q          |
| 0000 0058     |                 | R          |
| 0000 005C     |                 | S          |

|    |  |  |  |  |
|----|--|--|--|--|
| 00 |  |  |  |  |
| 01 |  |  |  |  |
| 10 |  |  |  |  |
| 11 |  |  |  |  |

3. [0,5] Dois subsistemas de memória S1 e S2 têm a mesma configuração, exceto pela política de atualização da memória principal. S1 usa *write through* combinada com buffer de escrita (BE). S2 usa *write back*. O tempo de escrita no BE, ( $T_{BE}$ ) é inferior ao tempo de escrita na cache ( $T_{CA}$ ). Seja  $T_{MP}$  o tempo de escrita na memória principal. O BE acomoda até 10 requisições de escrita. Em um programa P, 5 instruções store são executadas no intervalo  $T_{MP}$ , no pior caso. Afirmção: “Ao executar-se o programa P, S2 tem desempenho inferior a S1”. A afirmação é verdadeira ou falsa? **Justifique usando como argumentos os tempos, o tamanho do BE, a taxa de escritas do programa P e as diferenças nas políticas de atualização.**

4. [1,0 ponto: 0,125 por item] Suponha uma cache (inicialmente vazia) com um total de oito blocos, cada um contendo uma palavra, do tipo 2-way, usando o critério LRU. Mostre o estado final da cache, depois de aplicada a seguinte seqüência de endereços: 0x04, 0x20, 0x1C, 0x14, 0x10, 0x0C, 0x04, 0x24, 0x28, 0x18, 0x08. A cache é representada na tabela da direita, onde cada linha representa um conjunto. Parte do conteúdo da memória principal é mostrado, de forma simbólica, na tabela da esquerda.

| Endereço (0x) | End. [7:0] (0b) | Conteúdo |
|---------------|-----------------|----------|
| 0000 0004     |                 | K        |
| 0000 0008     |                 | T        |
| 0000 000C     |                 | P        |
| 0000 0010     |                 | O        |
| 0000 0014     |                 | N        |
| 0000 0018     |                 | S        |
| 0000 001C     |                 | M        |
| 0000 0020     |                 | L        |
| 0000 0024     |                 | Q        |
| 0000 0028     |                 | R        |

|    |  |  |
|----|--|--|
| 00 |  |  |
| 01 |  |  |
| 10 |  |  |
| 11 |  |  |

5. [1,0: 0,4+0,4+0,2] Um subsistema de memória consiste de uma cache e uma memória principal. Há I instruções no programa, das quais 15% são do tipo "load" e 5% do tipo "store". Suponha que a CPU tem um pipeline ideal, que completa uma instrução a cada ciclo (sem "hazards"). Assumindo que a taxa de acertos é de 90% e que a penalidade de uma falta é de 10 ciclos, tanto para leitura de instruções, como para leitura ou escrita de dados, calcule:

a) O número médio de **ciclos de parada por instrução** gerados pelas faltas no acesso a instruções.

**Resultado:**  $CPI_{stall}(\text{instruções}) =$

**Cálculos:**

b) O número médio de **ciclos de parada por instrução** gerados pelas faltas no acesso a dados.

**Resultado:**  $CPI_{stall}(\text{dados}) =$

**Cálculos:**

c) O número médio de **ciclos por instrução total**, incluindo o efeito das faltas.

**Resultado:**  $CPI_{total} =$

**Cálculos:**

### **Parte III** [valor: 3,9 pontos]

6. [0,4+0,5+0,5= 1,4] Seja um sistema com as seguintes características: 32 bits de endereço; o tamanho da cache é de T bytes; cada bloco contém  $2^b$  bytes; a cache é do tipo n-way. Calcule as funções abaixo e **mostre os principais passos intermediários para chegar ao seu equacionamento, a título de justificativa.**

a) O número de bits de endereço utilizados para *indexar* a cache como função de T, b e n.

**índice =**

b) O número de bits necessários para TAG como função de T e n.

**tag =**

c) O número de bits necessários para implementar um bloco como função de T, b e n.

**#bits/bloco =**

7. [0,3+ 0,3 +0,4 = 1,0] Seja um subsistema de memória composto por uma única cache e uma memória principal (MP), conectadas através de um barramento (bus). Suponha que se gaste um único ciclo para enviar o endereço à MP. A MP tem uma latência de 10 ciclos para cada novo acesso e gasta um ciclo para efetuar cada transferência. Um bloco de informação da cache contém 16 palavras. Calcule a penalidade de uma falta (em ciclos) para os seguintes cenários. **Indique as parcelas do cálculo, a título de justificativa.**

a) Cenário 1: MP, bus e cache têm todos a largura de uma palavra

**Penalidade =**

b) Cenário 2: MP, bus e cache têm todos largura de 4 palavras

**Penalidade =**

c) Cenário 3: Cache e bus têm largura de uma palavra. MP tem 4 bancos de memória entrelaçada, cada banco com largura de uma palavra

**Penalidade =**

8. [0,5] Afirmção: "Em um sistema com apenas um nível de cache, durante a execução de uma instrução *store*, nunca pode ocorrer um acesso de *leitura* na memória principal." A afirmação é verdadeira ou falsa. **Justifique mostrando a impossibilidade de ocorrência de eventos mutuamente exclusivos ou mostrando as condições exatas de causa e efeito entre os eventos.**

9. [2 x 0,5 = 1,0] As afirmações abaixo são verdadeiras ou falsas ? **Justifique.**

a) Lembre que o escalonamento dinâmico de pipeline (*dynamic pipeline scheduling*) baseia-se nas noções de estação de reserva (ER) ou *reservation station* e buffer de reordenamento (BR) ou *reorder buffer*. Afirmção: "As ERs e o RB não possuem suporte para implementar o renomeamento de registradores, o qual é de responsabilidade única do compilador-otimizador".

b) As máquinas M1 e M2 têm a mesma arquitetura do conjunto de instruções (ISA). Ambas têm suporte para emissão dinâmica múltipla, mas não têm suporte para escalonamento dinâmico. Suas micro-arquiteturas têm diferentes caminhos de atalho (*forwarding*). Afirmção: "O código executável de um dado programa, compilado e otimizado para a máquina M1, executa corretamente e com o mesmo desempenho na máquina M2". **Justifique usando como argumentos a compatibilidade binária, a detecção de hazards na emissão dinâmica e a falta de suporte para escalonamento dinâmico.**