

Universidade Federal de Santa Catarina, INE/CTC
INE 5411 – Organização de Computadores
Quarta avaliação - 2008.2

Nome: _____ Matrícula: _____

Parte I – Compreensão de conceitos básicos [3,0 pontos]

1. [valor: $6 \times 0,5 = 3,0$] Responda sucintamente as perguntas abaixo:

a) Seja uma cache de 16KB com 256 blocos de 16 palavras (de 4 bytes) usada em uma máquina onde os endereços são de 32 bits. A cache usa mapeamento direto. Qual o comprimento de um TAG? **Justifique.**

Resposta: TAG = bits. **Justificativa:**

b) Nas mesmas condições do item anterior, suponha agora que a cache é totalmente associativa. Qual o comprimento de um TAG? **Justifique.**

Resposta: TAG = bits. **Justificativa:**

c) Sejam D7 a D0 dispositivos de E/S capazes de ativar ('1') e desativar ('0') as requisições de interrupção IRQ7 a IRQ0, respectivamente, à entrada de um controlador de interrupções. O controlador possui um codificador que garante a prioridade de Di sobre Di+1 e contém dois registradores mapeados em memória:

- `ireq-reg` (mapeado em 0x1000 8000): cada um de seus bits armazena (do mais significativo para o menos significativo) o estado de cada uma das entradas IRQ7 a IRQ0 (respectivamente).
- `mask-reg` (mapeado em 0x1000 8001): armazena uma máscara de interrupção.

Escreva um programa com no máximo 3 instruções nativas do MIPS que torne IRQ7 a requisição de mais alta prioridade. **Restrição:** todas as constantes devem ser escritas em hexadecimal (0x).

Resposta:

d) Um sistema tem um barramento onde estão conectados uma CPU, um árbitro do barramento (ARBITER), um dispositivo de E/S (DEVICE), uma memória DRAM e um controlador de DMA. Supondo o DMA já programado pela CPU, mostre a ordem em que cada um dos sinais abaixo é ativado para permitir a transferência de um novo bloco. **Resposta:** (, , ,)

- ARBITER: entrada `bus-req` (requisição) e uma saída `bus-grant` (concessão);
- DEVICE: saída `dma-req` (requisição) e uma entrada `dma-ack` (reconhecimento);

e) Um sistema de memória consiste de uma única cache do tipo mapeamento direto que usa a técnica "write back". **Afirmção:** "Quando ocorre uma falta durante a execução de uma instrução sw, é sempre necessário copiar, na memória principal, o conteúdo do bloco em que ocorreu a falta, antes de substituí-lo." A afirmação é verdadeira ou falsa? **Justifique.**

Resposta: **Justificativa:**

f) Mostre a menor sequência de instruções nativas do MIPS que implementa o código-fonte abaixo, sabendo-se que as instruções de desvio condicional têm atraso de um ciclo (branch delay = 1). **Restrição:** use esta alocação de registradores: (a,b,c,x,y) → (\$s1,\$s2, \$s3,\$t0,\$t1)

Código Fonte	Código em linguagem de montagem	
	Labels:	Instruções
a = x + y;		
if (b == 0) b = 5 + c;		
c = a + 6;		

(Critério da questão: não haverá pontuação parcial de item algum. A ausência de justificativa anula o item)

Parte II - Aplicação de conceitos básicos [4,5 pontos]

2. [valor: 1,5] A Tabela 1 mostra de forma simbólica, para alguns endereços de memória na faixa de 0x0 a 0x31C, o conteúdo da memória principal. As colunas em branco são campos auxiliares para facilitar a correspondência entre endereços hexadecimais e binários (seu preenchimento não será pontuado).

Tabela 1 – Conteúdo (parcial) da memória principal

Endereço (0x)	End. [7:0] (0b)	Conteúdo	Endereço (0x)	End. [7:0] (0b)	Conteúdo
0000 0000		A	0000 0100		α
0000 0004		B	0000 0104		β
0000 0008		C	0000 0108		χ
0000 000C		D	0000 010C		δ
0000 0010		K	0000 0110		π
0000 0014		L	0000 0114		θ
0000 0018		M	0000 0118		ρ
0000 001C		N	0000 011C		ω
0000 0020		W	0000 0300		E
0000 0024		X	0000 0304		F
0000 0028		Y	0000 0308		G
0000 002C		Z	0000 030C		H
0000 0030		P	0000 0310		T
0000 0034		Q	0000 0314		U
0000 0038		R	0000 0318		V
0000 003C		S	0000 031C		J

Tabela 2 – Status da cache após a sequência de acessos

Bloco→	0								1							
Palavra→	000	001	010	011	100	101	110	111	000	001	010	011	100	101	110	111
Conjunto0																
Conjunto1																
Conjunto2																
Conjunto3																
Conjunto4																
Conjunto5																
Conjunto6																
Conjunto7																

Seja a seguinte sequência de referências à memória: **0x04, 0x20, 0x10C, 0x318, 0x1C**. Considere uma cache do tipo 2-way, inicialmente vazia, com 128 palavras, sendo que cada bloco contém 8 palavras. Preencha a Tabela 2 com o conteúdo final da cache imediatamente após aplicada a sequência de referências acima, usando os seguintes critérios e convenções: 1-Havendo 2 blocos livres num conjunto, o bloco trazido da memória deve ser armazenado no bloco livre de menor número (o preenchimento dos blocos na Tabela 2 deve ser da esquerda para a direita); 2-Havendo 1 bloco livre, nele deve ser armazenado o bloco trazido da memória; 3-Não havendo blocos livres, um dos blocos deve ser substituído de acordo com o critério LRU; 4-O conteúdo de cada bloco válido deve ser indicado explicitando todas as suas palavras.

(Critério de pontuação: penalidade de -0,5 ponto por bloco incompleto ou incorreto na cache)

3. [2,0] A terceira coluna da tabela a seguir contém código executável para o MIPS. Escreva o programa correspondente em linguagem de montagem. **Dica:** O código resultante contém um label L, que é utilizado em duas instruções. **Requisito obrigatório:** as duas ocorrências de L devem ser explicitadas.

Valor (pontos)	Endereço (0x)	Código executável (0x)	Programa assembly (MIPS)
[0,5]	0000FF00	12110002	
[0,5]	0000FF04	2128000F	
[0,5]	0000FF08	8D380004	
[0,5]	0000FF0C	012083C2	

(Critério: Nesta questão, um item só será pontuado se a instrução estiver completa e sintaticamente correta)

4. [1,0] Os Diagramas 1 e 2 foram preenchidos de acordo com as seguintes regras e hipóteses:

- Uma instrução inicia sua execução o mais cedo possível, mas inicia em um ciclo se, e somente se, a partir daquele ciclo ela puder continuar sua execução sem pausa até terminar (ou seja, se houver necessidade de pausa, ela ocorre antes da ocupação do estágio IF).
- Os ciclos em que uma instrução não ocupa um estágio (porque o estágio já está ocupado ou porque está em pausa) foram deixados em branco.
- Os ciclos em que a execução de uma instrução é anulada foram marcados com A.
- A operação relacional “≠” do desvio condicional é realizada na ALU.
- A instrução bne tem o comportamento tradicional (não é “delayed branch”).

Os Diagramas 1 e 2 ilustram cenários distintos onde o datapath do Anexo V foi modificado de acordo com diferentes combinações de caminhos de “forwarding”, escolhidos a partir das seguintes alternativas:

- 1: Valor à saída da ALU é disponibilizado como uma das entradas da ALU no ciclo seguinte.
- 2: Valor à saída da ALU é disponibilizado como uma das entradas da ALU dois ciclos depois.
- 3: Valor à porta de leitura da memória é disponibilizado à porta de entrada da mesma, no ciclo seguinte.
- 4: Valor à porta de leitura da memória é disponibilizado à porta de entrada da mesma dois ciclos depois.
- 5: Valor à saída da memória é disponibilizado como uma das entradas da ALU no ciclo seguinte.
- 6: Valor à saída da memória é disponibilizado como uma das entradas da ALU dois ciclos depois.

Diagrama 1

Instrução/Ciclo	1	2	3	4	5	6	7	8	9	10	11
lw \$s1, 0(\$s0)	IF	ID	EX	ME	WB						
bne \$s1, \$zero, L			IF	ID	EX	ME	WB				
add \$s2, \$s4, \$s3				IF	ID	A	A	A			
j exit					IF	A	A	A	A		
L: sub \$s2, \$s4, \$s3						IF	ID	EX	ME	WB	

a) [0,25] Indique somente o(s) caminho(s) de “forwarding” cuja existência se possa concluir do Diagrama 1.

Resposta:

b) [0,25] Afirmção: “No cenário do Diagrama 1, o processador faz previsão estática de desvio assumindo sempre a hipótese de desvio tomado”. A afirmação é verdadeira ou falsa? **Justifique usando informações extraídas do diagrama.**

Resposta: Justificativa:

Diagrama 2

Instrução/Ciclo	1	2	3	4	5	6	7	8	9	10	11	12	13	14
add \$s1, \$t0, \$t1	IF	ID	EX	ME	WB									
lw \$s0, 0(\$s1)		IF	ID	EX	ME	WB								
sw \$s0, 0(\$s2)			IF	ID	EX	ME	WB							

c) [0,5] Indique somente o(s) caminho(s) de “forwarding” cuja existência se possa concluir do Diagrama 2.

Resposta:

(Critério de pontuação: um item só será pontuado se a resposta final estiver completa e correta)

Parte III – Generalização a partir de conceitos básicos [2,5]

5. [1,0] Seja um pipeline de cinco estágios similar ao do Anexo V, mas com as seguintes modificações:

- Os testes relacionais associados aos desvios condicionais são realizados no estágio ID;
- A cada ciclo a instrução residente no endereço PC+4 é buscada, independentemente do código operacional da instrução residente no endereço apontado por PC. Entretanto, se, ao final da decodificação, detectar-se que a instrução residente no endereço PC é um desvio condicional ou incondicional, a instrução buscada no endereço PC+4 é anulada e a instrução-alvo é buscada no ciclo seguinte ao da decodificação.
- Um programa P tem o seguinte mix de instruções executadas: loads (30%), stores (20%), desvios condicionais (20%), desvios incondicionais (5%), outras (25%). Sabe-se que 50% dos desvios condicionais são tomados.

a) [0,25] Qual percentagem do total de instruções executadas corresponde a instruções-alvo?

Resposta: % Justificativa:

b) [0,25] Qual o número médio de ciclos por instrução do programa P, supondo um número muito grande de instruções, caches ideais e ausência de hazards estruturais e de dados?

Resposta: $CPI_{ideal} =$ Cálculo da média ponderada: $CPI_{ideal} =$

(Este item só será pontuado se você explicitar o cálculo da média ponderada que resulta no CPI e a resposta tiver precisão de 2 dígitos decimais após a vírgula)

c) [0,5] Qual o número médio de ciclos por instrução na ausência de hazards estruturais e de dados, mas supondo que o sistema de memória contém apenas duas caches (uma de instruções e outra de dados) e sabendo-se que a taxa de falhas (*miss rate*) no acesso a dados é de 10%, que a taxa de falhas no acesso a instruções é de 5% e que o tempo de acesso à memória principal é de 100 ciclos do relógio da CPU.

Resposta: $CPI_{real} =$ Cálculos:

(Este item só será pontuado se a resposta final estiver correta, com precisão de 2 dígitos decimais após a vírgula e justificada pelos cálculos intermediários)

6. [1,0] O código abaixo será executado no “datapath” do Anexo V, no qual foram feitas três modificações:
- Inseriu-se um comparador no estágio ID para implementar o teste “ \neq ” de um bne de forma que o resultado seja conhecido ao final de seu segundo ciclo de execução. Inseriu-se também um caminho de “forwarding” da saída da ALU para uma das entradas do comparador.
 - Inseriu-se um caminho de “forwarding” permitindo que um valor produzido à saída da ALU ao final do ciclo C seja consumido pela porta de escrita da memória de dados no início do ciclo C+2.
 - Inseriu-se um caminho de “forwarding” para que um valor produzido à porta de leitura da memória de dados ao final do ciclo C possa ser consumido por uma das portas da ALU no início do ciclo C+1.

Código original		
Loop:	lw	\$t0, 0(\$s1)
	addu	\$t0, \$t0, \$s2
	sw	\$t0, 0(\$s1)
	addi	\$s1, \$s1, -4
	bne	\$s1, \$zero, Loop

Loop:	lw	\$t0, 0(\$s1)
	sw	
	bne	\$s1, \$zero, Loop

Desenrole o corpo do laço original 2 vezes de forma a eliminar todos os hazards de dados e complete a tabela acima. Compense os deslocamentos (“offsets”) das instruções lw e sw quando necessário para preservar a semântica do programa. **Restrição 1:** Renomeie registradores só quando obrigatório para eliminar dependências de nome. (O desvio condicional não é “delayed-branch”)

(Este item somente será pontuado se o código resultante for semanticamente equivalente ao original e todos os requisitos do enunciado forem obedecidos; erros de sintaxe serão penalizados com -0,5 ponto cada)

7. [0,5] Suponha que um computador use endereços de **b** bits para identificar bytes de memória. Assuma que a cache armazene **C** bytes de dados, que cada bloco tenha 2^k bytes e que a cache seja do tipo **N**-way.

a) Qual o número de bits usados para cada TAG como função de apenas 3 parâmetros: **b**, **C** e **N**?

Resposta: TAG = bits. **Cálculos que justificam sua resposta:**

(Este item não será pontuado parcialmente. O uso de mais do que 3 parâmetros anula este item. A resposta só será pontuada se justificada através de cálculos algébricos.)