



Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Curso de Graduação em Ciências da Computação



Sistemas Digitais

INE 5406

Aula 2-T

- 1. Projeto de Unidade Lógico-Aritmética (ULA). O subtrator e o somador-subtrator, *overflow*. Estrutura de uma ULA simples. Mais operações lógicas e aritméticas. Funcionamento e características temporais de flip-flops.**

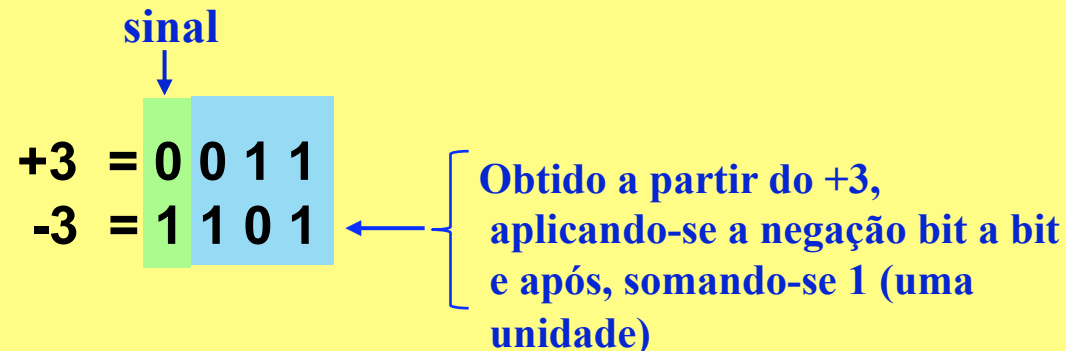
Prof. José Luís Güntzel
guntzel@inf.ufsc.br

www.inf.ufsc.br/~guntzel/ine5406/ine5406.html

1. Projeto de Unidade Lógico-Aritmética

► Representação de Inteiros em Binário

Convenção: Negativos em Complemento de 2

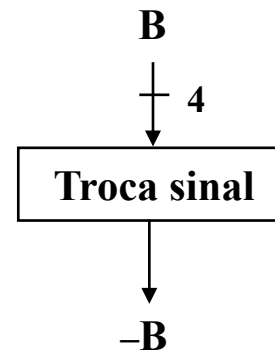


1. Projeto de Unidade Lógico-Aritmética

► Circuitos Aritméticos

Exercício 4: Usando o somador *carry-ripple*, projetar um circuito combinacional que troca o sinal de um número inteiro de 4 bit.

Interfaces:



1. Projeto de Unidade Lógico-Aritmética

► Circuitos Aritméticos

Exercício 4: Solução

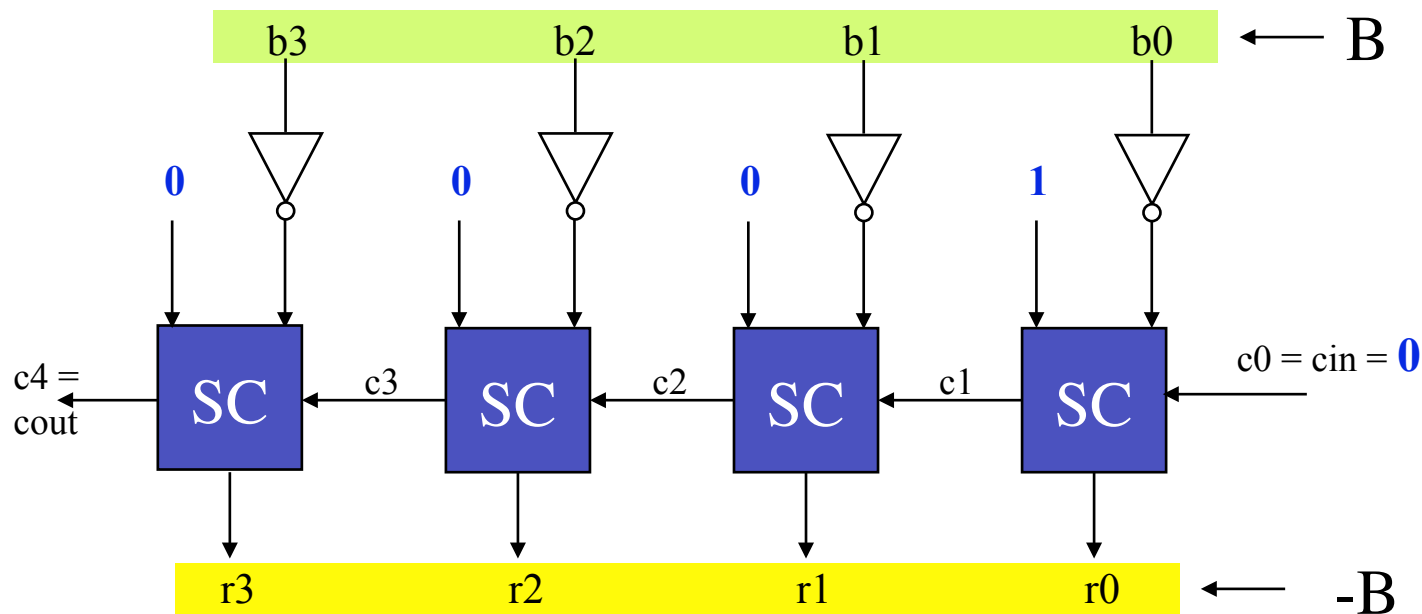
Trocar o sinal significa aplicar as regras do complemento de dois ao número, ou seja:

1. Negar (“NOT”) bit a bit o número
2. Somar uma unidade ao resultado do passo anterior

1. Projeto de Unidade Lógico-Aritmética

► Circuitos Aritméticos

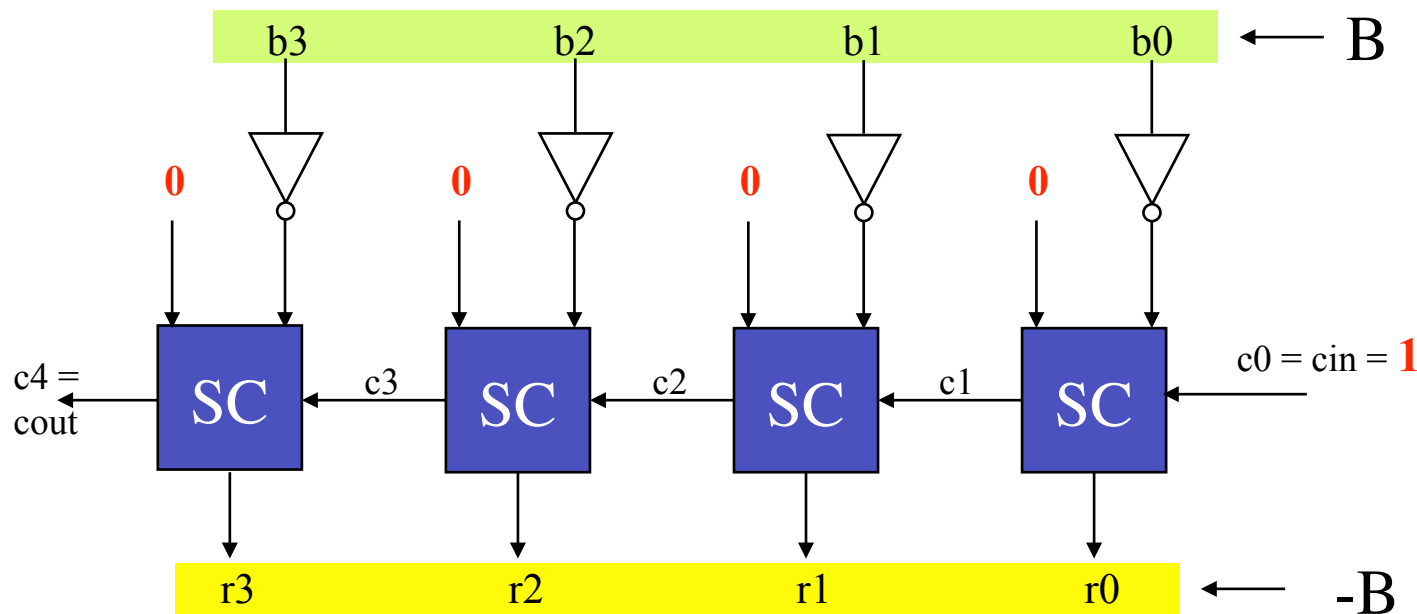
Exercício 4: Solução nº 1



1. Projeto de Unidade Lógico-Aritmética

► Circuitos Aritméticos

Exercício 4: Solução nº 2



1. Projeto de Unidade Lógico-Aritmética

▶ Subtração de Números Inteiros em Binário

Princípio

$$A - B = A + (-B)$$

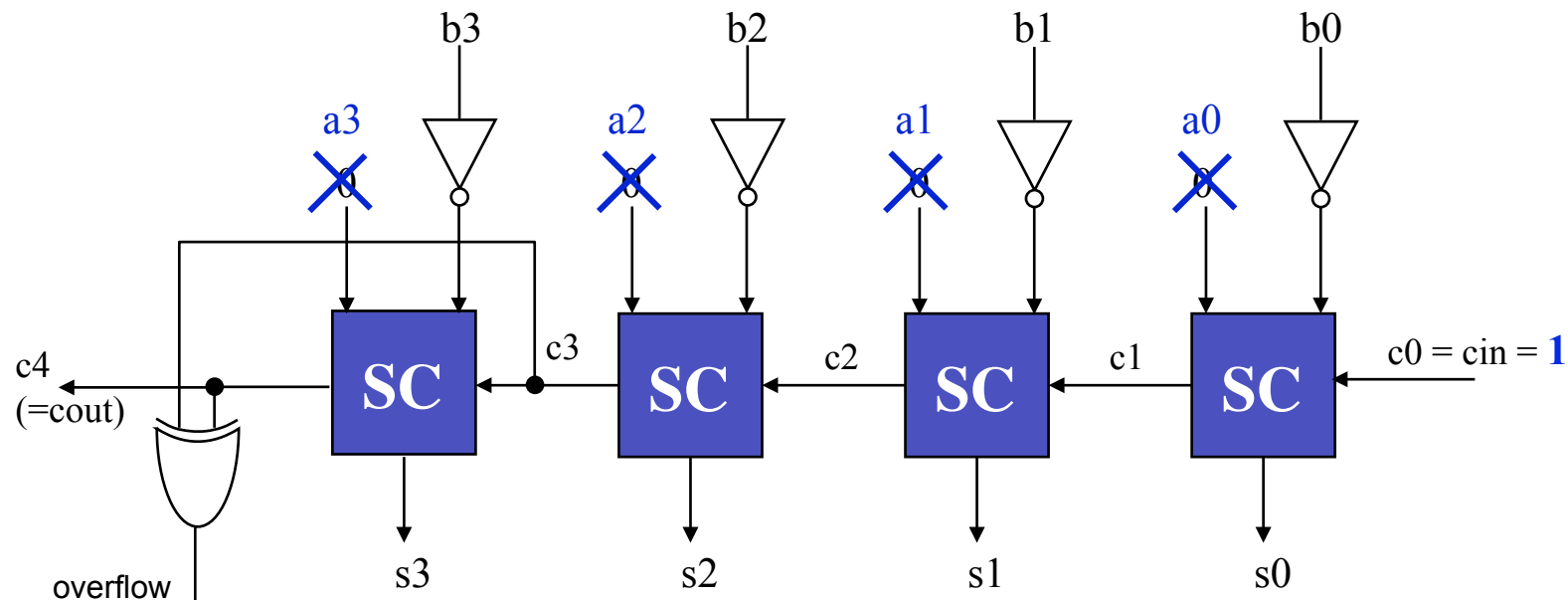
Onde **-B** é o número **B** de sinal trocado!

Ora, que coincidência!! (Ou não?)

1. Projeto de Unidade Lógico-Aritmética

► Subtrator Paralelo (de 4 bits)

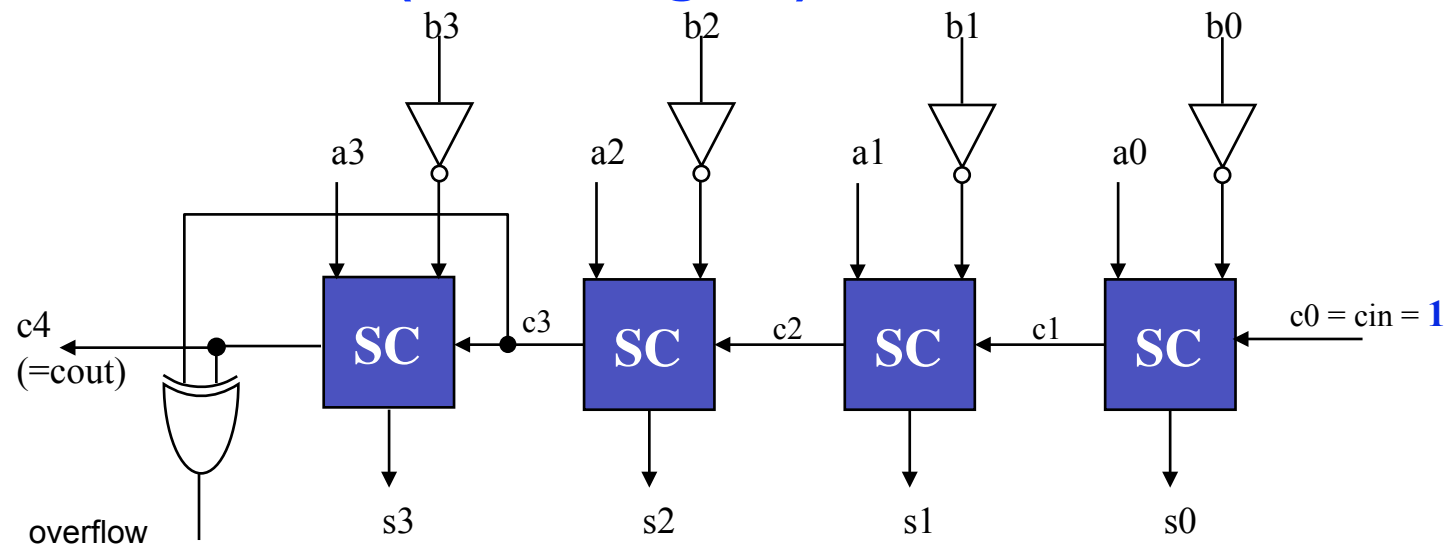
$$A - B = A + (-B)$$



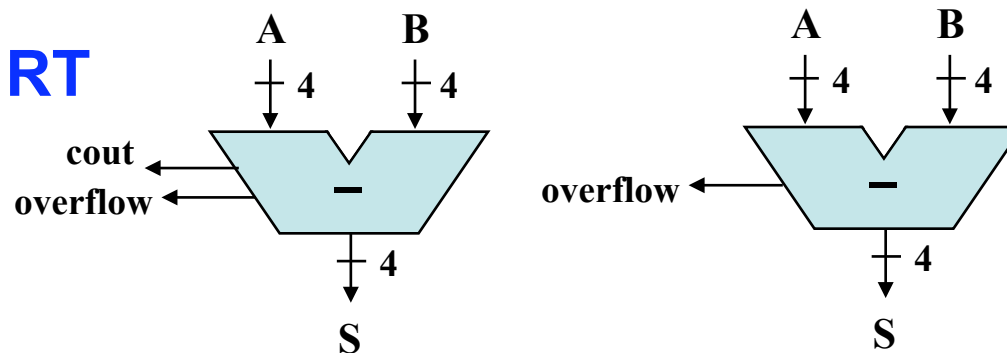
1. Projeto de Unidade Lógico-Aritmética

► Subtrator Paralelo (de 4 bits)

Diagrama de Blocos (Nível Lógico)



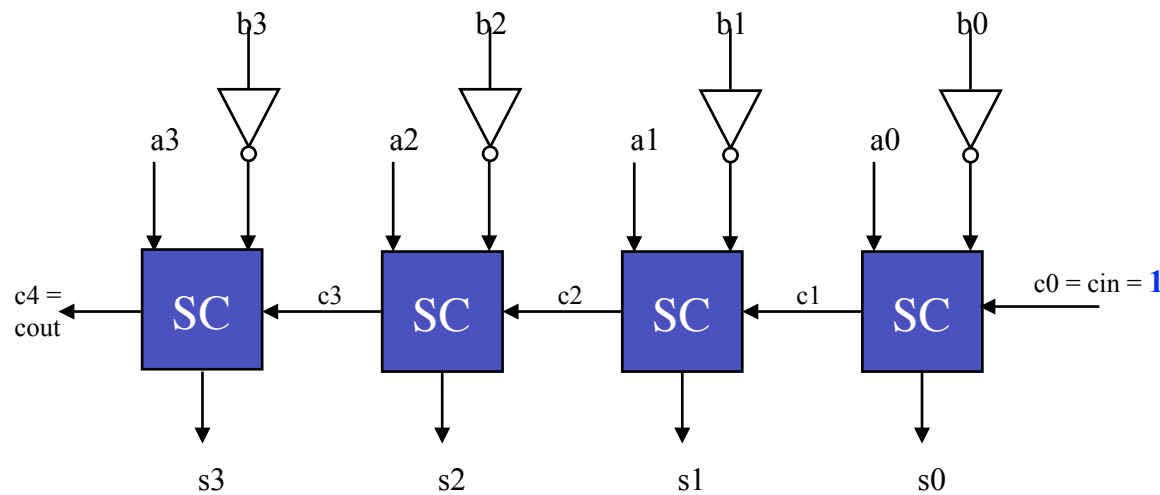
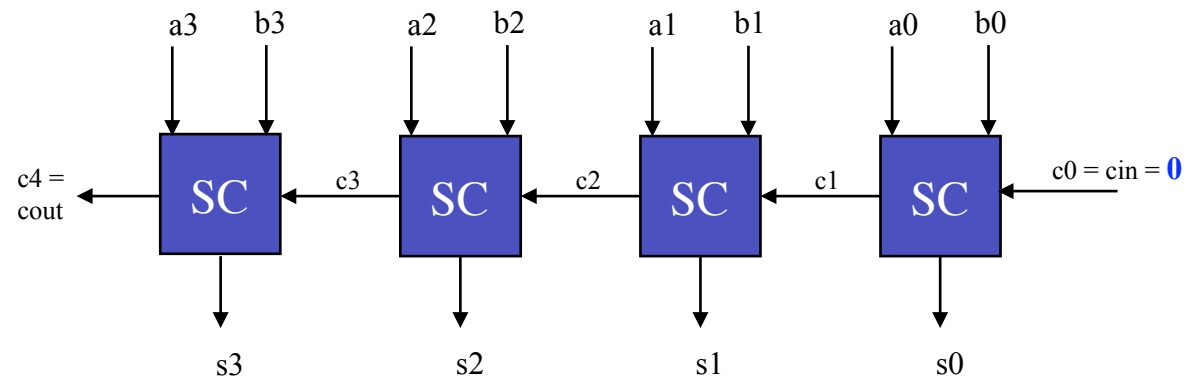
Símbolos no Nível RT



1. Projeto de Unidade Lógico-Aritmética

► Subtrator/Subtrator Paralelo (de 4 bits)

Somador

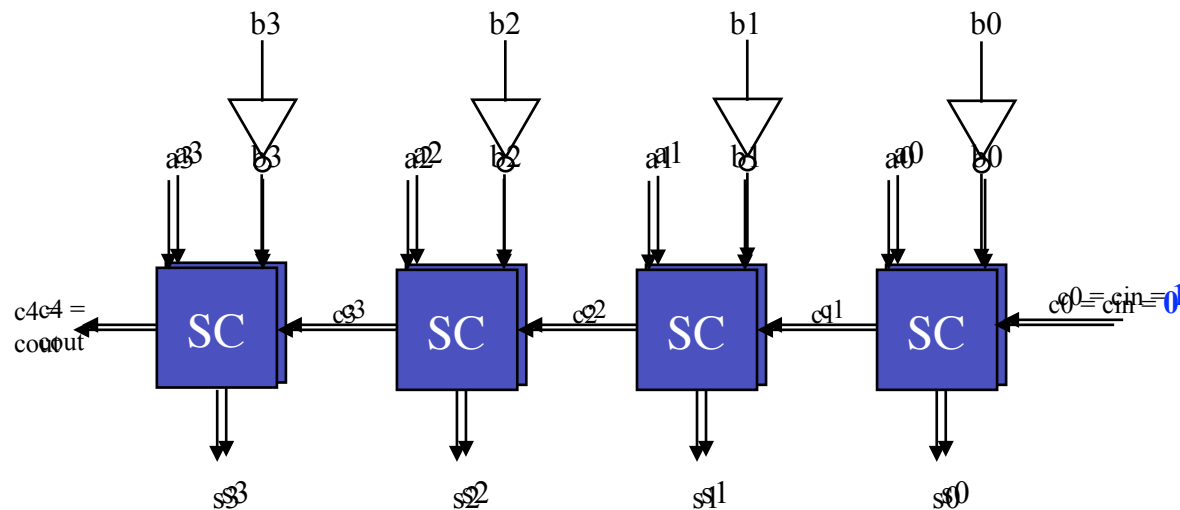


Subtrator

1. Projeto de Unidade Lógico-Aritmética

► Subtrator/Subtrator Paralelo (de 4 bits)

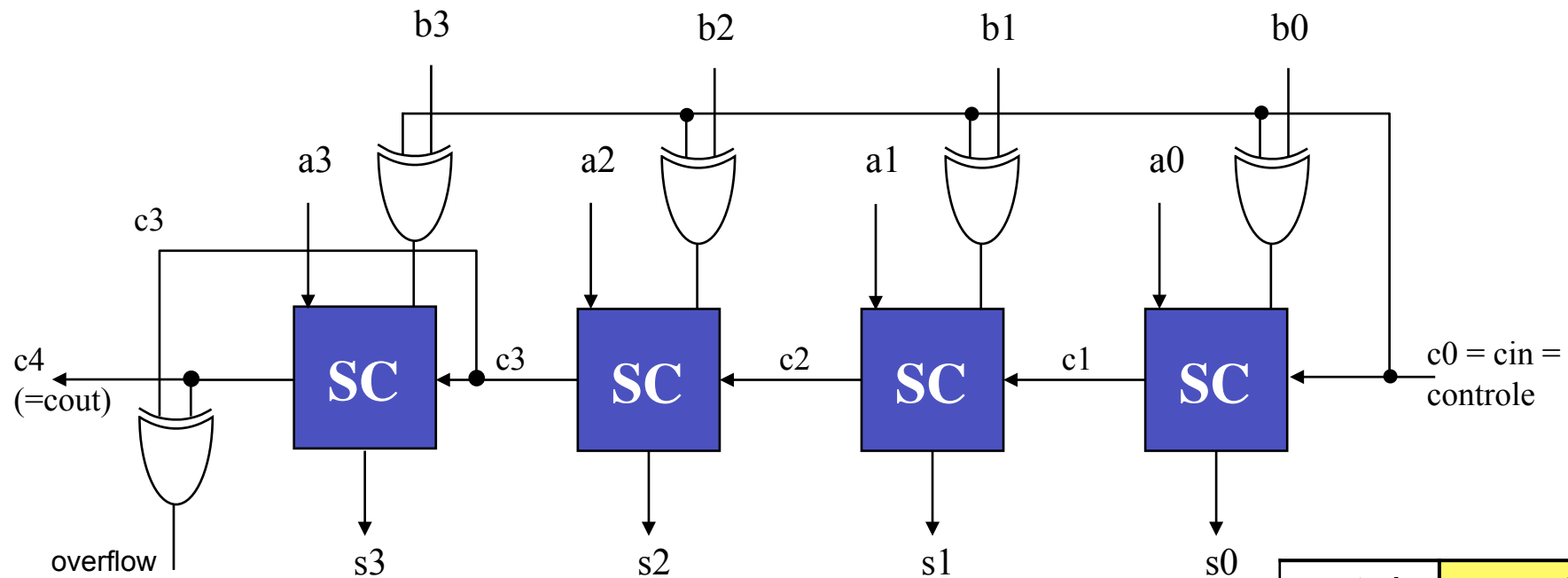
Como uni-los em um único circuito, configurável?



1. Projeto de Unidade Lógico-Aritmética

► Subtrator/Subtrator Paralelo (de 4 bits)

Resposta!!!



controle	operação
0	$S=A+B$
1	$S=A-B$

1. Projeto de Unidade Lógico-Aritmética

► Subtrator/Subtrator Paralelo (de 4 bits)

Símbolo no Nível RT

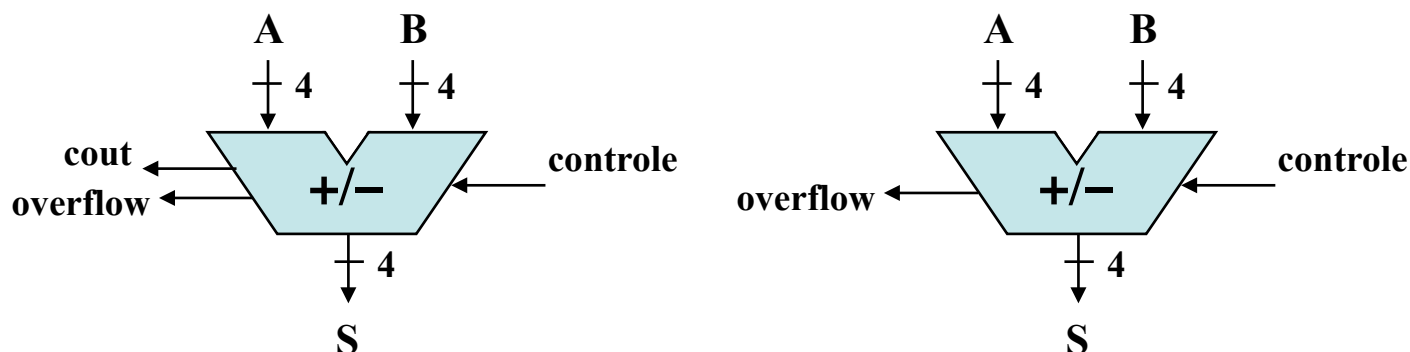


Tabela de Operação

controle	operação
0	$S=A+B$
1	$S=A-B$

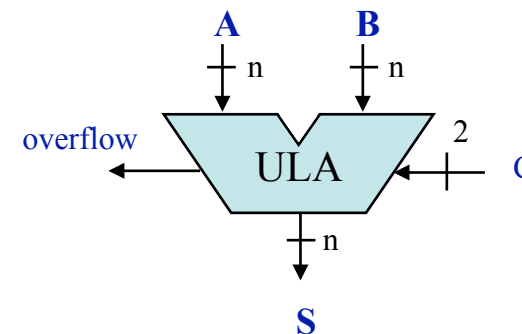
1. Projeto de Unidade Lógico-Aritmética

► ULA Simples

Suponha que se necessite de uma Unidade Lógico-Aritmética (ULA) capaz de realizar as seguintes operações

C1	C0	operação	comentário
0	0	$S = A + B$	adição
0	1	$S = A - B$	subtração
1	0	$S = A \text{ AND } B$	“E” bit a bit
1	1	$S = A \text{ OR } B$	“OU” bit a bit

Símbolo no nível RT

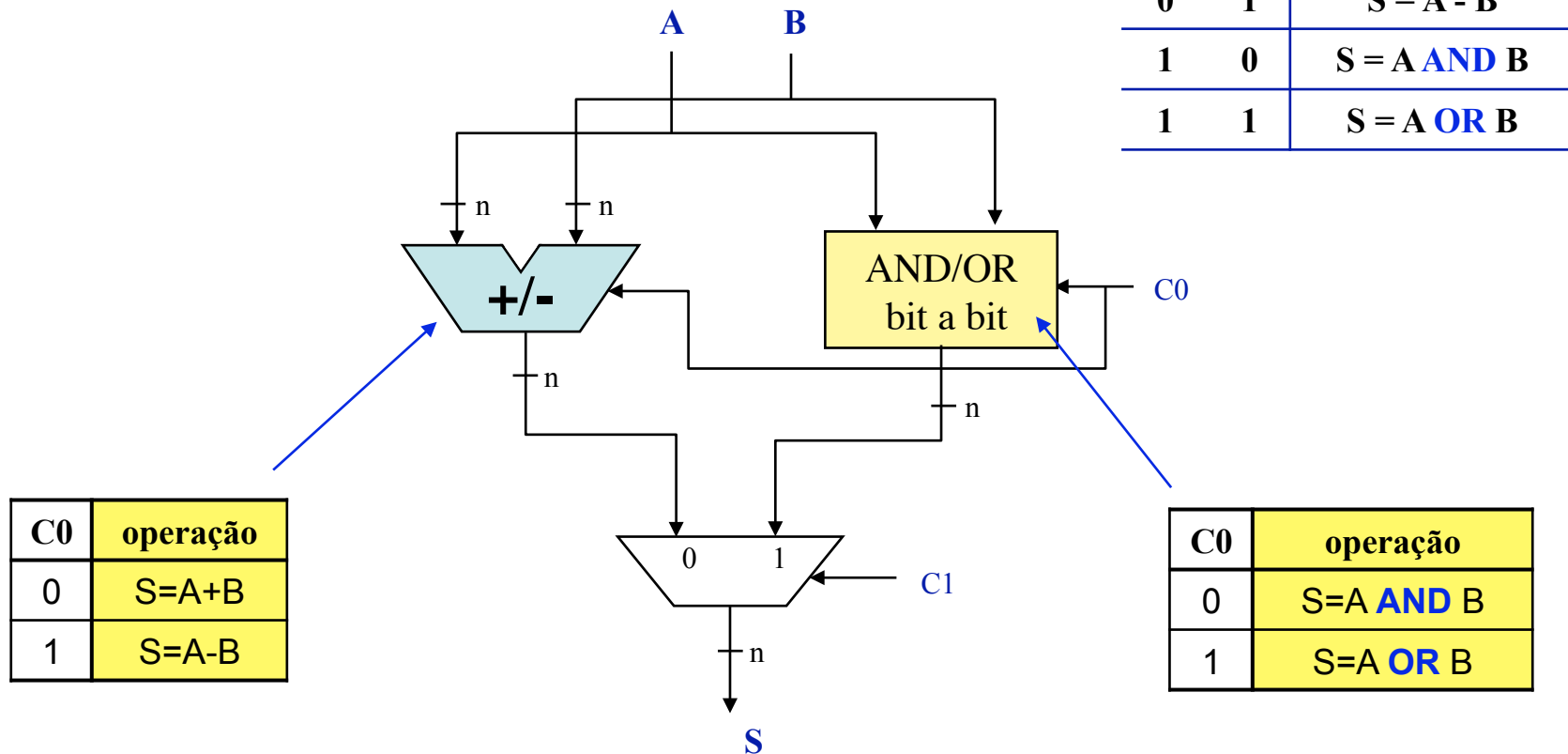


Obs: o sinal de overflow pode ou não ser necessário...

1. Projeto de Unidade Lógico-Aritmética

► ULA Simples

Visão Geral desta ULA

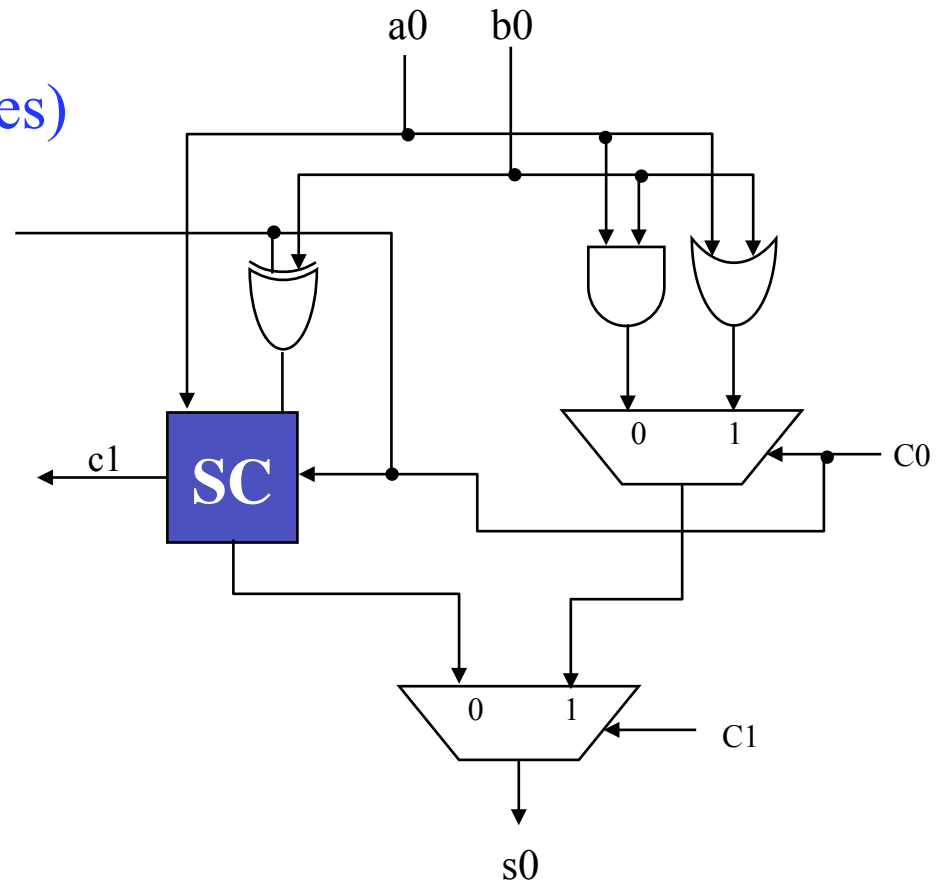


1. Projeto de Unidade Lógico-Aritmética

► ULA Simples

Visão de um bit desta ULA
(os demais bits serão similares)

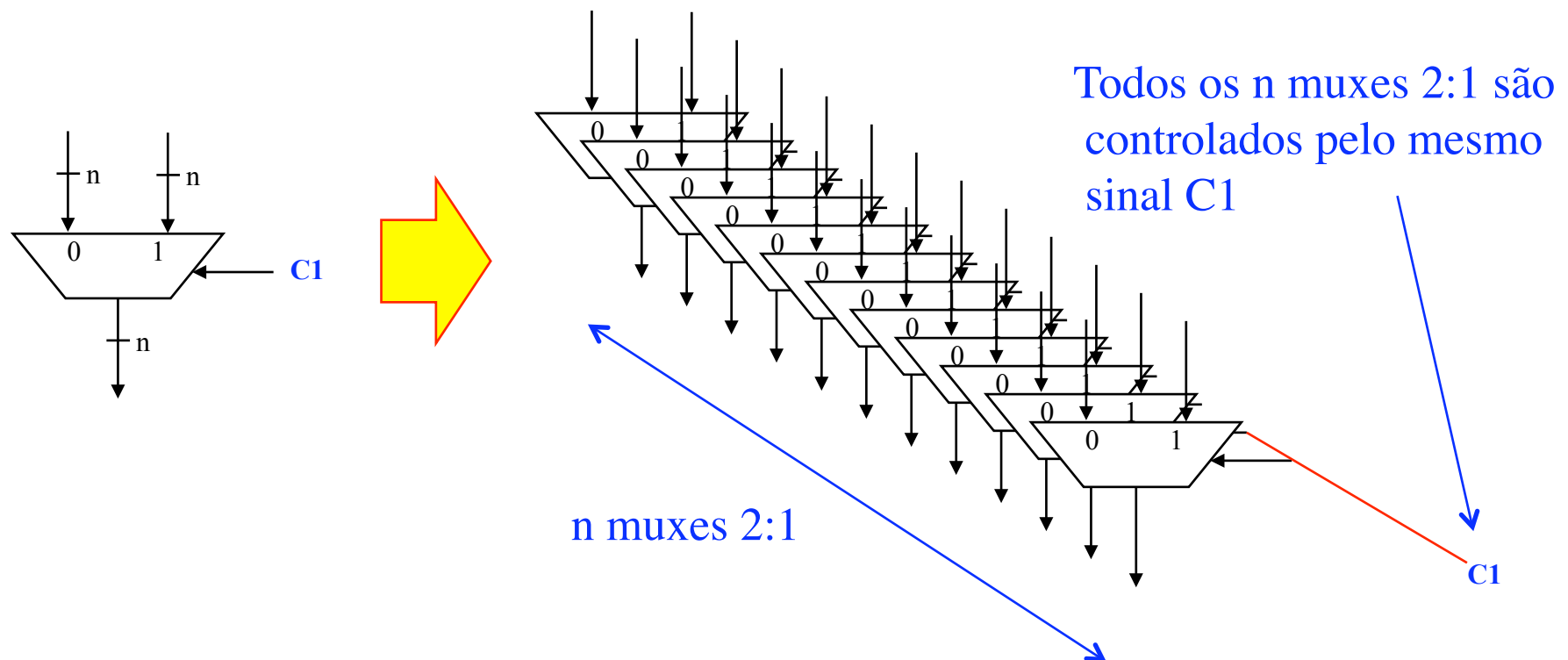
C1	C0	operação
0	0	$S = A + B$
0	1	$S = A - B$
1	0	$S = A \text{ AND } B$
1	1	$S = A \text{ OR } B$



1. Projeto de Unidade Lógico-Aritmética

► ULA Simples

Multiplexador no Nível RT...

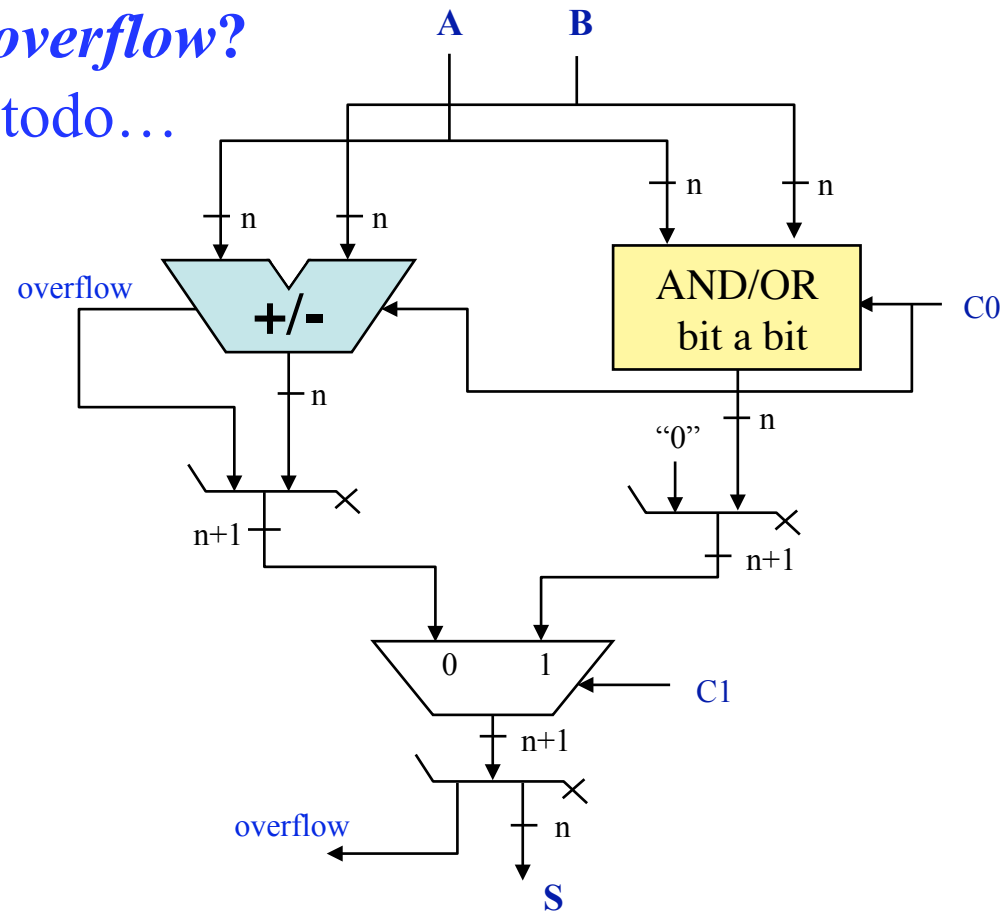


1. Projeto de Unidade Lógico-Aritmética

► ULA Simples

Mas onde foi parar o *overflow*?

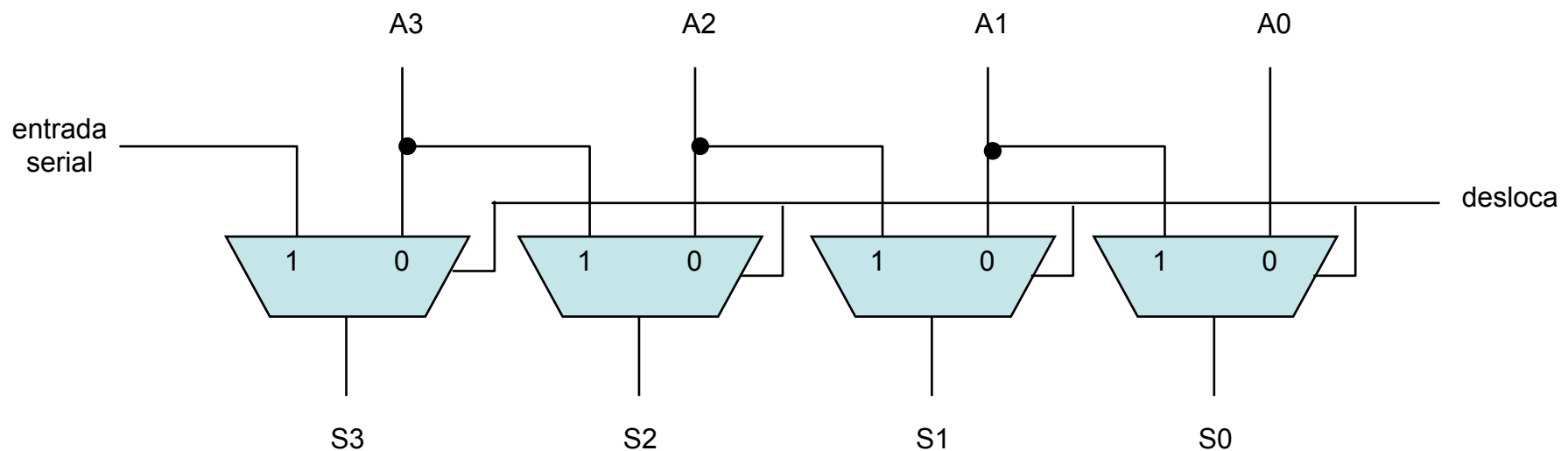
Voltando ao projeto do todo...



1. Projeto de Unidade Lógico-Aritmética

► Deslocador Combinacional

Outro deslocador (*shifter*) com uso de multiplexadores 2:1



- Se $\text{desloca}=1$, este circuito desloca cada bit uma posição para a direita
- Qual é o significado desta operação?

1. Projeto de Unidade Lógico-Aritmética

► Multiplicação com Circuito Combinacional

O Multiplicador Matricial

- É uma implementação direta do esquema ao lado
- Cada bit dos produtos parciais é gerado por meio de um “E” lógico

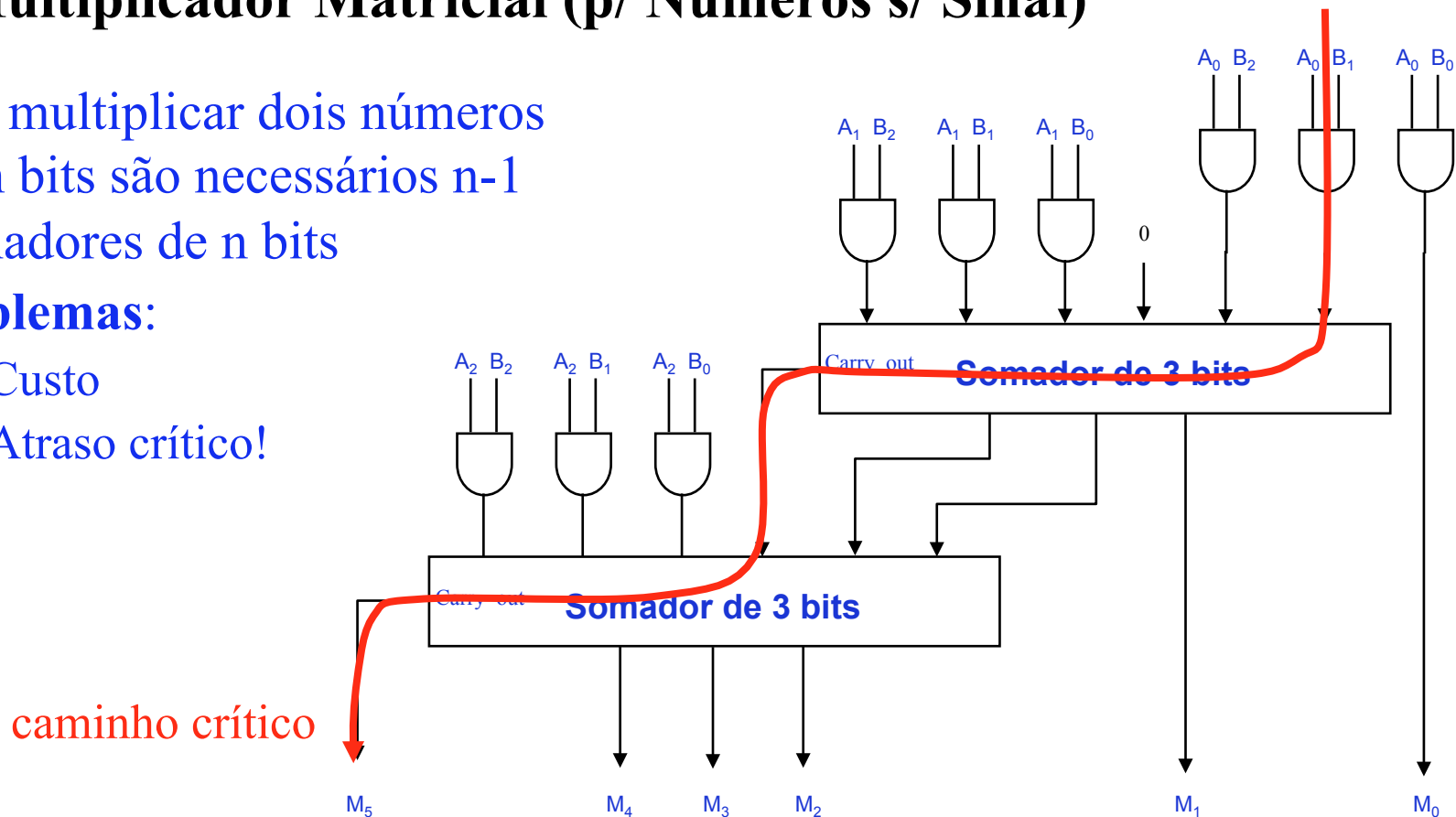
		1 0 0 1	multiplicando
x		1 0 1 1	multiplicador
<hr/>			
		1 0 0 1	} produtos parciais
+		1 0 0 1 -	
		0 0 0 0 - -	
		1 0 0 1 - - -	
<hr/>			
		1 1 0 0 0 1 1	resultado

1. Projeto de Unidade Lógico-Aritmética

► Multiplicação com Circuito Combinacional

O Multiplicador Matricial (p/ Números s/ Sinal)

- Para multiplicar dois números de n bits são necessários $n-1$ somadores de n bits
- **Problemas:**
 - Custo
 - Atraso crítico!

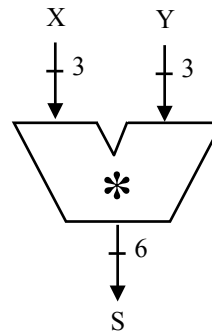


1. Projeto de Unidade Lógico-Aritmética

► Multiplicação com Circuito Combinacional

O Multiplicador Matricial (p/ Números s/ Sinal)

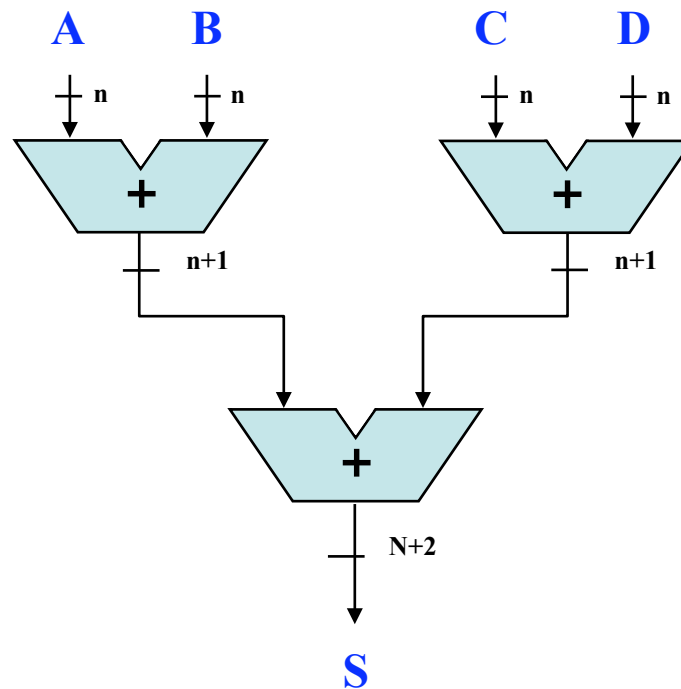
O Símbolo no Nível RT



1. Projeto de Unidade Lógico-Aritmética

► Unidades Funcionais para Mais de Dois Operandos de Entrada

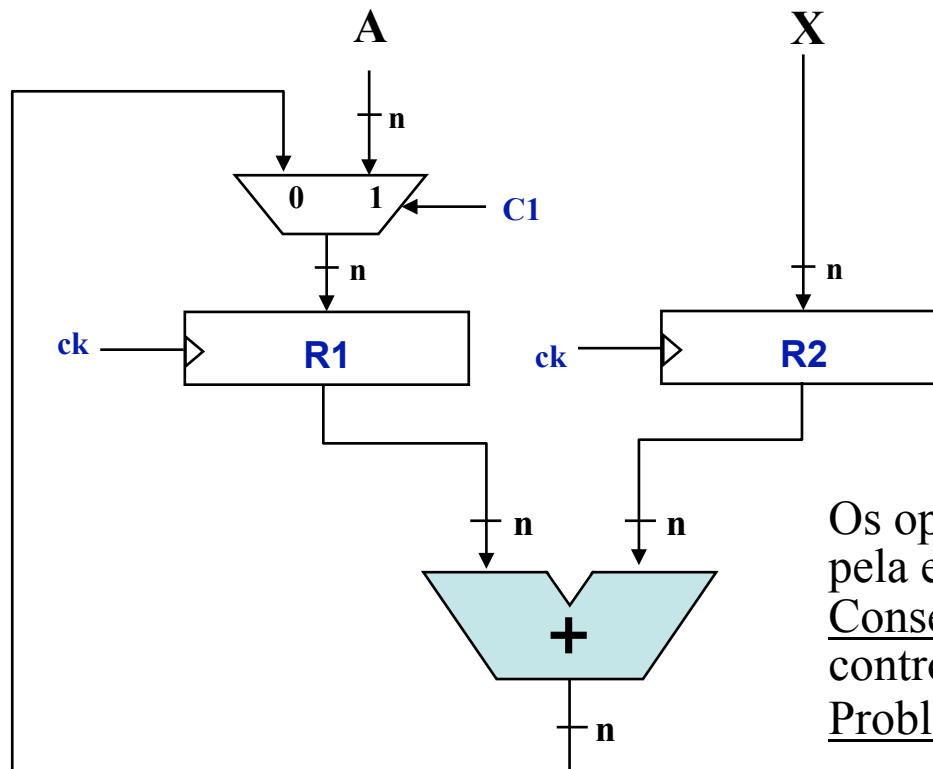
Exemplo: Adição para 4 operandos. Solução Combinacional



1. Projeto de Unidade Lógico-Aritmética

► Unidades Funcionais para Mais de Dois Operandos de Entrada

Exemplo: Adição para 4 operandos. Solução Sequencial



Adição de n parcelas em n passos:

```
R1 ← A; R2 ← X; // em paralelo
Enquanto (condição)
{
    R1 ← R1 + R2;  R2 ← X;
}
```

Os operandos B, C e D devem ser fornecidos pela entrada X, nos tempos corretos.

Consequência: deve haver um circuito de controle (não mostrado no desenho...)

Problema: pode ocorrer *overflow*

1. Projeto de Unidade Lógico-Aritmética

► Tipos de Circuitos Digitais

1. Circuitos Combinacionais:

Não são capazes de reter os sinais (dados) gerados em suas saídas (tampouco os sinais que são aplicados em suas de entradas). “As saídas dependem apenas das entradas.”

Usados para construção de:

- Circuitos aritméticos e lógicos (somadores, subtratores, deslocadores, ULAs, comparadores, multiplexadores, decodificadores ...)**
- Lógica de próximo estado e lógica de saída, nos circuitos de controle**

1. Projeto de Unidade Lógico-Aritmética

► Tipos de Circuitos Digitais

2. Circuitos Sequenciais:

São capazes de armazenar os sinais de entrada (enquanto estiverem alimentados com energia). “As saídas dependem das entradas e do estado que está armazenado.”

Usados para construção de:

- Registradores (latches e flip-flops)

1. Projeto de Unidade Lógico-Aritmética

► Flip-flop D Disparado Pela Borda Ascendente (ou sensível à borda ascendente ou à borda de subida...)

símbolo

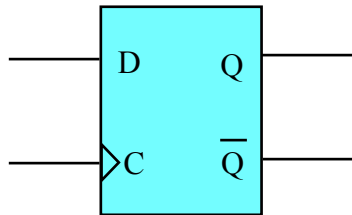
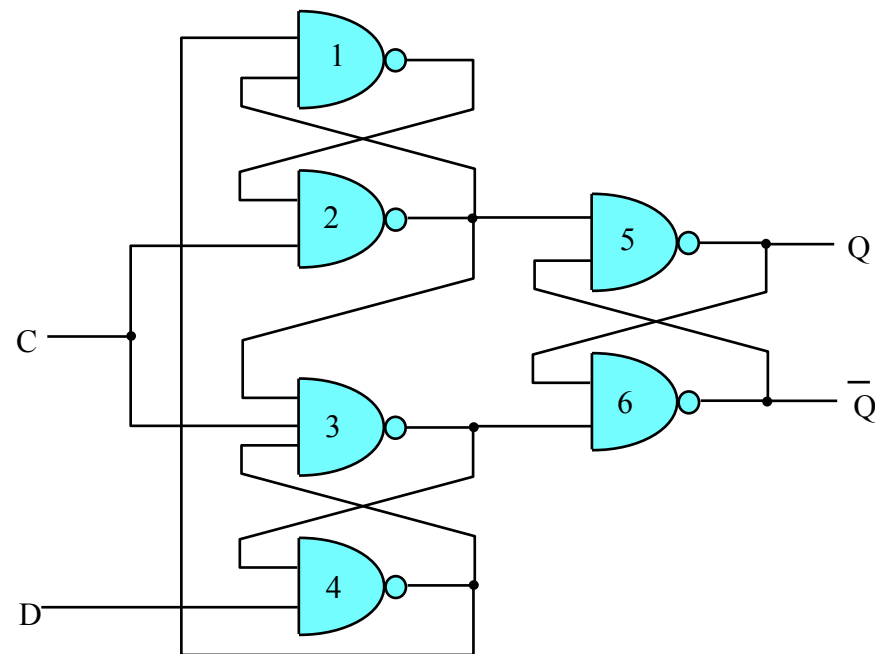


tabela de transição de estados

C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1

circuito com portas nand



1. Projeto de Unidade Lógico-Aritmética

► Flip-flop D Disparado Pela Borda Ascendente Exemplo de funcionamento

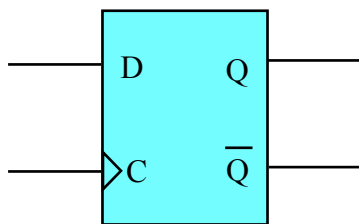
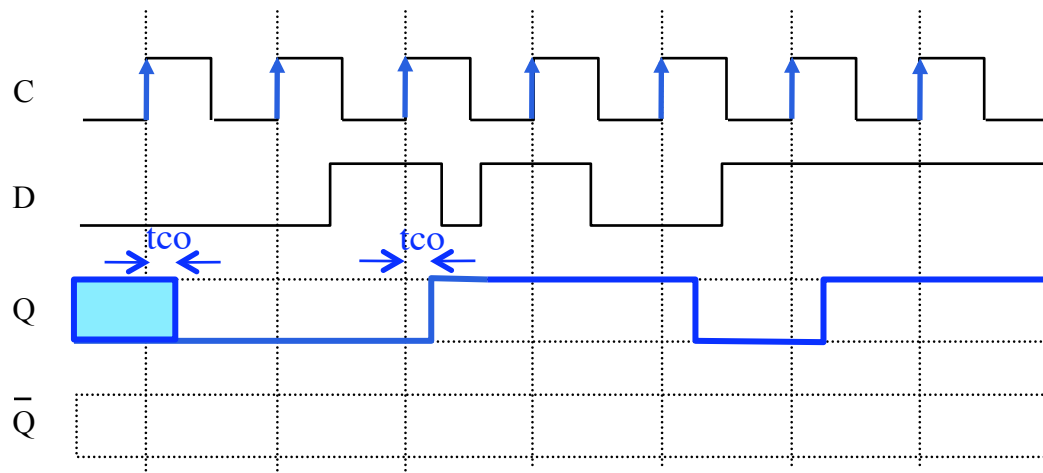


tabela de transição
de estados

C	D	Q_{t+1}
$\neq \uparrow$	X	Q_t
\uparrow	0	0
\uparrow	1	1



Obs: Nesta disciplina assumiremos que o atraso da saída Q' é idêntico ao atraso da saída Q . Assim, a saída Q' será o “espelho” da saída Q .

1. Projeto de Unidade Lógico-Aritmética

► Flip-flop D Disparado Pela Borda Descendente Exemplo de funcionamento

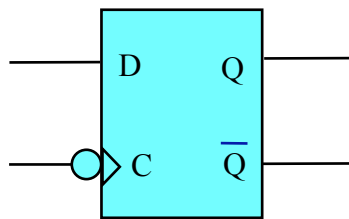
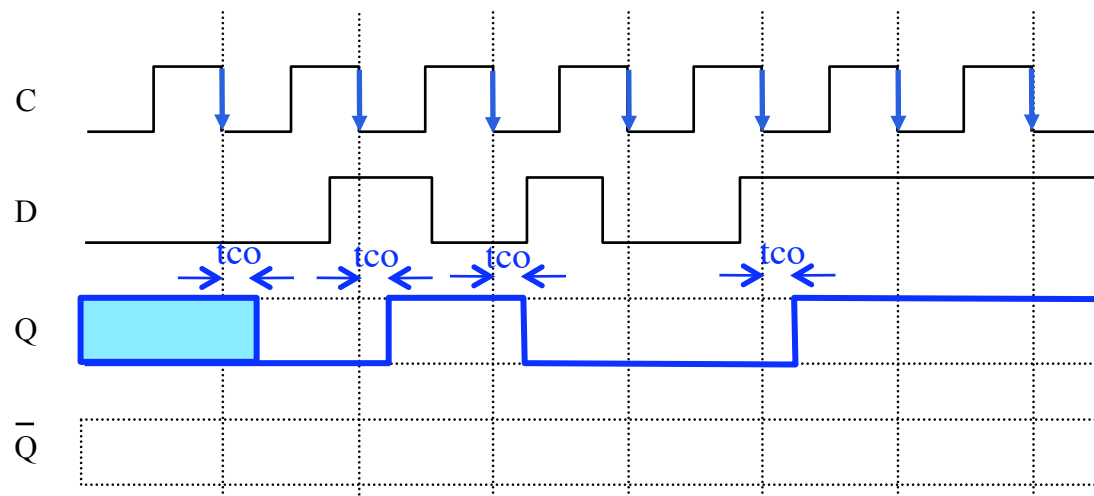


tabela de transição
de estados

C	D	Q_{t+1}
$\neq \downarrow$	X	Q_t
\downarrow	0	0
\downarrow	1	1



1. Projeto de Unidade Lógico-Aritmética

► Flip-flop D Disparado Pela Borda Ascendente, com Reset Assíncrono

Exemplo de funcionamento

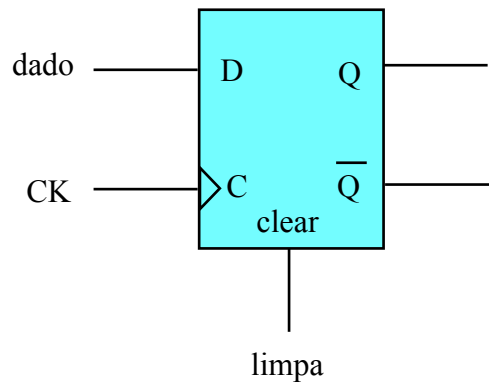
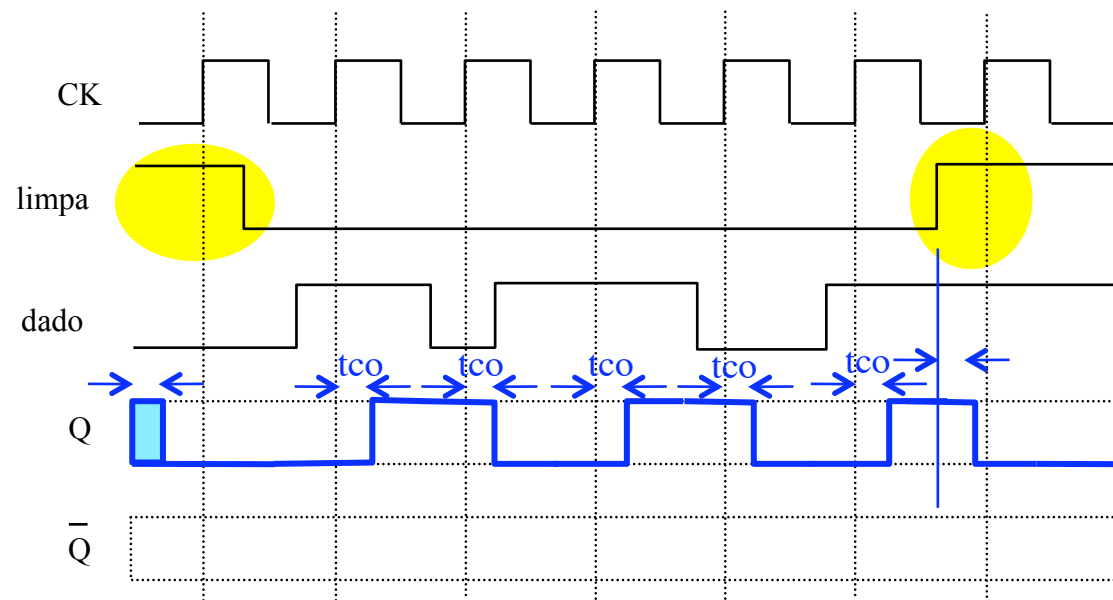


tabela de transição de estados

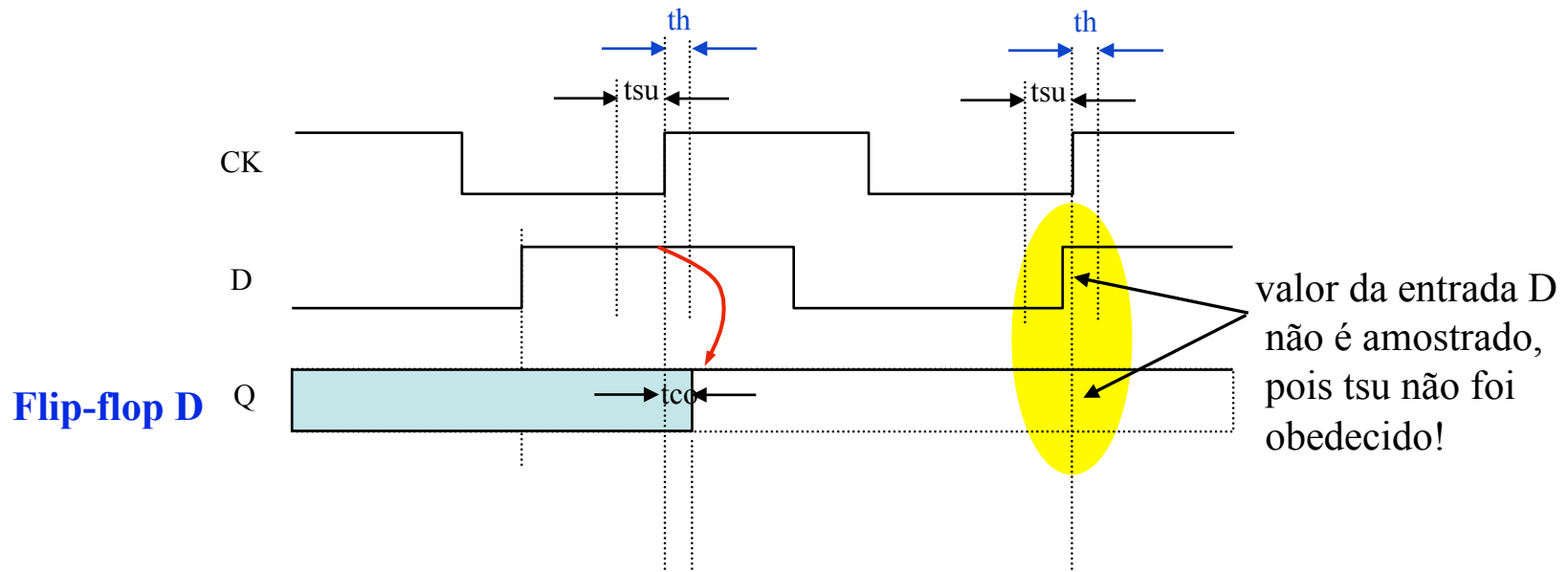
clear	C	D	Q_{t+1}
0	$\neq \uparrow$	X	Q_t
0	\uparrow	0	0
0	\uparrow	1	1
1	X	X	0



1. Projeto de Unidade Lógico-Aritmética

► Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida



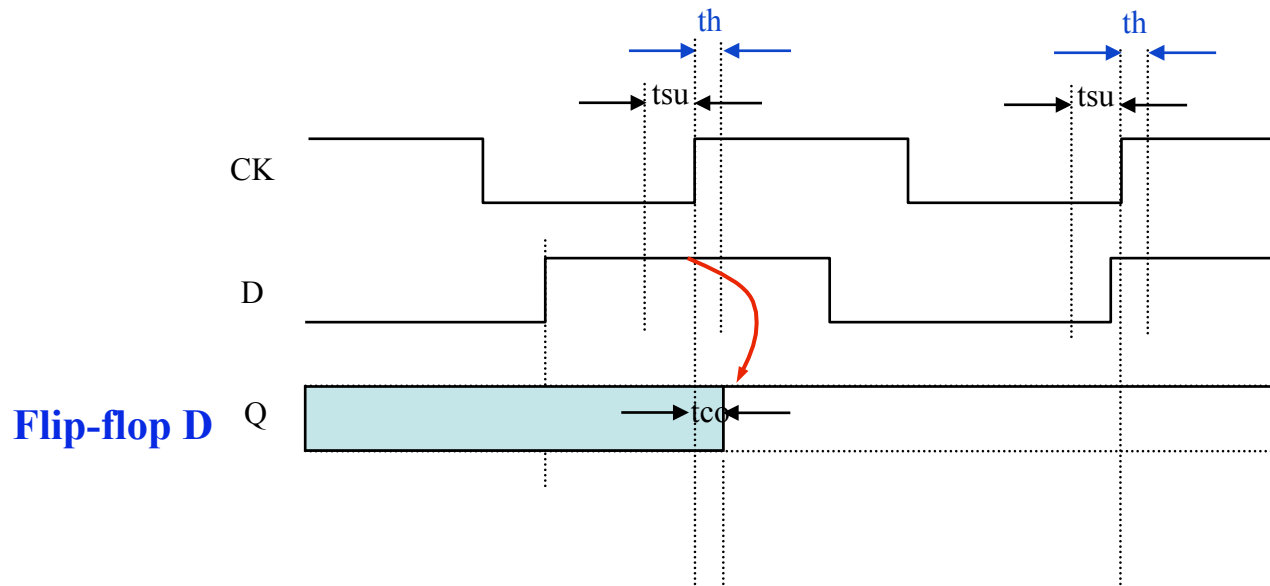
tsu = Tempo de Preparação (*setup time*)

“Tempo antes da borda ativa de ck (subida, neste caso) durante o qual a entrada D já deve estar em seu valor estável.”

1. Projeto de Unidade Lógico-Aritmética

► Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida



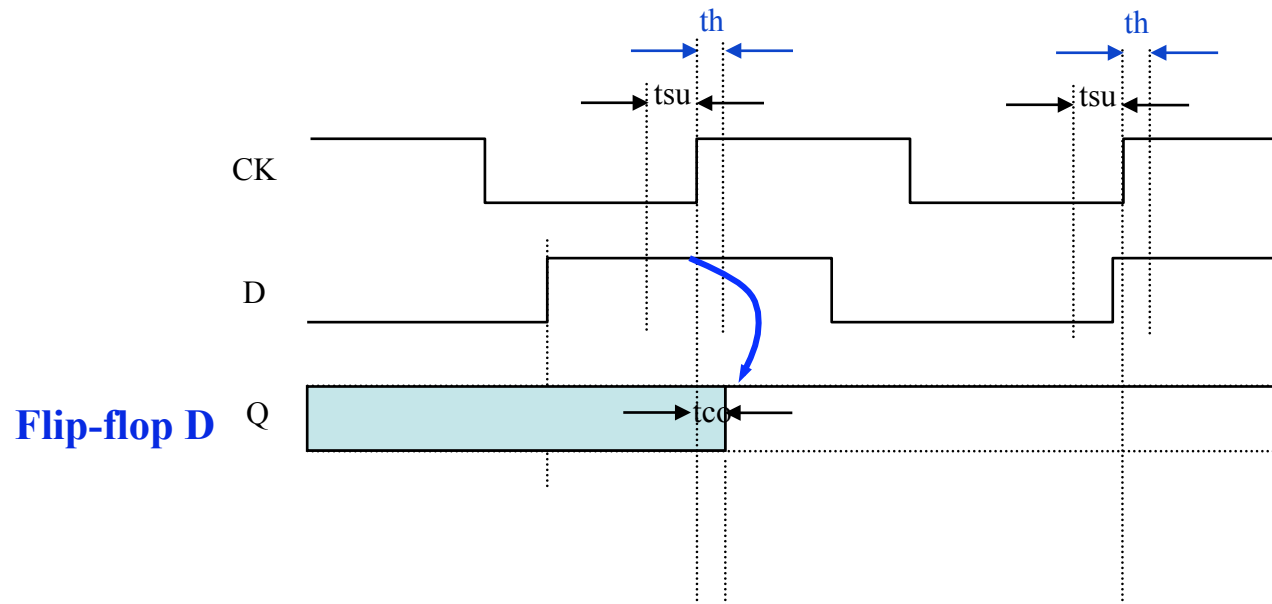
t_h = Tempo de Manutenção (*hold time*)

“Tempo, a partir da borda ativa de ck (subida, neste caso), durante o qual a entrada D deve permanecer estável.”

1. Projeto de Unidade Lógico-Aritmética

► Características Temporais de Flip-flops

Supor um Flip-flop D disparado pela Borda de Subida



t_{co} (ou t_d) = *Time from clock to output* (ou Tempo ou Atraso de Carga)

“Atraso, em relação à borda ativa de ck (subida, neste caso), para o valor amostrado a partir da entrada D aparecer nas saídas Q e \bar{Q} .”