



Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Curso de Graduação em Ciências da Computação



Sistemas Digitais

INE 5406

Aula 6-P

Prototipagem com a placa de desenvolvimento DE2 da Altera.

Prof. José Luís Güntzel
guntzel@inf.ufsc.br

Est. Vinícius Livramento
vini@inf.ufsc.br

www.inf.ufsc.br/~guntzel/ine5406/ine5406.html

Prototipagem com Placa Altera DE2

► Passos do projeto “Somador4bits”

Organizando o Ambiente de Trabalho no Computador

1. Na pasta “Meus Documentos”, criar uma pasta com nome “**Somador4bits**”.
2. Acessar o sítio “www.inf.ufsc.br/~guntzel/ine5406/aula6P” e baixar os arquivos ali disponíveis para a pasta recém-criada. Os arquivos são:
 - > somador1bit.vhd
 - > somador4bits.vhd
 - > toplevel.vhd
 - > Setup_Cyclone_2C35_DE2.tcl

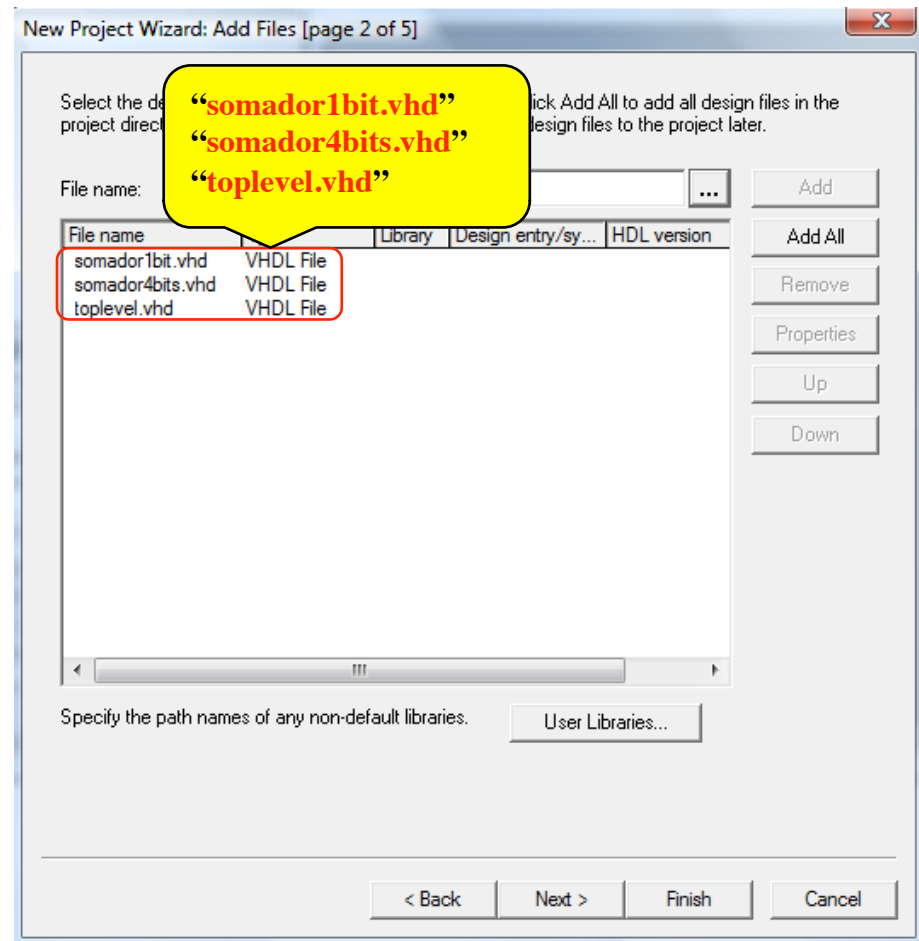
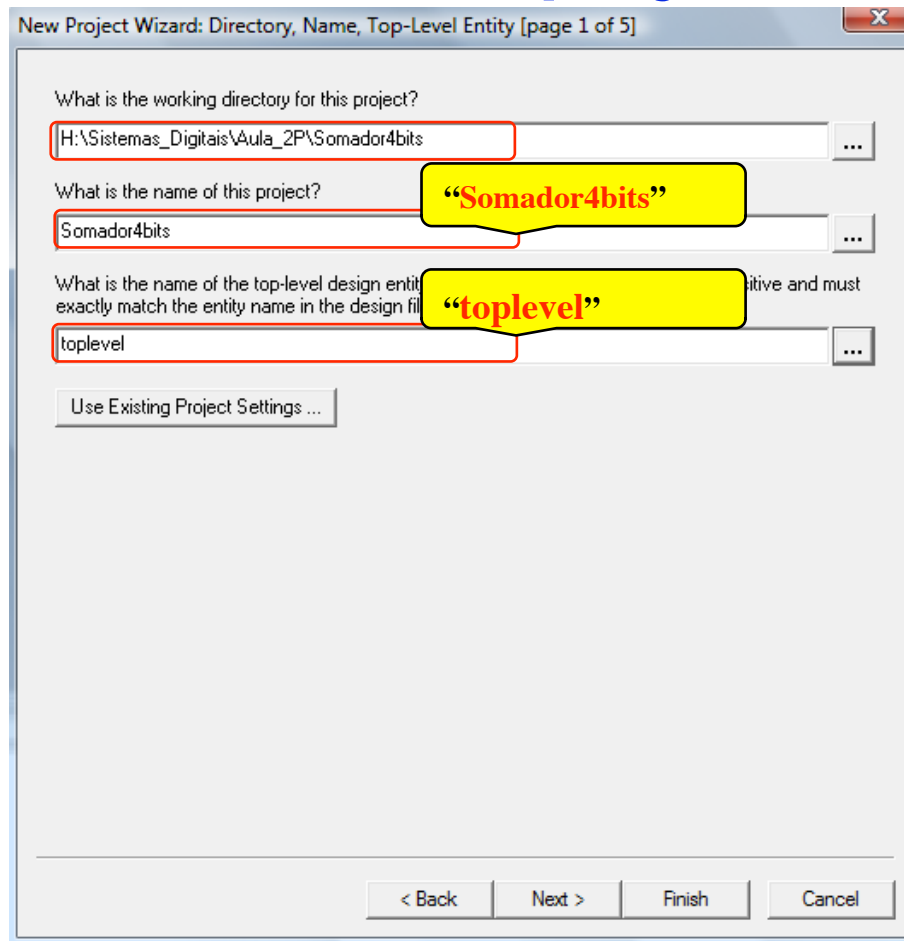
Prototipagem com Placa Altera DE2

▶ Passos do projeto “somador4bits” Invocando o Quartus II e Criando um Projeto

3. Invocar o Quartus II (a partir do ícone na área de trabalho, ou a partir do “Iniciar->Programas” do windows, sub-menu “Altera”).
4. Na opção “New” (canto superior da janela), selecionar “New Project Wizard”.
5. Clicar em “Next”.
6. Selecionar o caminho para a pasta criada no passo 1 (clcando no botão identificado com “...”).
7. Na caixa de diálogo identificada por “What is the name of this project”, escrever “somador4bits”.
8. Na caixa de diálogo identificada por “What is the name of the toplevel design entity ...”, escrever “toplevel”. Clicar em “Next”.

Prototipagem com Placa Altera DE2

▶ Passos do projeto “Somador4bits”



Prototipagem com Placa Altera DE2

▶ Passos do projeto “somador4bits” Invocando o Quartus II e Criando um Projeto (cont.)

9. Na caixa de diálogo identificada por “File Name:”, clicar na caixa com “...” e seleccionar os três arquivos VHDL deste projeto (somador1bit.vhd, somador4bits.vhd e toplevel.vhd). Clicar em “Add All” e depois, clicar em “Next”.
10. Na caixa de diálogo “Device Family”, seleccionar “Cyclone II”. Na lista identificada por “Available Devices”, seleccionar EP2C35F672C6. Clicar em “Next”. (Ver próximo slide.)
11. Na caixa de diálogo “Simulation”, seleccionar “ModelSim-Altera”. Clicar em Next.
12. Clicar em “Finish”. (Ver próximo slide.)

Prototipagem com Placa Altera DE2

Passos do projeto “Somador4bits”

New Project Wizard: Family & Device Settings [page 3 of 5]

Select the family and device you want to target for compilation.

Device family:
Family: **Cyclone II**
Devices: All

Target device:
☐ Auto device selected by the Fitter
☒ Specific device selected in 'Available devices' list

Available devices:

Name	Core v...	LEs	User I/...	Memor...	Embed...	PLL
EP2C20F484C8	1.2V	18752	315	239616	52	4
EP2C20F484I8	1.2V	18752	315	239616	52	4
EP2C20Q240C8	1.2V	18752	142	239616	52	4
EP2C35F484C6	1.2V	33216	322	483840	70	4
EP2C35F484C7	1.2V	33216	322	483840	70	4
EP2C35F484C8	1.2V	33216	322	483840	70	4
EP2C35F484I8	1.2V	33216	322	483840	70	4
EP2C35F672C6	1.2V	33216	475	483840	70	4

Companion device:
HardCopy:
☒ Limit DSP & RAM to HardCopy device resources

New Project Wizard: EDA Tool Settings [page 4 of 5]

Specify the other EDA tools -- in addition to the Quartus II software -- used with the project.

Design Entry/Synthesis:
Tool name: **<None>**
Format:
☐ Run this tool automatically to synthesize the current design

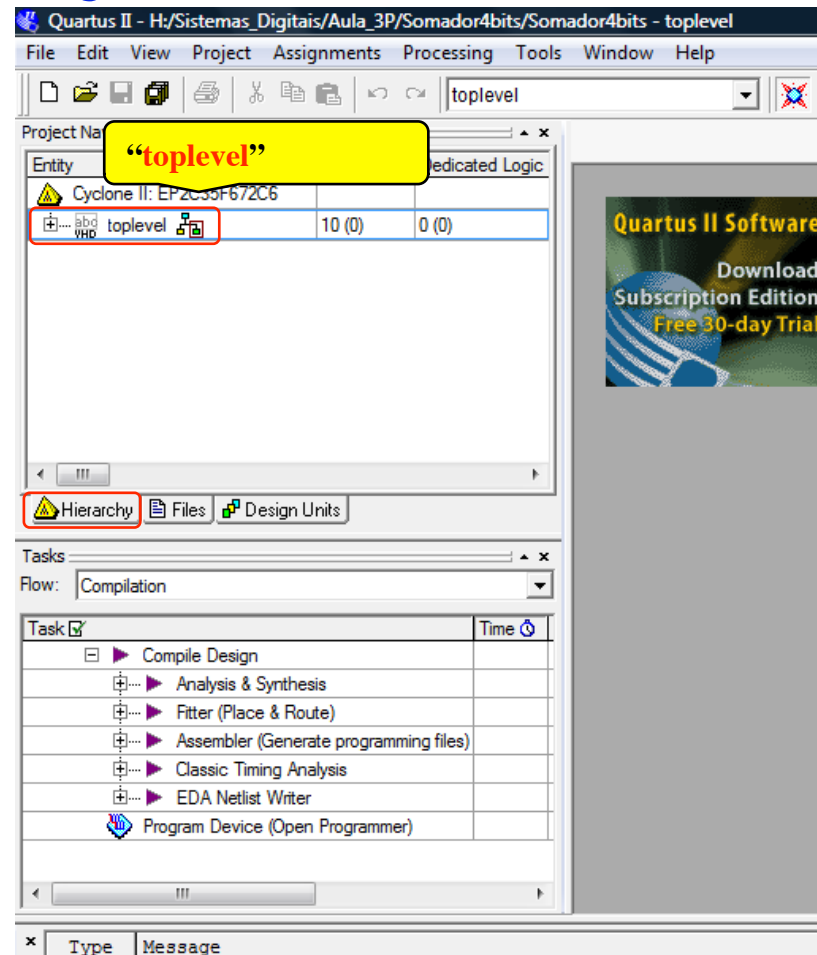
Simulation:
Tool name: **ModelSim-Altera**
Format: **VHDL**
☐ Run gate-level simulation automatically after compilation

Timing Analysis:
Tool name: **<None>**
Format:
☐ Run this tool automatically after compilation

Prototipagem com Placa Altera DE2

► Passos do projeto “Somador4bits”

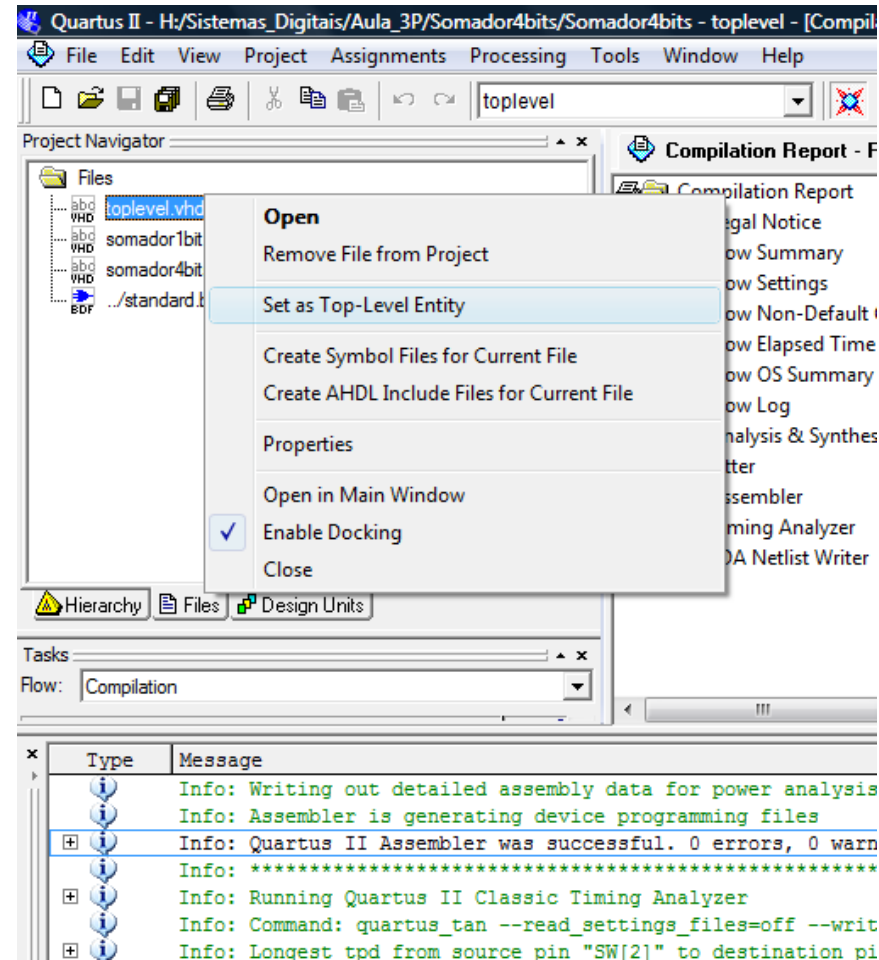
Verificar se o arquivo “toplevel.vdh” está setado como toplevel da hierarquia do projeto. Caso negativo, ajustar isso, conforme descrito no próximo slide.



Prototipagem com Placa Altera DE2

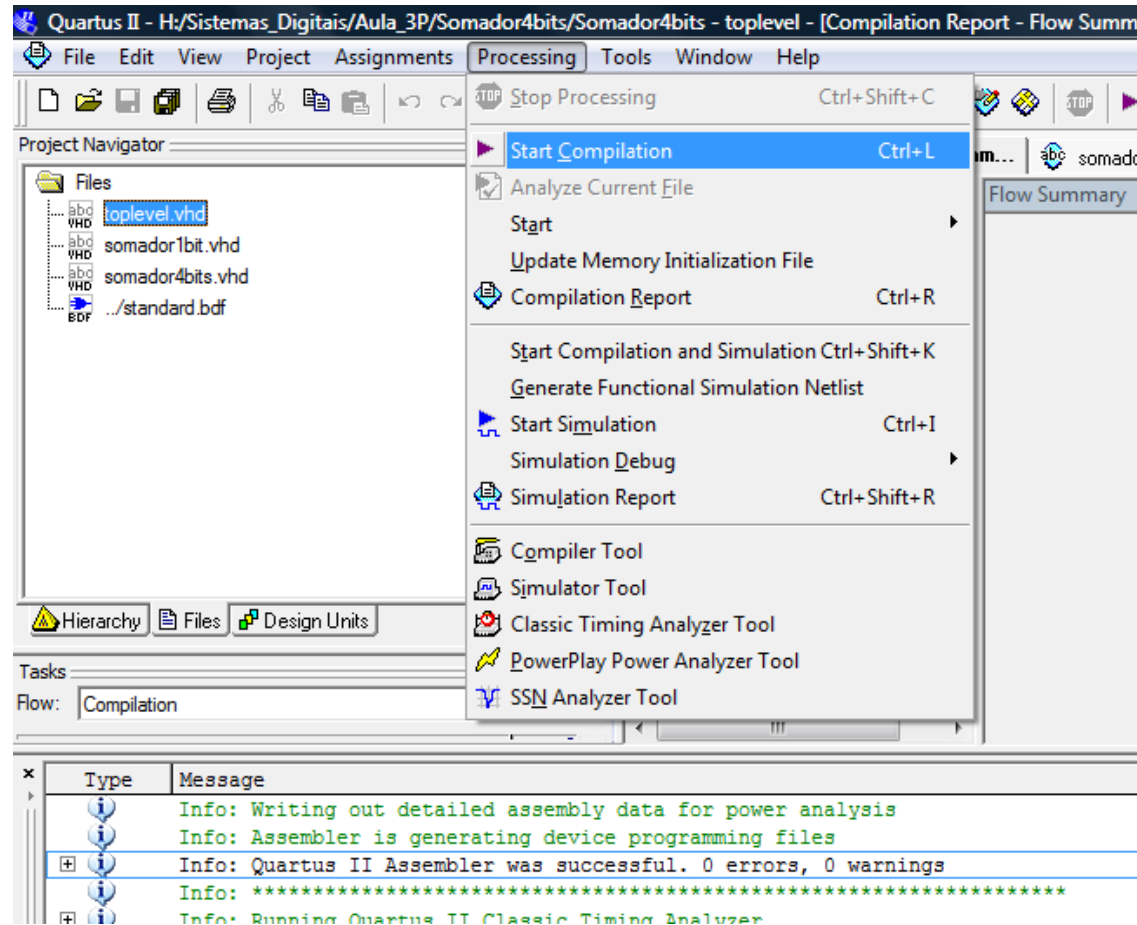
► Passos do projeto “Somador4bits”

Setando “toplevel.vdh”
como toplevel da
hierarquia do projeto.



Prototipagem com Placa Altera DE2

► Compilar o projeto



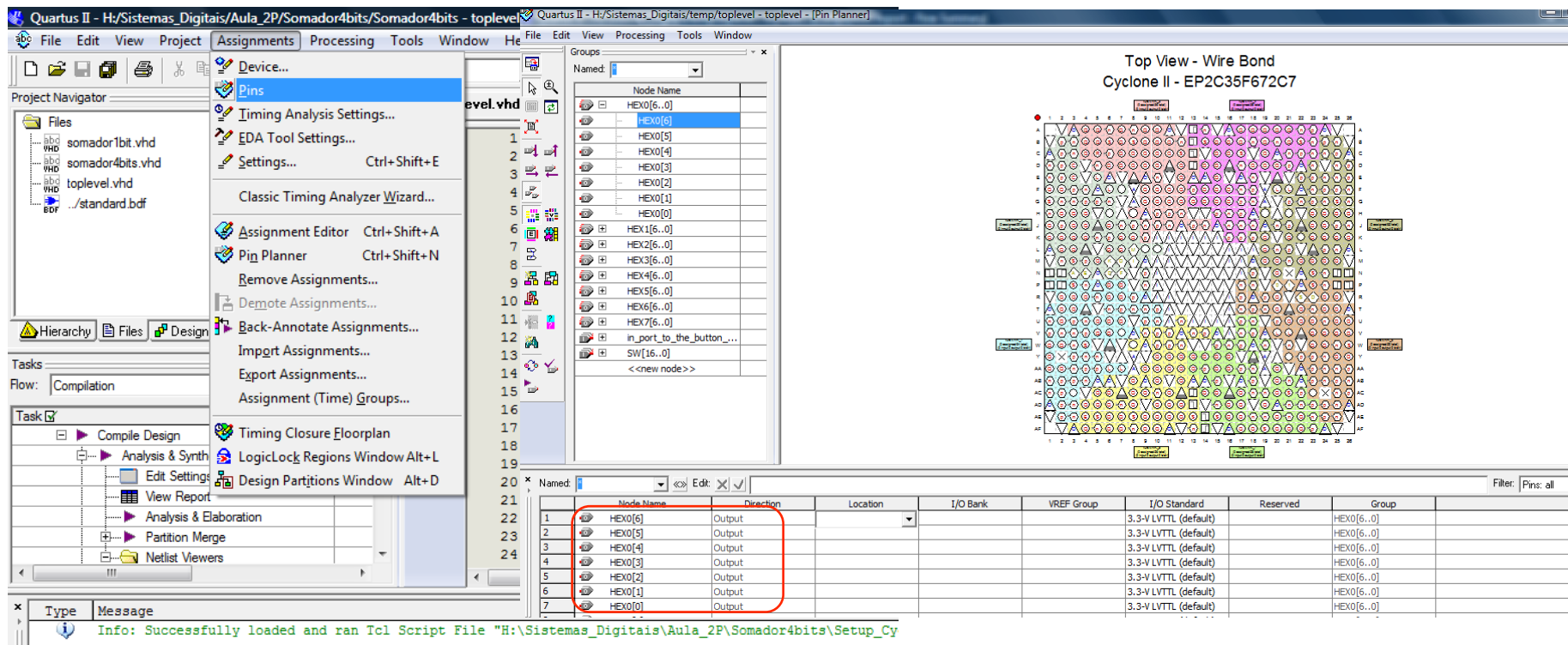
Prototipagem com Placa Altera DE2

Passos do projeto “Somador4bits”

1. Anotar os seguintes dados mostrados na janela “Compilation Report – Flow Summary”:
 - Total combinational functions:
 - Dedicated logic elements:
2. Anotar os seguintes dados mostrados na janela “Message” (procurar pela linha que inicia por “Longest tpd from ...”):
 - tpd:
 - Source pin
 - Destination pin:

Prototipagem com Placa Altera DE2

► Verificar o mapeamento dos pinos do FPGA



Top View - Wire Bond
Cyclone II - EP2C35F672C7

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Group
HEX0[6]	Output				3.3-V LVTTTL (default)		HEX0[6..0]
HEX0[5]	Output				3.3-V LVTTTL (default)		HEX0[6..0]
HEX0[4]	Output				3.3-V LVTTTL (default)		HEX0[6..0]
HEX0[3]	Output				3.3-V LVTTTL (default)		HEX0[6..0]
HEX0[2]	Output				3.3-V LVTTTL (default)		HEX0[6..0]
HEX0[1]	Output				3.3-V LVTTTL (default)		HEX0[6..0]
HEX0[0]	Output				3.3-V LVTTTL (default)		HEX0[6..0]

Info: Successfully loaded and ran Tcl Script File "H:\Sistemas_Digitais\Aula_2P\Somador4bits\Setup_Cy

Prototipagem com Placa Altera DE2

► Verificar o mapeamento dos pinos do FPGA

Mapeamentos dos switches

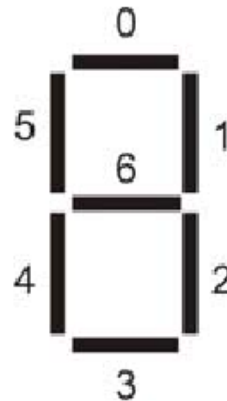
Signal Name	FPGA Pin No.	Description
SW[0]	PIN_N25	Toggle Switch[0]
SW[1]	PIN_N26	Toggle Switch[1]
SW[2]	PIN_P25	Toggle Switch[2]
SW[3]	PIN_AE14	Toggle Switch[3]
SW[4]	PIN_AF14	Toggle Switch[4]
SW[5]	PIN_AD13	Toggle Switch[5]
SW[6]	PIN_AC13	Toggle Switch[6]
SW[7]	PIN_C13	Toggle Switch[7]
SW[8]	PIN_B13	Toggle Switch[8]
SW[9]	PIN_A13	Toggle Switch[9]
SW[10]	PIN_N1	Toggle Switch[10]
SW[11]	PIN_P1	Toggle Switch[11]
SW[12]	PIN_P2	Toggle Switch[12]
SW[13]	PIN_T7	Toggle Switch[13]
SW[14]	PIN_U3	Toggle Switch[14]
SW[15]	PIN_U4	Toggle Switch[15]
SW[16]	PIN_V1	Toggle Switch[16]
SW[17]	PIN_V2	Toggle Switch[17]

Abrir o “DE2 UserManual.pdf”

Mapeamentos dos displays de 7 segmentos

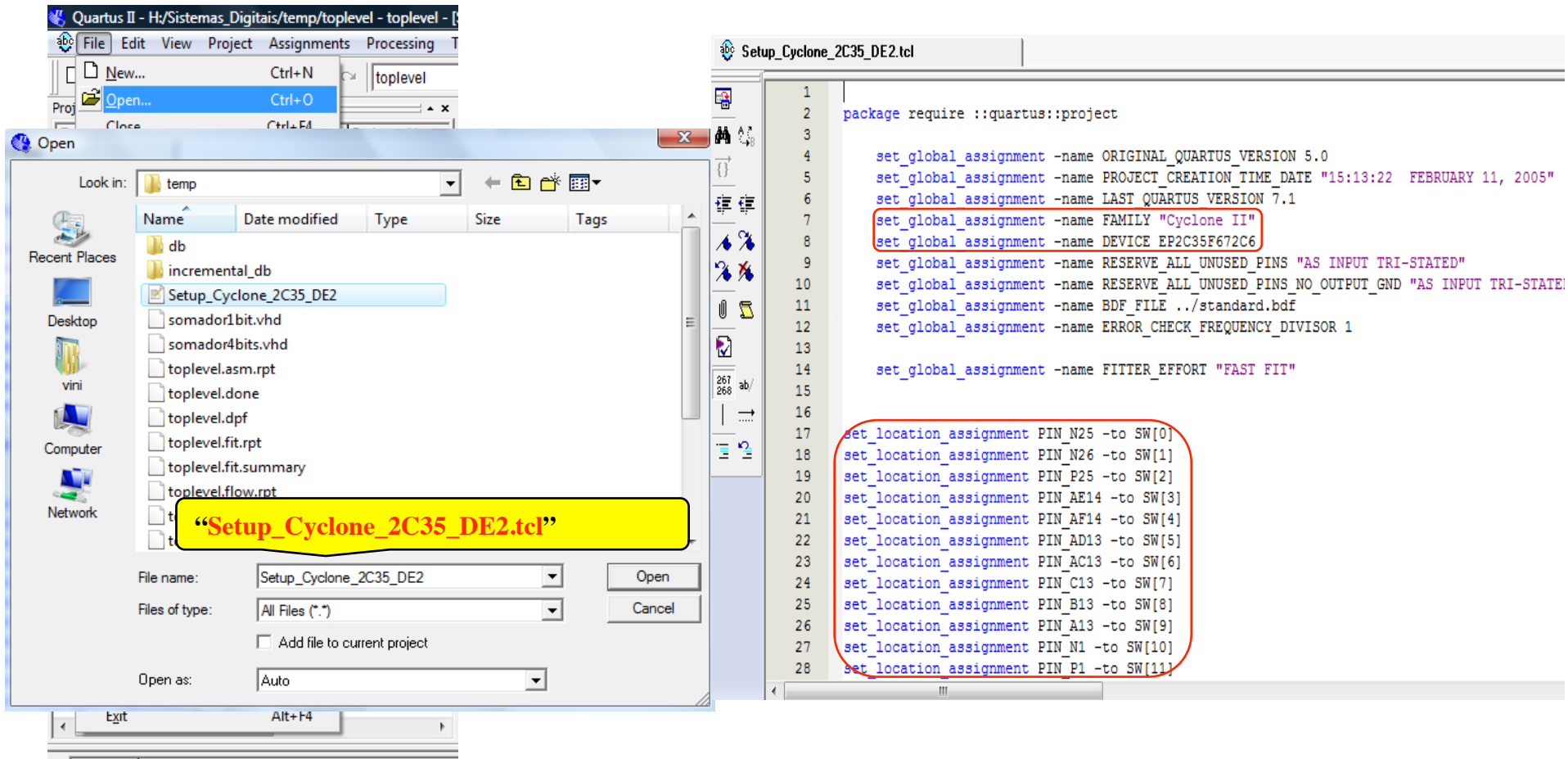
Signal Name	FPGA Pin No.	Description
HEX0[0]	PIN_AF10	Seven Segment Digit 0[0]
HEX0[1]	PIN_AB12	Seven Segment Digit 0[1]
HEX0[2]	PIN_AC12	Seven Segment Digit 0[2]
HEX0[3]	PIN_AD11	Seven Segment Digit 0[3]
HEX0[4]	PIN_AE11	Seven Segment Digit 0[4]
HEX0[5]	PIN_V14	Seven Segment Digit 0[5]
HEX0[6]	PIN_V13	Seven Segment Digit 0[6]
HEX1[0]	PIN_V20	Seven Segment Digit 1[0]
HEX1[1]	PIN_V21	Seven Segment Digit 1[1]
HEX1[2]	PIN_W21	Seven Segment Digit 1[2]
HEX1[3]	PIN_Y22	Seven Segment Digit 1[3]
HEX1[4]	PIN_AA24	Seven Segment Digit 1[4]
HEX1[5]	PIN_AA23	Seven Segment Digit 1[5]
HEX1[6]	PIN_AB24	Seven Segment Digit 1[6]
HEX2[0]	PIN_AB23	Seven Segment Digit 2[0]
HEX2[1]	PIN_V22	Seven Segment Digit 2[1]

Posição e index de cada segmento do display de 7 segmentos



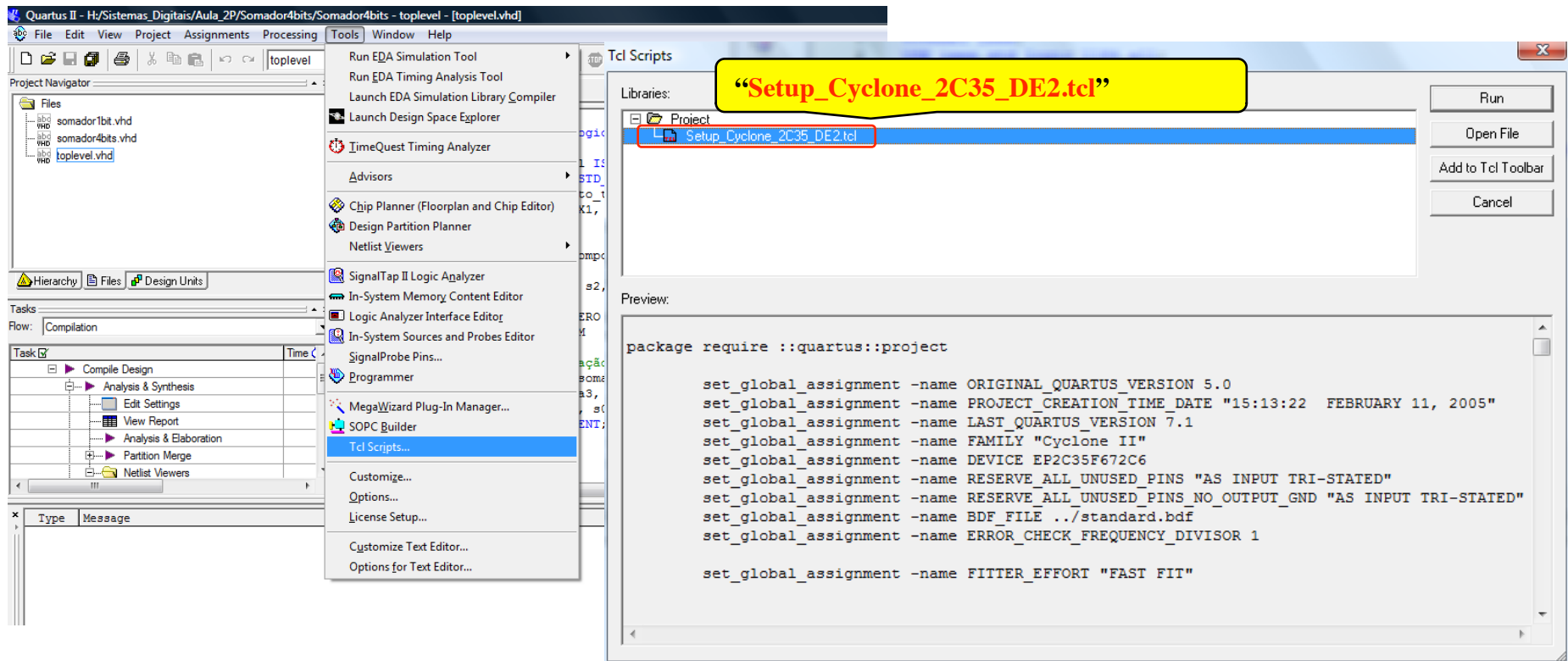
Prototipagem com Placa Altera DE2

► O script “Setup_Cyclone_2C35_DE2.tcl”



Prototipagem com Placa Altera DE2

▶ Executar script de mapeamento dos pinos



Prototipagem com Placa Altera DE2

► Verificar o mapeamento dos pinos do FPGA

Top View - Wire Bond
Cyclone II - EP2C35F672C6

Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved	Group
SW[0]	Unknown	PIN_N25	5	B5_N1	3.3-V LVTTTL (default)		
SW[1]	Unknown	PIN_N26	5	B5_N1	3.3-V LVTTTL (default)		
SW[2]	Unknown	PIN_P25	6	B6_N0	3.3-V LVTTTL (default)		
SW[3]	Unknown	PIN_AE14	7	B7_N1	3.3-V LVTTTL (default)		
SW[4]	Unknown	PIN_AF14	7	B7_N1	3.3-V LVTTTL (default)		
SW[5]	Unknown	PIN_AD13	8	B8_N0	3.3-V LVTTTL (default)		
SW[6]	Unknown	PIN_AC13	8	B8_N0	3.3-V LVTTTL (default)		

Info: Successfully loaded and ran Tcl Script File "H:\Sistemas_Digitais\Aula_2P\Somador4bits\Setup_Cy

Prototipagem com Placa Altera DE2

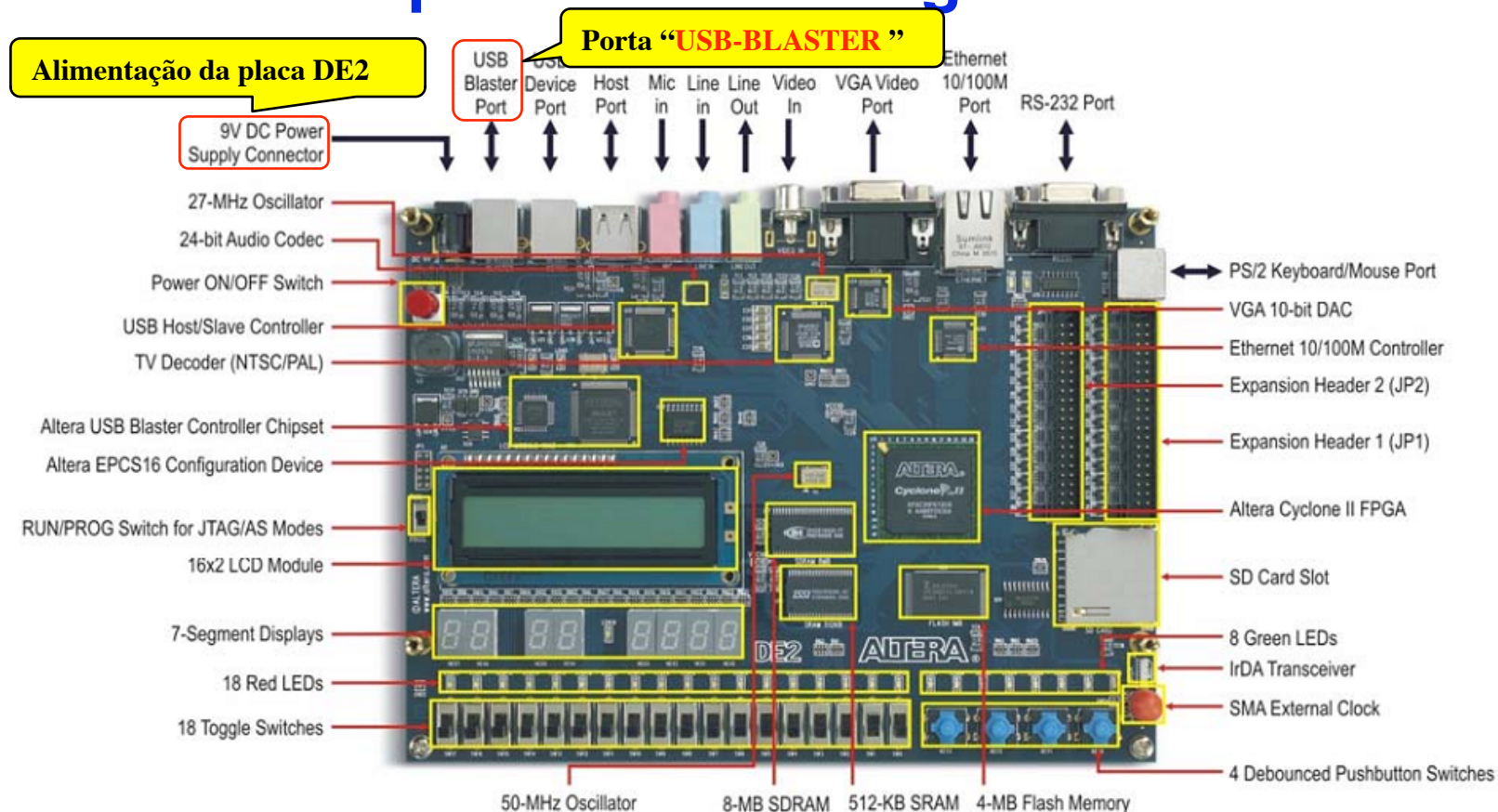
▶ Passos do projeto “Somador4bits”

Compile

1. Processing -> Start Compilation
2. Aguardar mensagem “Quartus II Full Compilation Successful” (ou mensagem de erro)

Prototipagem com Placa Altera DE2

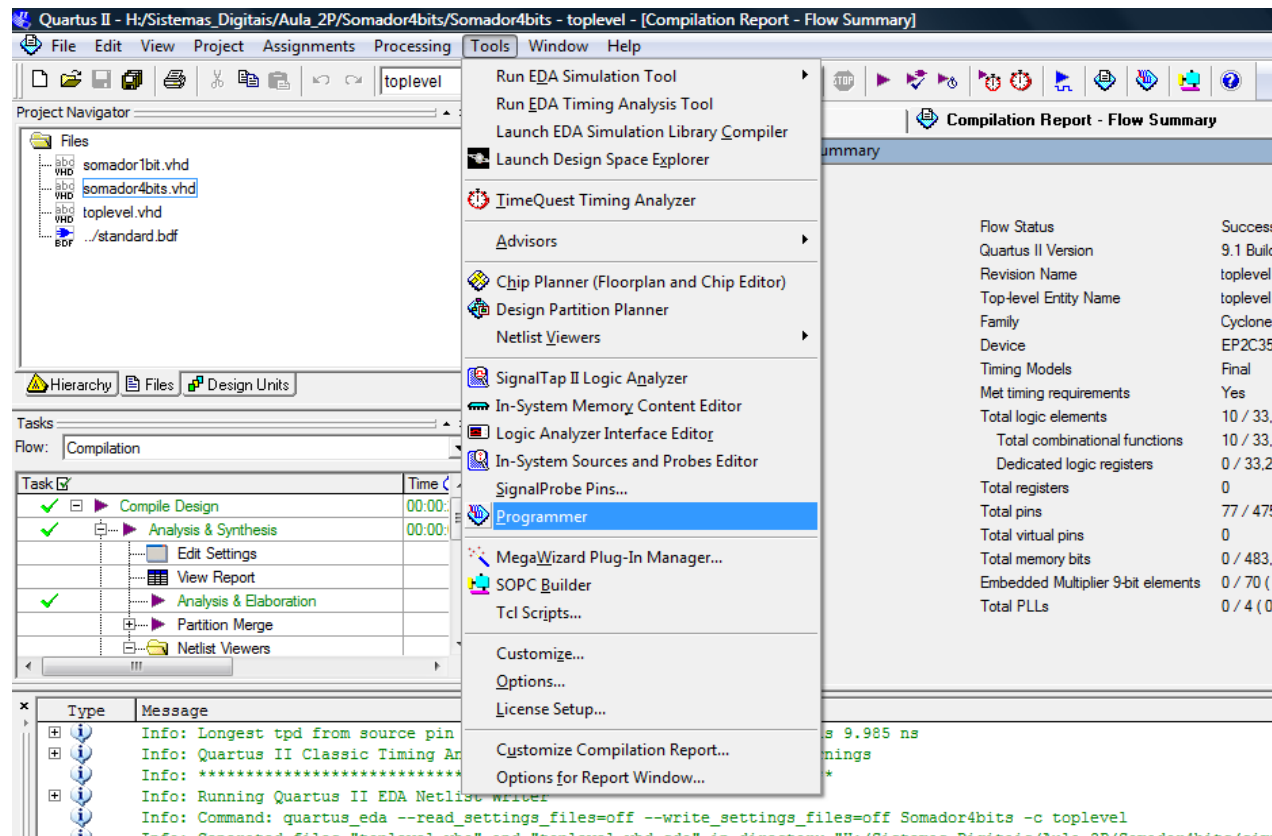
► Conectar a placa no PC e ligá-la



Ler manual da placa DE2. (Baixar de “<http://www.inf.ufsc.br/~guntzel/ine5406/DE2/>”)

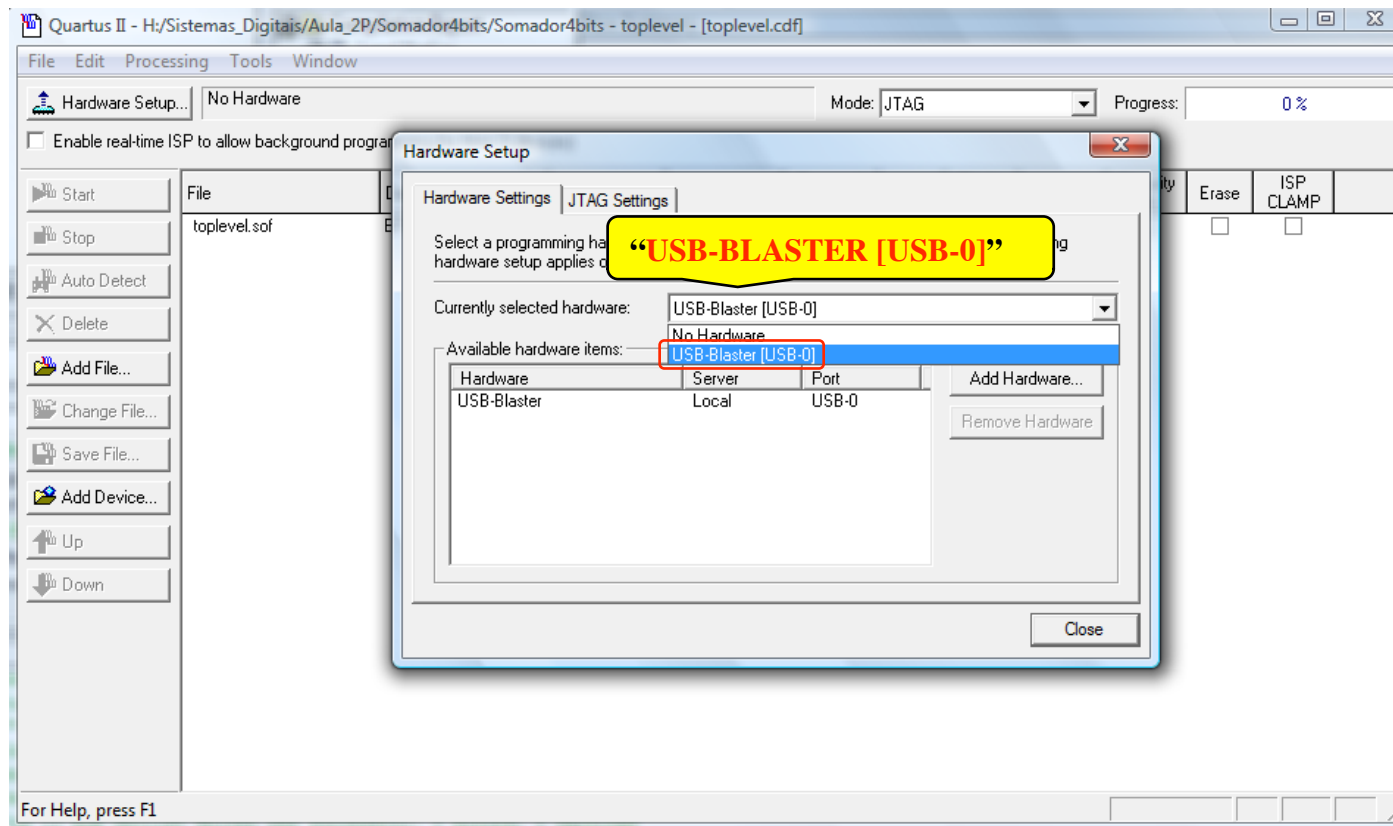
Prototipagem com Placa Altera DE2

► Baixar o projeto para a placa



Prototipagem com Placa Altera DE2

► Baixar o projeto para a placa



Prototipagem com Placa Altera DE2

► Baixar o projeto para a placa

