



Universidade Federal de Santa Catarina
Centro Tecnológico
Departamento de Informática e Estatística
Curso de Graduação em Ciências da Computação



Sistemas Digitais

INE 5406

Aula 10-T

2. Máquinas Sequencias Síncronas: Síntese de circuitos sequenciais. Exemplos. Mapeamento e alternativas de implementação de máquinas de estado: "hardwired", PLA, ROM e PLD.

Prof. José Luís Güntzel
guntzel@inf.ufsc.br

www.inf.ufsc.br/~guntzel/ine5406/ine5406.html

2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Registrador de Estados:

- **Tipos de registradores:**

- Feito com FFDs ou com FFJKs ou com FFTs
- Pode ser um registrador-deslocador
- Pode ser um registrador-contador

- **Quanto à forma de fabricação:**

- Registradores podem estar prontos, integrados em chips com 4 ou 8 bits, cascadeáveis (componentes MSI CMOS ou TTL)
- Registradores podem fazer uso de flip-flops pre-existentes dentro de um componente programável tipo SPLD, CPLD ou FPGA.
- Registradores podem ser especificados para serem fabricados do zero (opção de fabricação com máscaras ou *masked*)

2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Lógica de Próximo Estado e Lógica de Saída:

- Tipos de implementações:

hardwired

- Implementando as equações por meio de um circuito combinacional (“lógica aleatória”)
- Implementando as equações pela configuração de planos “E” e “OU” (PALs e PLAs)

Micropro-
gramação

- Gravando a tabela-verdade em bloco de memória (ROM, EPROM, EEPROM ou RAM)

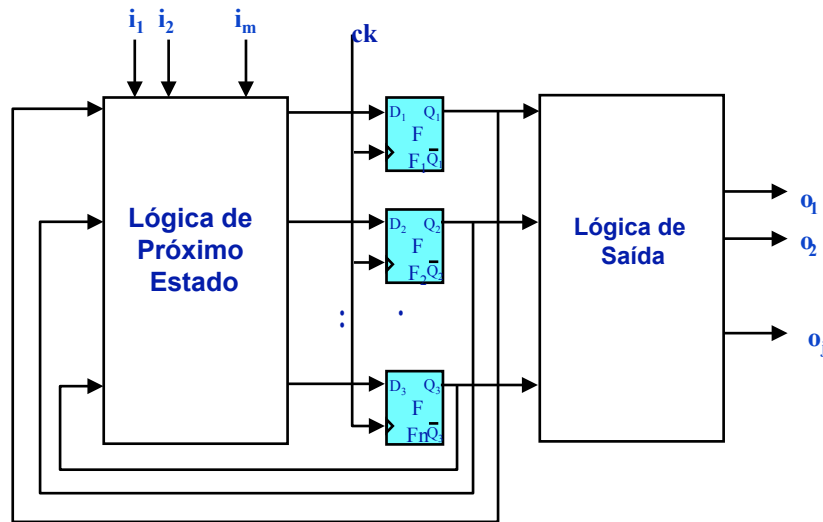
- Quanto à forma de fabricação:

- Usando chips de memória ROM, EPROM ou EEPROM
- Usando chips programáveis SPLDs: PLAs ou PALs
- Usando chips programáveis CPLDs ou FPGAs
- Mandando fabricar um chip do zero (*masked*)

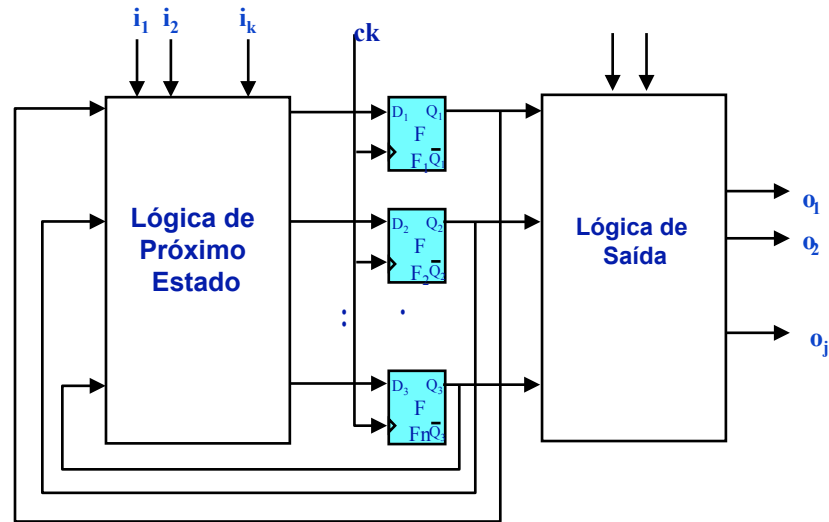
2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Moore



Mealy

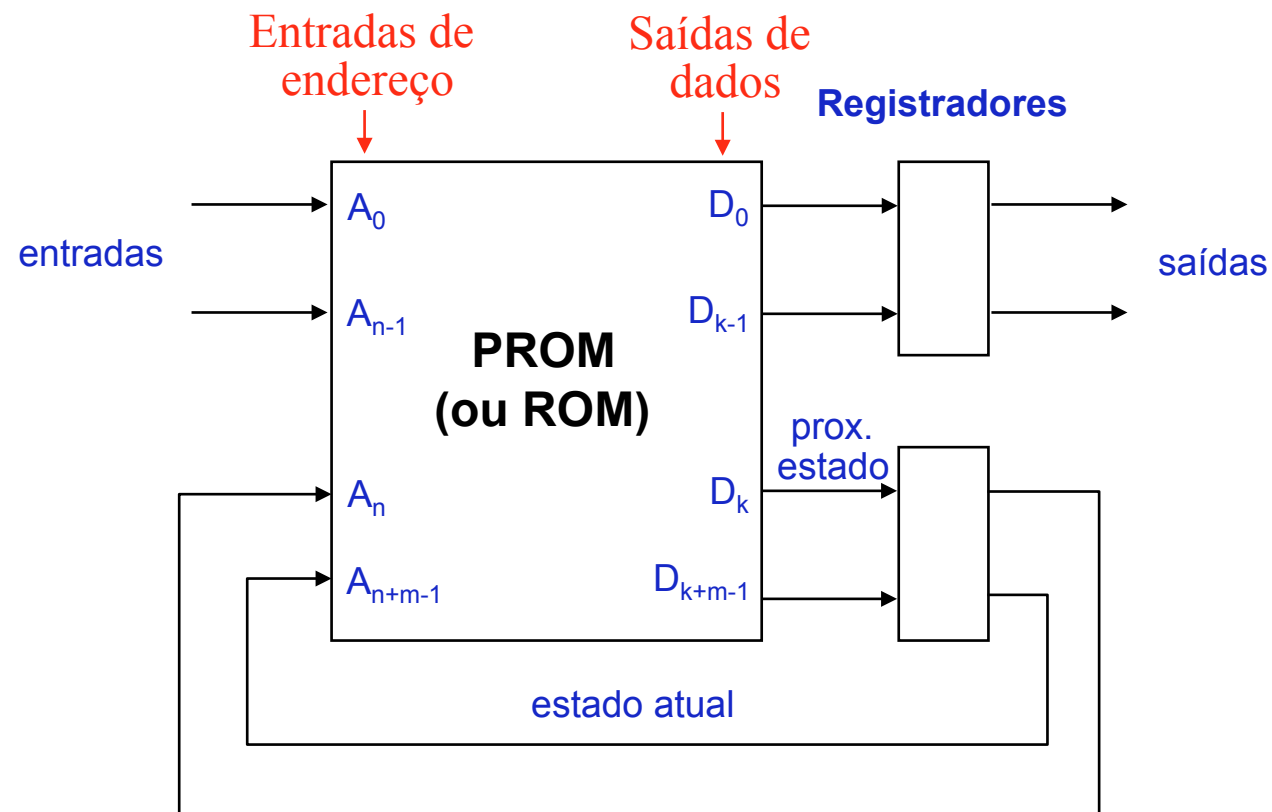


Os blocos lógica de próximo estado e lógica de saída podem ser realizados por:

- Memória (PROM, EPROM, EEPROM)
- Arranjos regulares (PLA, PAL)
- Circuitos-padrão (TTLs ...)

2. Máquinas Sequenciais Síncronas

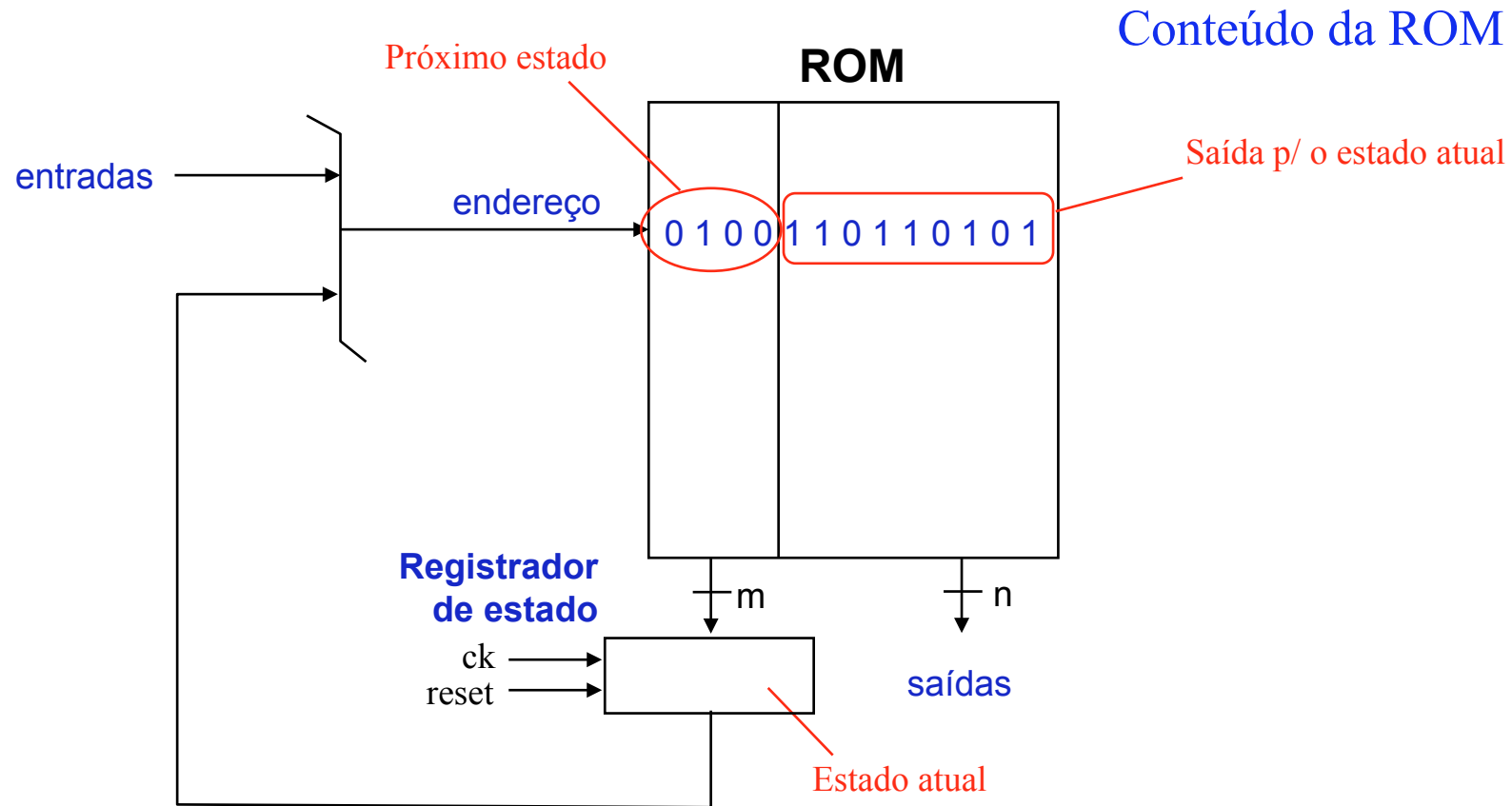
► Alternativas de Implementação de FSMs Mealy Usando Memória ROM



2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Mealy Usando Memória ROM (outra forma de desenhar...)



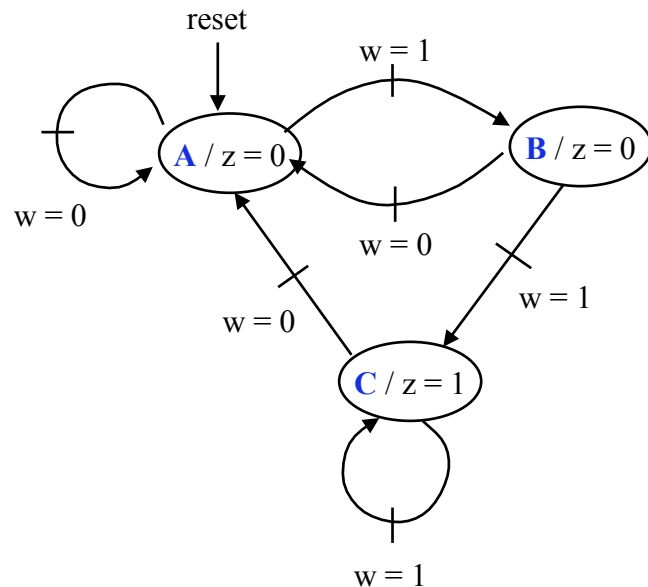
2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Exemplo 7

Propor uma implementação do circuito do exemplo 3, versão Moore, usando o esquema mostrado no slide anterior (Usar somente uma memória ROM).

Mostrar o conteúdo a ser gravado na memória ROM.



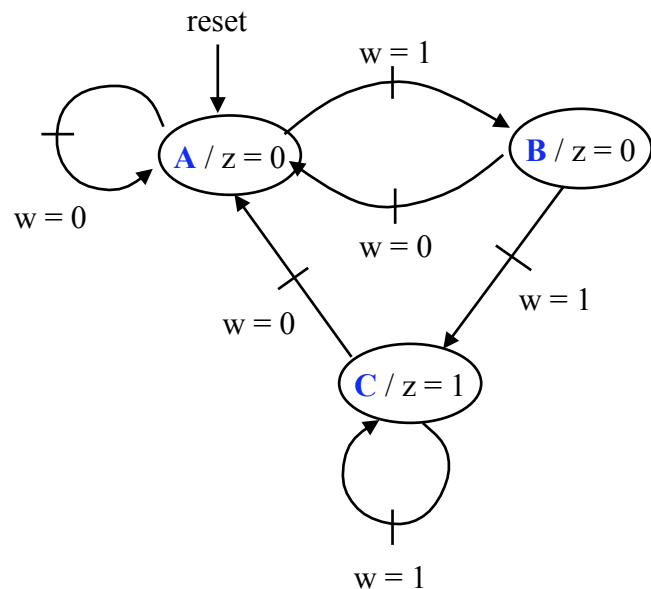
	Estado atual y1y0	w	Próximo estado Y1Y0	
A	00	0	00	A
A	00	1	01	B
B	01	0	00	A
B	01	1	10	C
C	10	0	00	A
C	10	1	10	C
-	11	0	XX	-
-	11	1	XX	-

2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Exemplo 7

Juntando a tabela de transição com a tabela de saída (pois só será usada uma ROM).



	Estado atual y1y0	w	Próximo estado Y1Y0		z
A	00	0	00	A	0
A	00	1	01	B	0
B	01	0	00	A	0
B	01	1	10	C	0
C	10	0	00	A	1
C	10	1	10	C	1
-	11	0	XX	-	-
-	11	1	XX	-	-

2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Exemplo 7

Arrumando a nova tabela.

Estado atual y1y0	w	Próximo estado Y1Y0	z
00	0	00	0
00	1	01	0
01	0	00	0
01	1	10	0
10	0	00	1
10	1	10	1
11	0	XX	-
11	1	XX	-

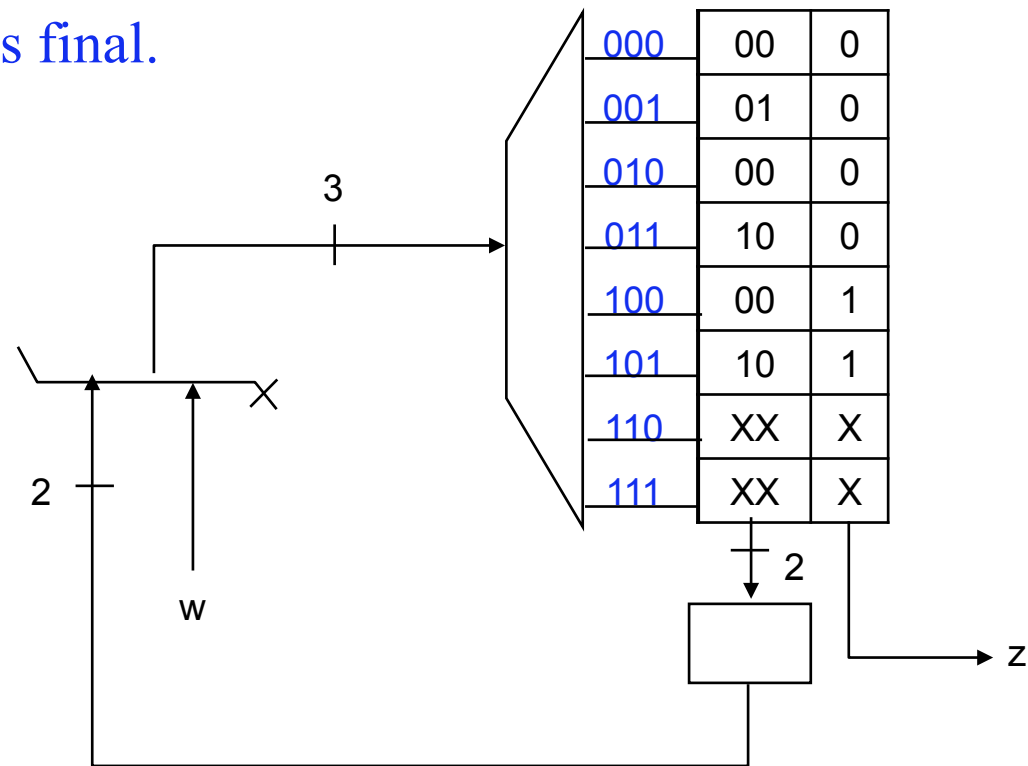
Endereços da ROM **conteúdo da ROM**

2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Exemplo 7

Diagrama de blocos final.



2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Exemplo 8

Estado atual yly0	E1	E0	Próximo estado Y1Y0	saídas
00	0	0	00	
00	0	1	00	
00	1	0	01	
00	1	1	01	
01	0	0	01	
01	0	1	10	
01	1	0	01	
01	1	1	10	
10	0	0	11	
10	0	1	11	
10	1	0	11	
10	1	1	11	
11	0	0	00	
11	0	1	00	
11	1	0	00	
11	1	1	00	

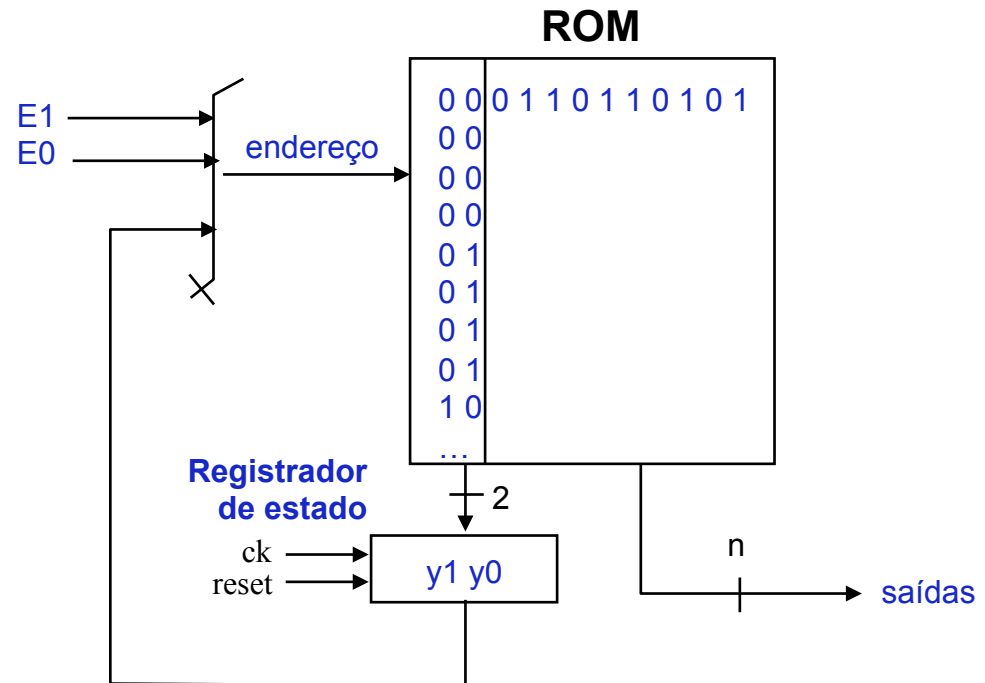
Propor uma implementação do circuito cujo comportamento está na tabela ao lado, usando o esquema mostrado no slide 7T.9. Mostrar o conteúdo a ser gravado na memória ROM.

2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Para Cada Linha da Tabela de Estados uma Linha da ROM

Estado atual yly0	E1	E0	Próximo estado Y1Y0	saídas
00	0	0	00	
00	0	1	00	
00	1	0	01	
00	1	1	01	
01	0	0	01	
01	0	1	10	
01	1	0	01	
01	1	1	10	
10	0	0	11	
10	0	1	11	
10	1	0	11	
10	1	1	11	
11	0	0	00	
11	0	1	00	
11	1	0	00	
11	1	1	00	



- O número de linhas da ROM é limitado
- Pode haver diversas linhas da tabela de transição que resultem nos mesmos valores para as saídas

2. Máquinas Sequenciais Síncronas

- **Alternativas de Implementação de FSMs**
A Solução é Agrupar Casos Equivalentes na Tabela de Transição

Estado atual y1y0	E1	E0	Próximo estado Y1Y0
00	0	0	00
00	0	1	00
00	1	0	01
00	1	1	01
01	0	0	01
01	0	1	10
01	1	0	01
01	1	1	10
10	X	X	11
11	X	X	00

Necessita de **10** linhas da ROM



Agrupando-se
os *don't cares*

Estado atual y1y0	E1	E0	Próximo estado Y1Y0
00	0	X	00
00	1	X	01
01	X	0	01
01	X	1	10
10	X	X	11
11	X	X	00

Necessita de **6** linhas da ROM

2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Restrição do Agrupamento de Casos Equivalentes

Estado atual y1y0	E1	E0	Próximo estado Y1Y0	saídas
00	0	X	00	saída1
00	1	X	01	saída2
01	X	0	01	saída3
01	X	1	10	saída4
10	X	X	11	saída5
11	X	X	00	saída6

No caso de FSM de Moore:

- Não há restrição para o agrupamento pois os valores das saídas dependem apenas do estado atual!

No caso de FSM de Mealy:

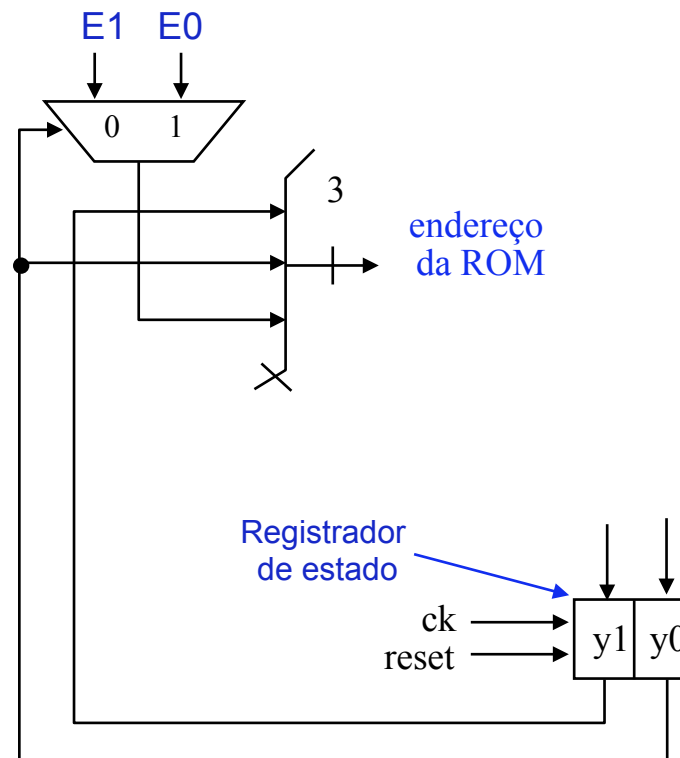
- Só podem ser agrupados os casos em que as saídas têm os mesmos valores!! Vide exemplo ao lado...

2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

Montagem dos Bits a Serem Usados para Endereçar a ROM

Estado atual y1y0	E1	E0	Próximo estado Y1Y0	saídas
00	0	X	00	saída1
00	1	X	01	saída2
01	X	0	01	saída3
01	X	1	10	saída4
10	X	X	11	saída5
11	X	X	00	saída6

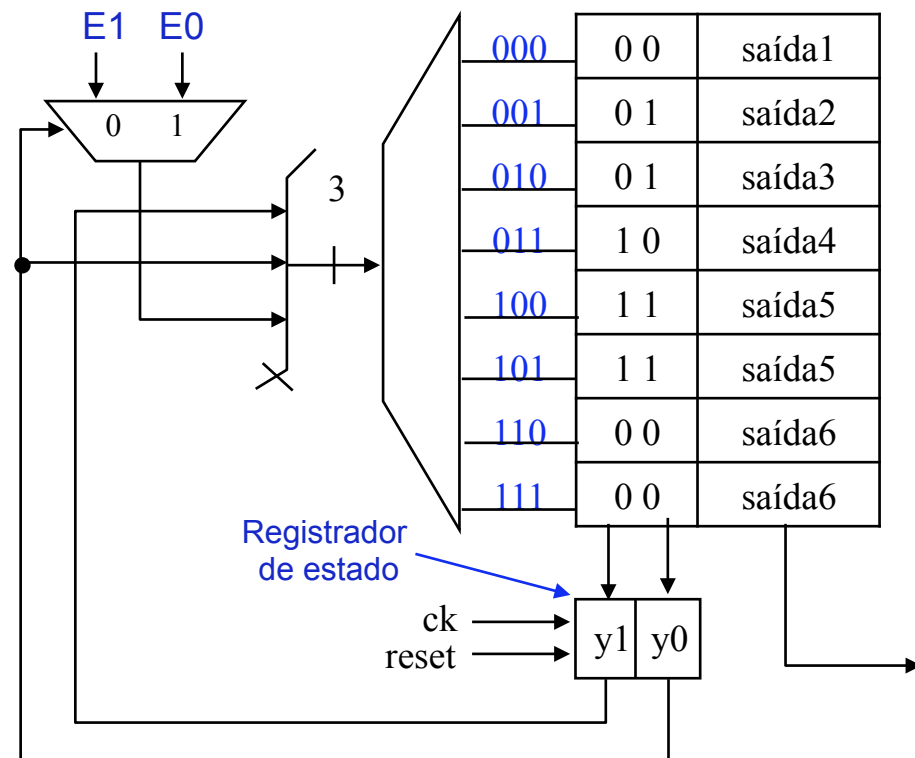


2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs

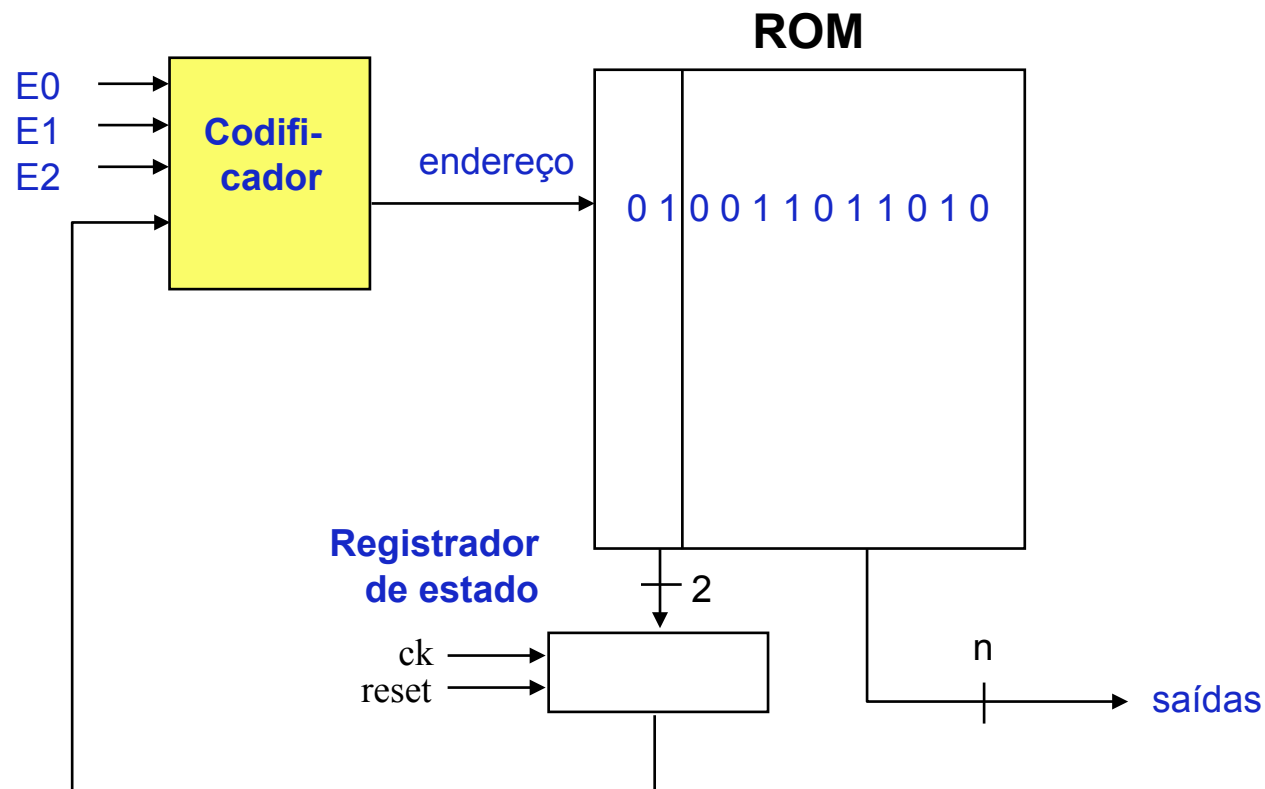
Montagem dos Bits a Serem Usados para Endereçar a ROM

Estado atual y1y0	E1	E0	Próximo estado Y1Y0	saídas
00	0	X	00	saída1
00	1	X	01	saída2
01	X	0	01	saída3
01	X	1	10	saída4
10	X	X	11	saída5
11	X	X	00	saída6



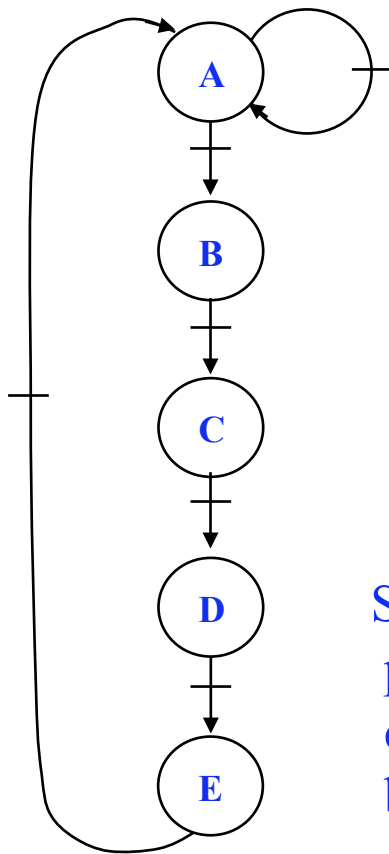
2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs Caso Geral...

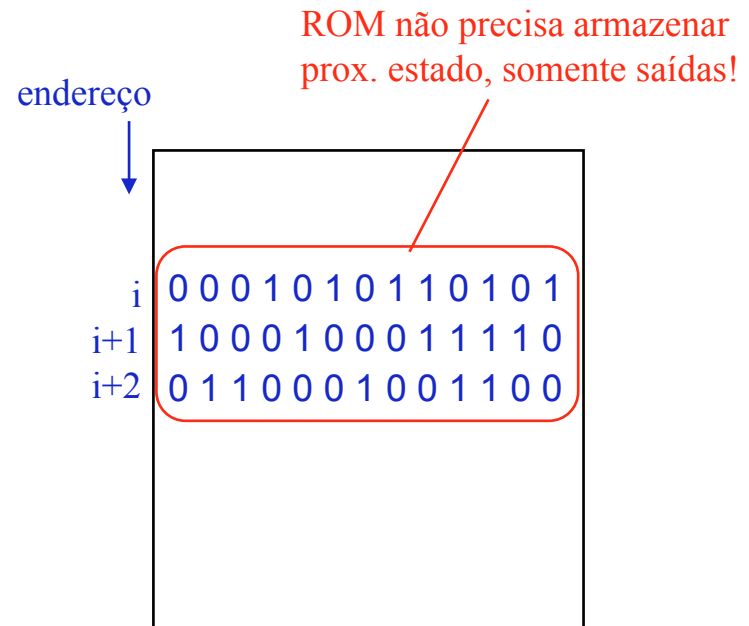


2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs Explorando Características da FSM

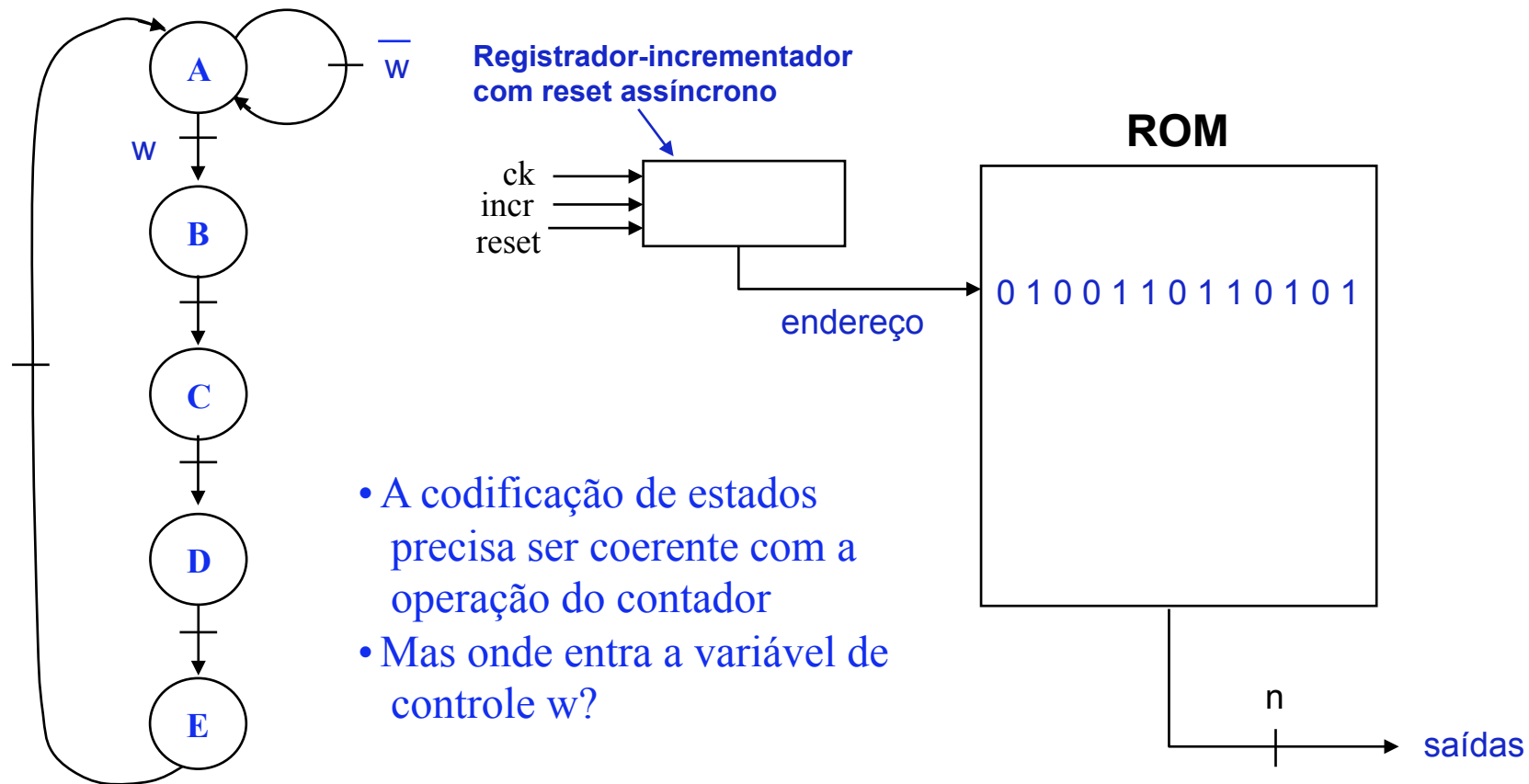


Seqüências de estados
podem ser implementados
como contagem em
binário...



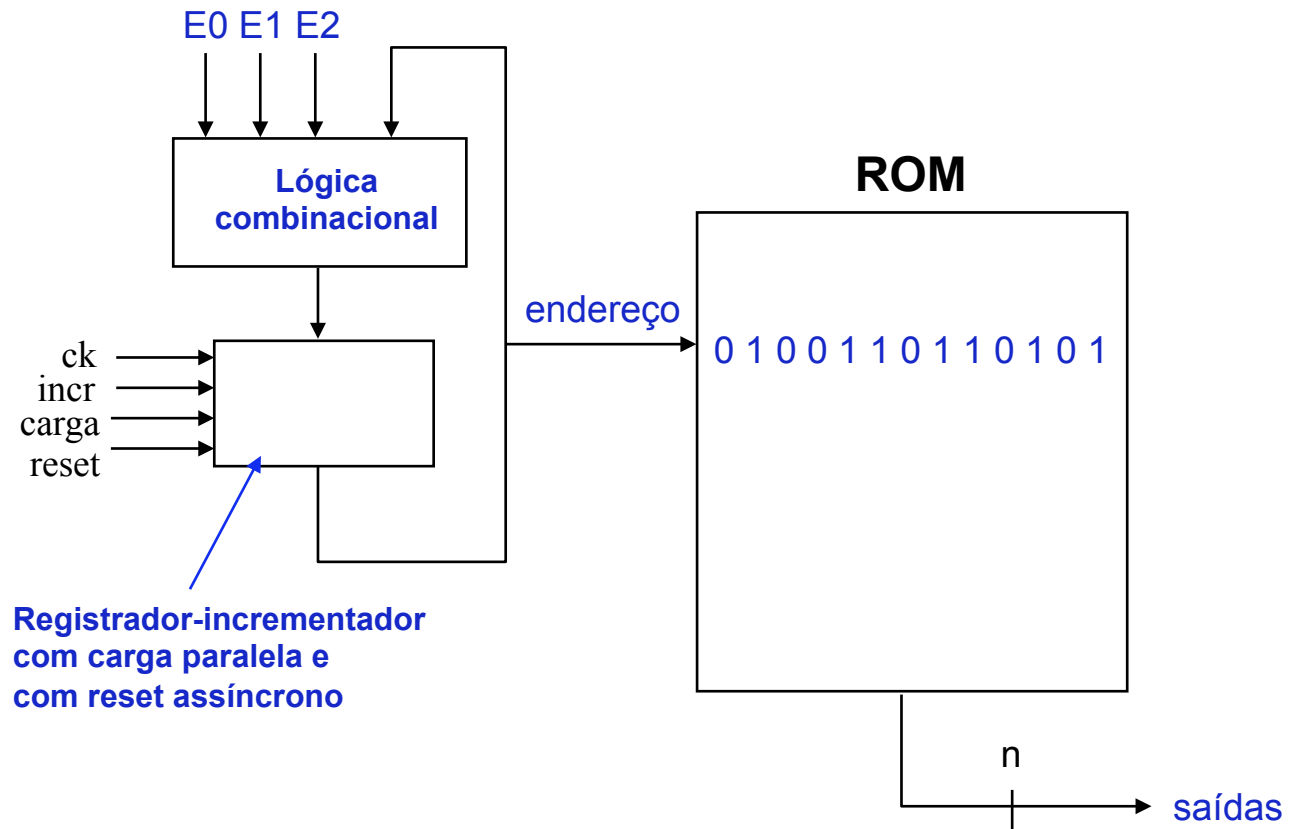
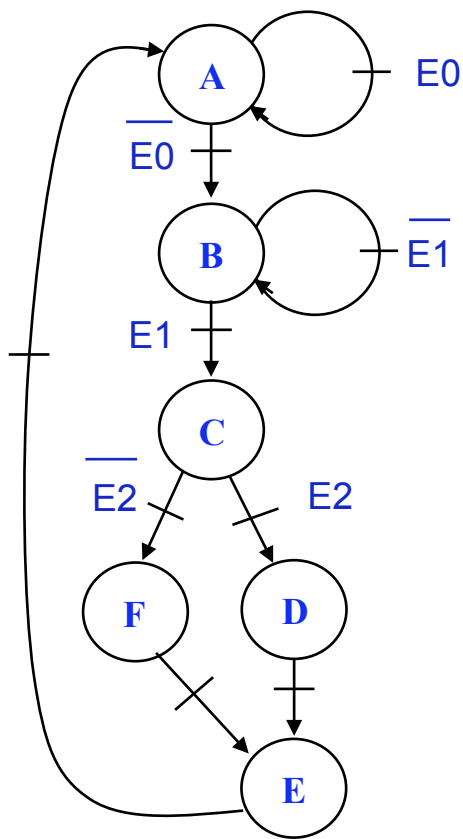
2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs Bloco ROM + Registrador Contador (Incrementador)



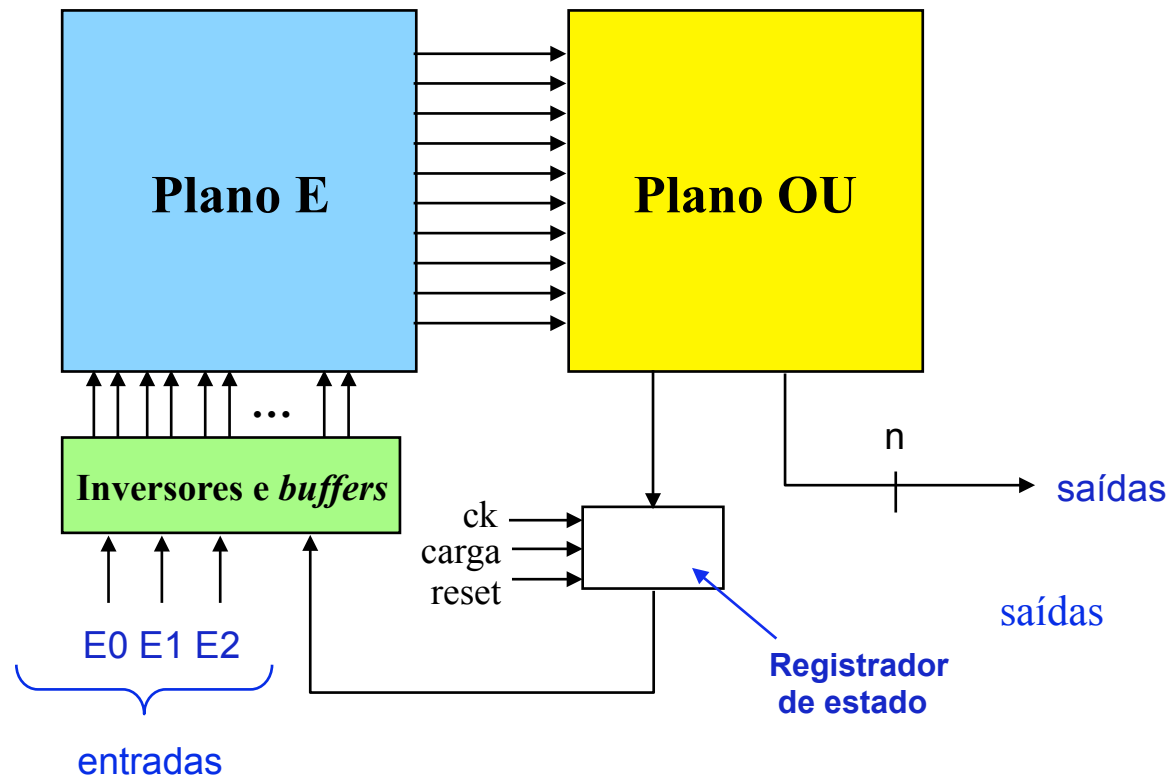
2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs Bloco ROM + Registrador Contador (Incrementador)



2. Máquinas Sequenciais Síncronas

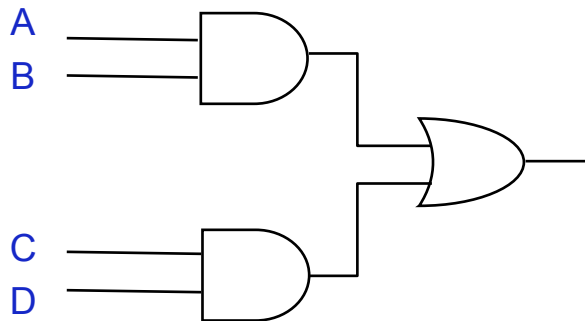
► Alternativas de Implementação de FSMs Lógica de Próximo Estado e Lógica de Saída como PLA



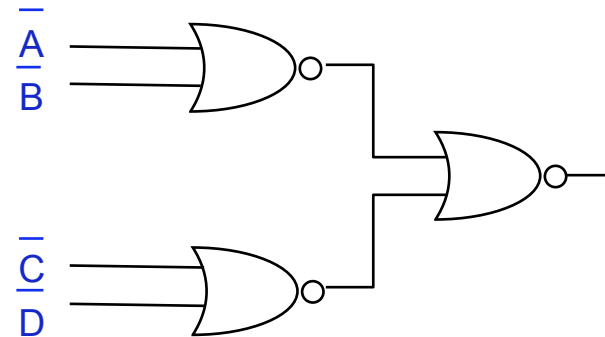
2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs PLA em Tecnologia CMOS

Soma de Produtos (SdP)



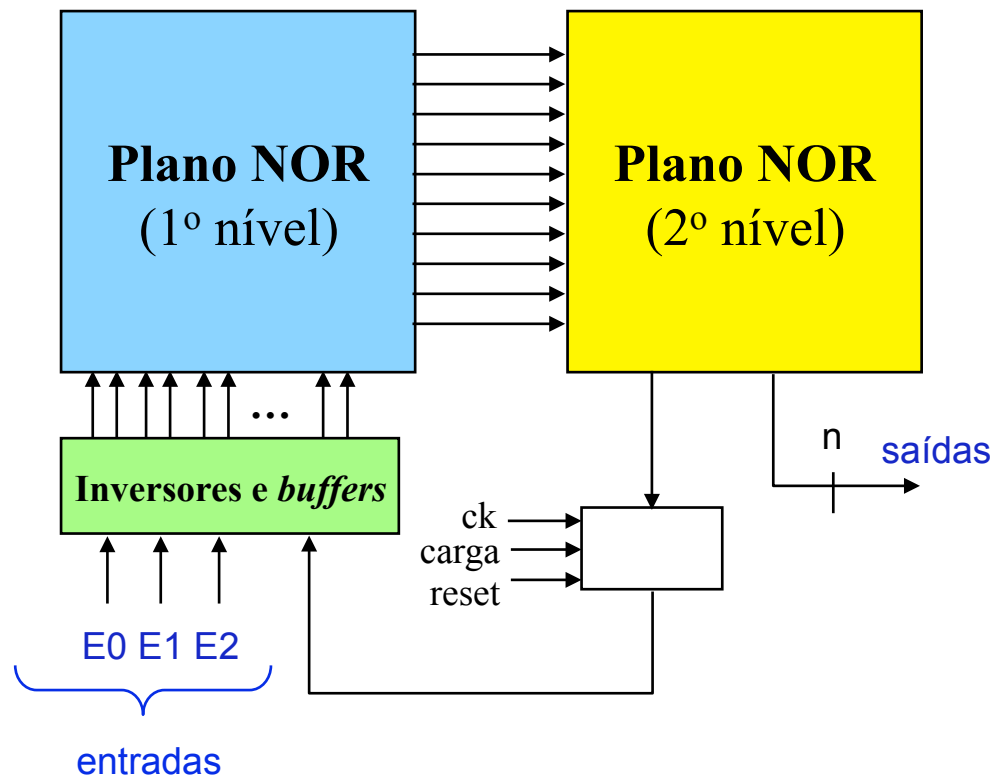
“NOR de NORs”



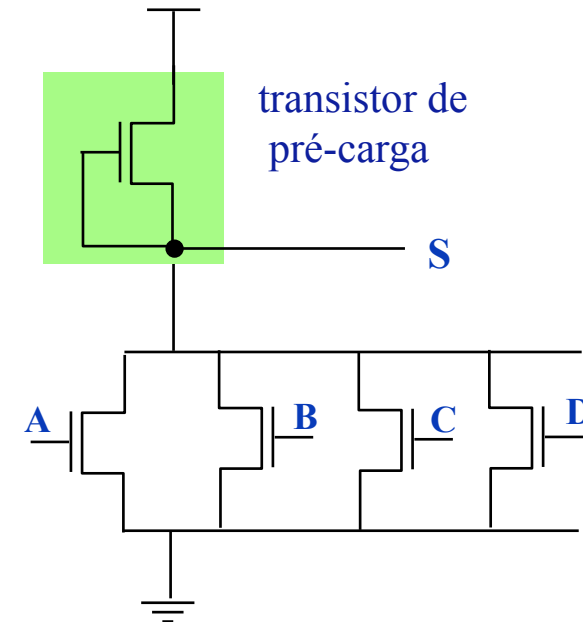
Negando as entradas e
aplicando De
Morgan...

2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs Lógica de Próximo Estado e Lógica de Saída como PLA

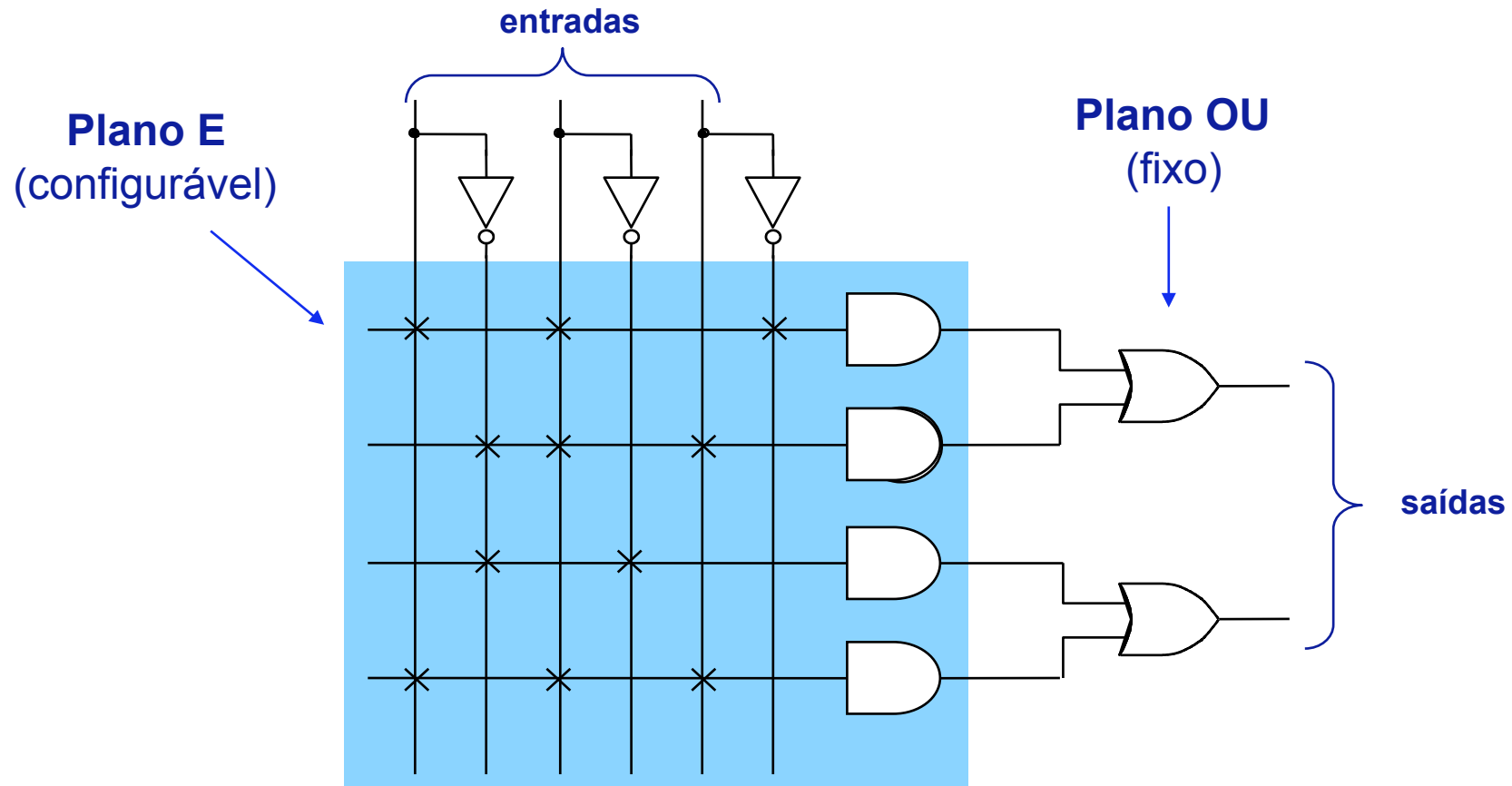


NOR CMOS com muitas entradas



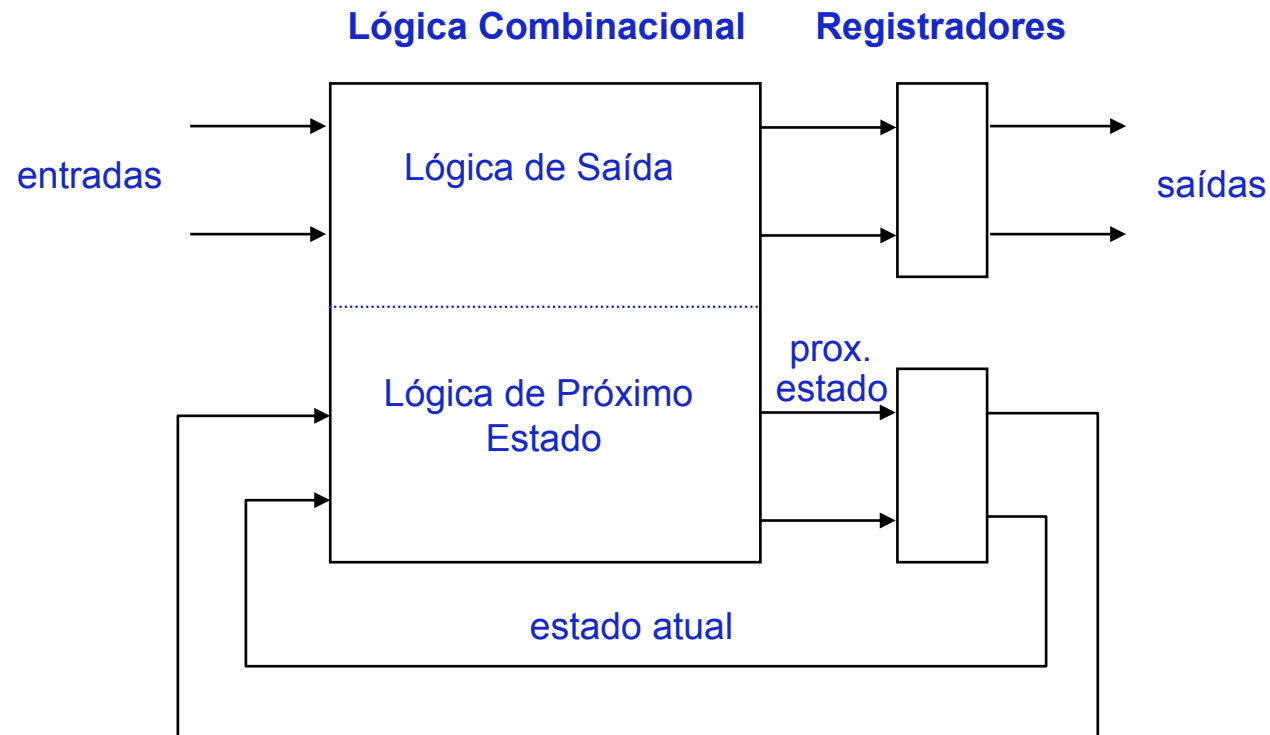
2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs Lógica de Próximo Estado e Lógica de Saída como PAL



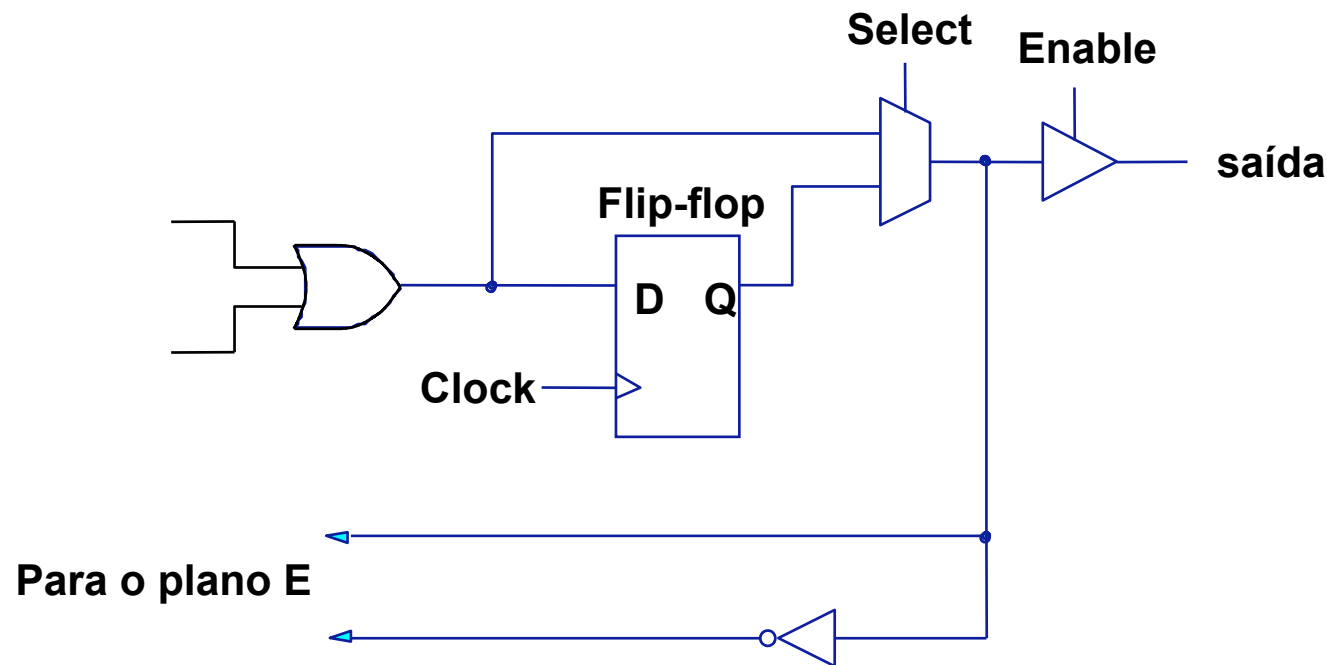
2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs Implementando uma FSM Completa com PAL



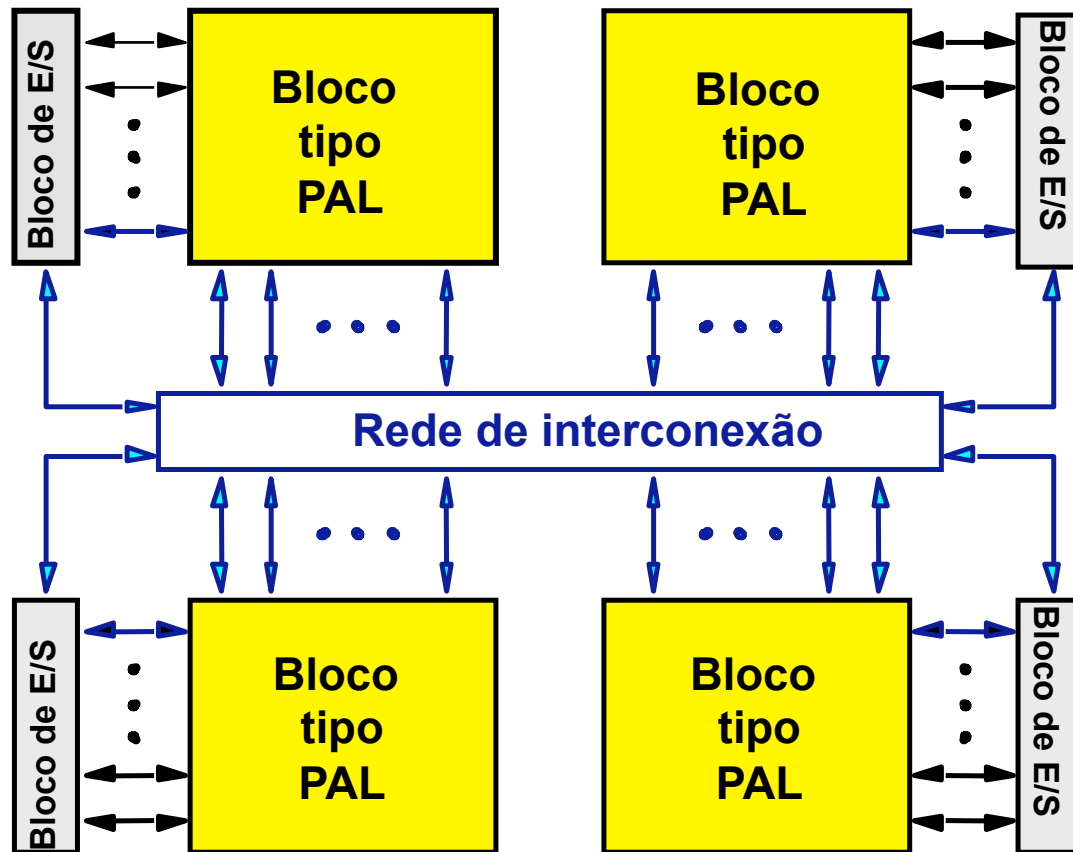
2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs Implementando uma FSM Completa com PAL



2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs Implementando uma FSM Completa em um CPLD



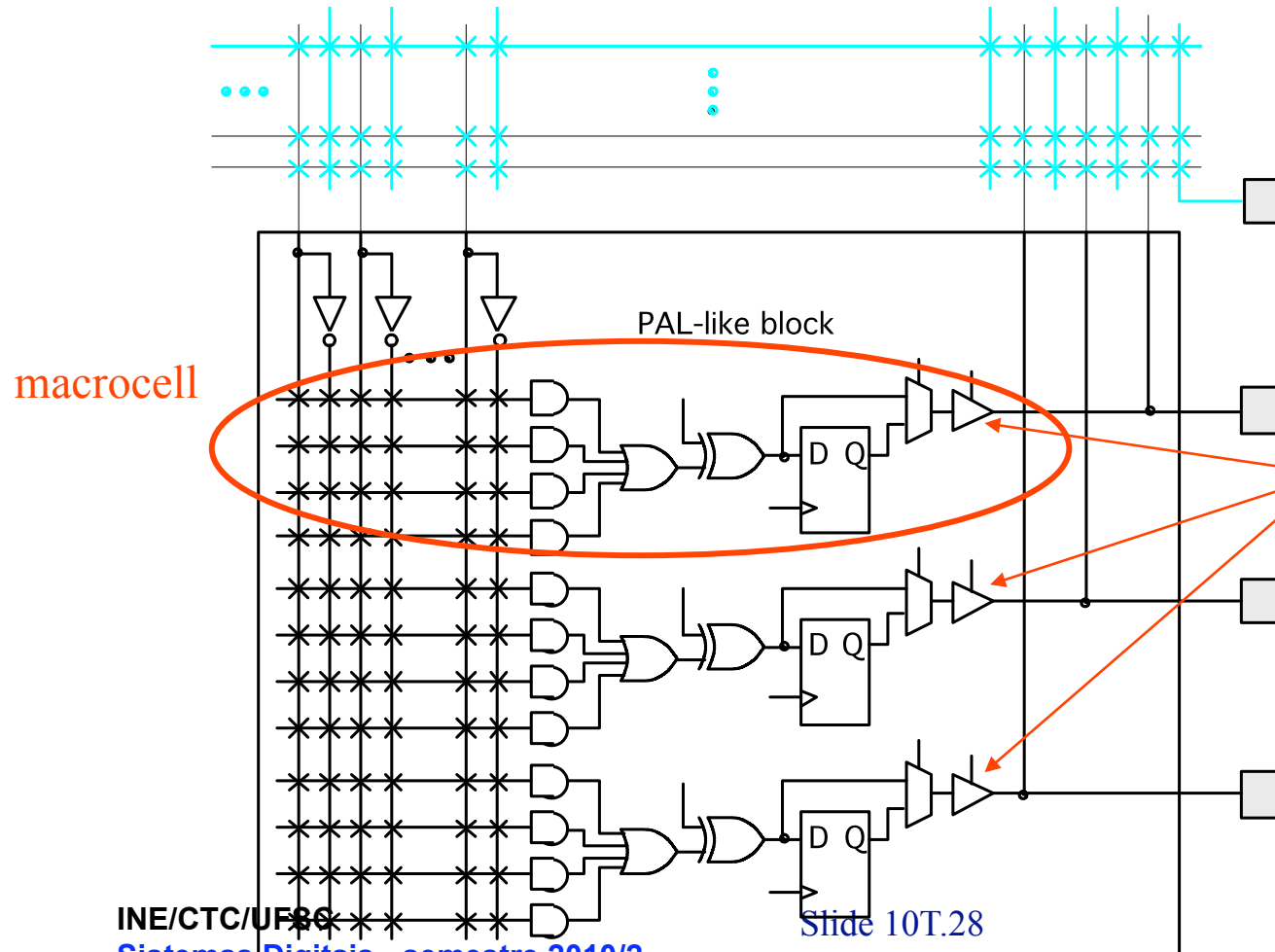
Estrutura de um CPLD

CPLDs existentes no mercado:

- Possuem entre 2 a 100 blocos tipo PAL
- Variedade de encapsulamentos, com até 200 pinos (QFP)

2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs Implementando uma FSM Completa em um CPLD

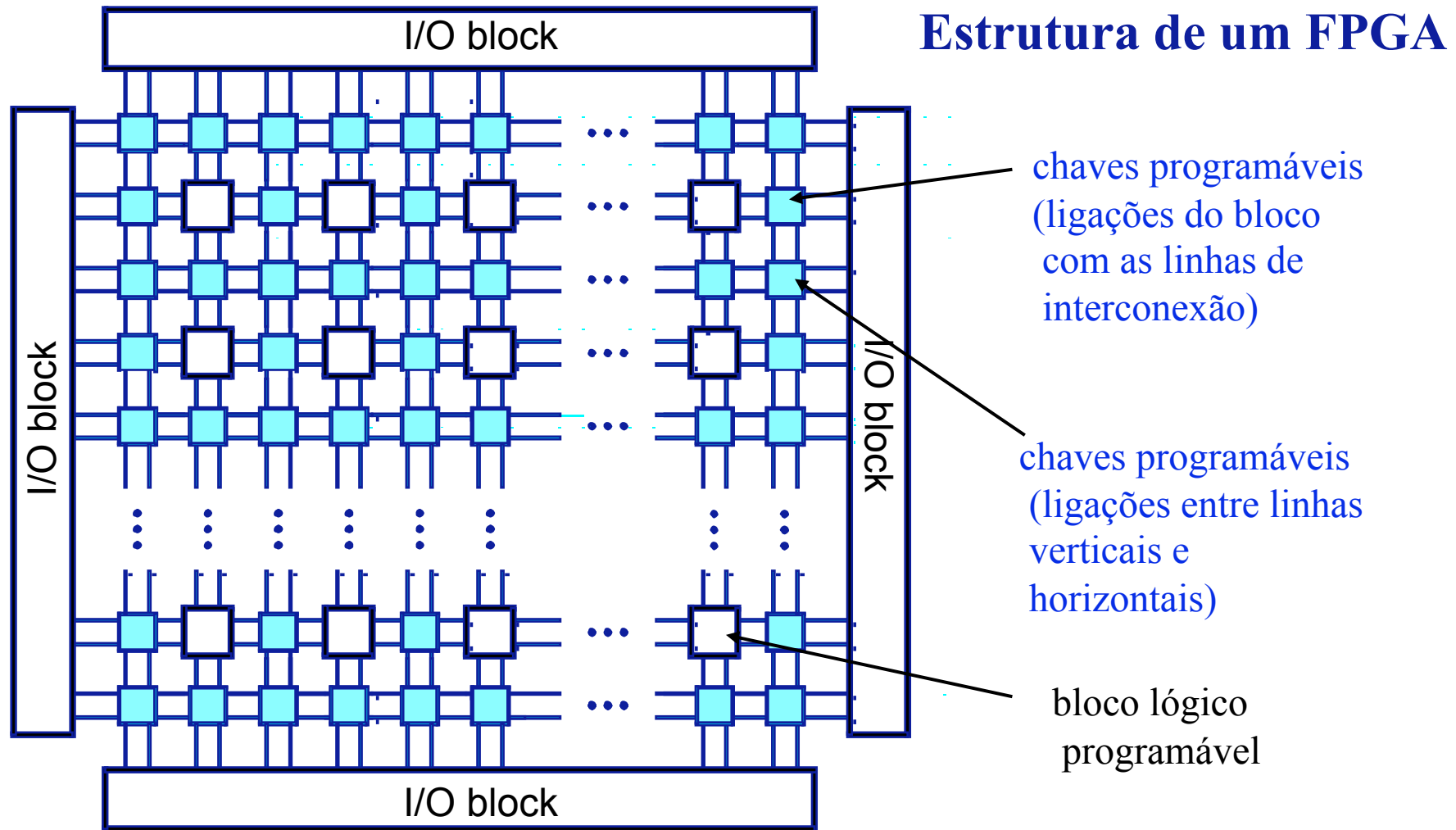


CPLDs reais:

- Cada bloco possui em torno de 16 macrocells
- Cada porta OR possui entre 5 a 20 entradas

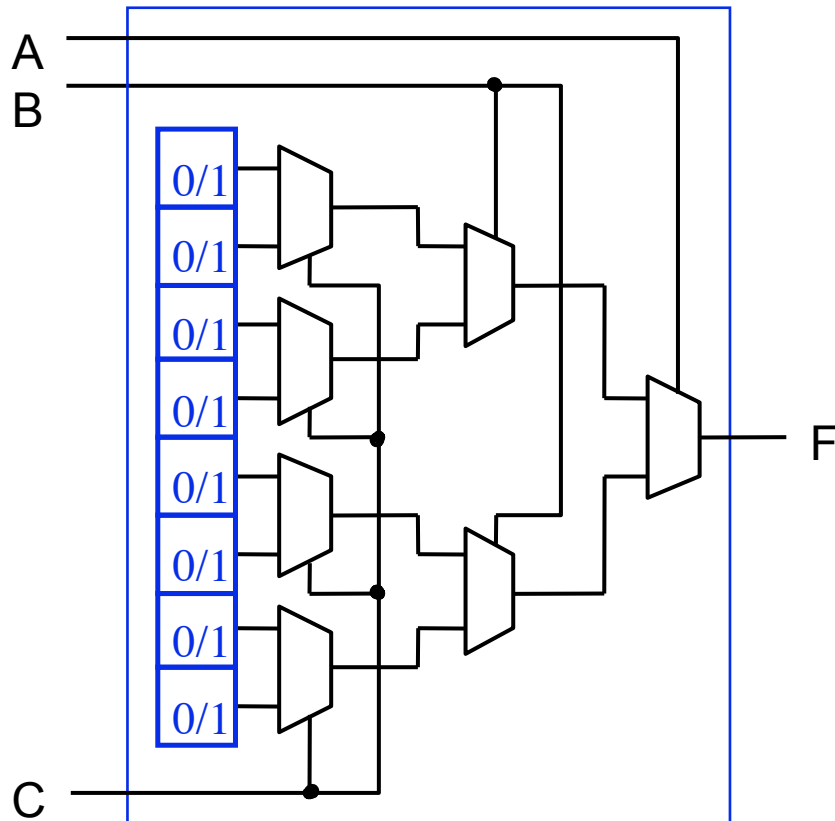
Tri-state buffers:
Permitem configurar os pinos (E/S)

2. Máquinas Sequenciais Síncronas



2. Máquinas Sequenciais Síncronas

► FPGAs: LUTs (*Lookup Tables*)



- Implementadas com muxes 2:1 e bits de memória, SRAM (reprogramabilidade...)
- Normalmente, possuem 4 ou 5 entradas
- Implementam qualquer função lógica. Para 4 entradas, existem

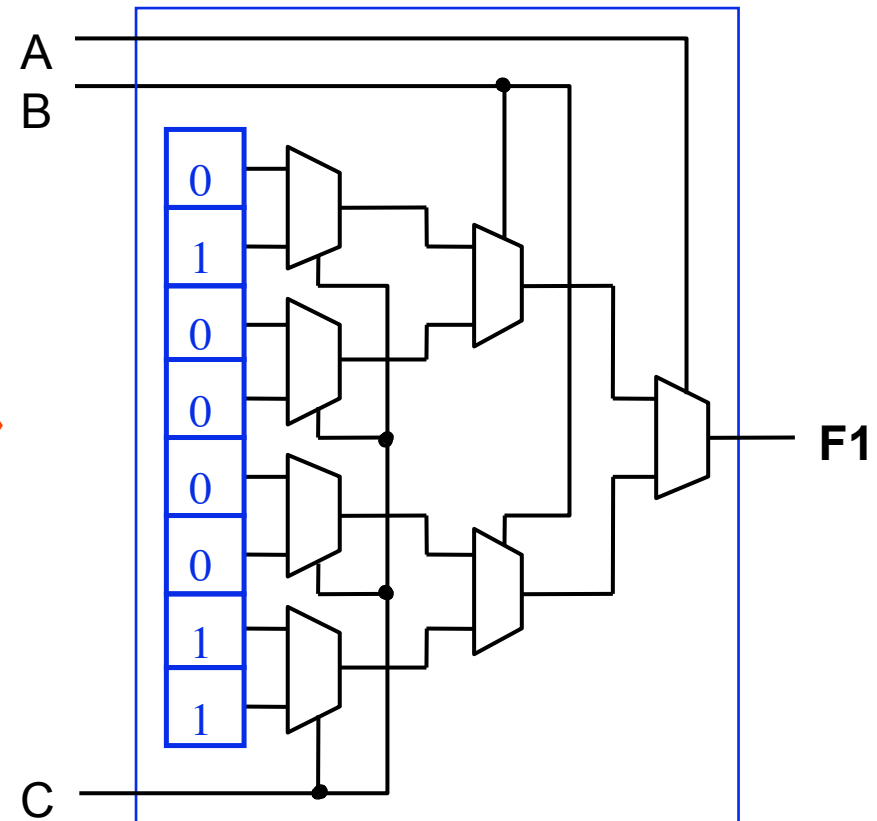
$$2^{2^4} = 65.536 \text{ diferentes funções!!!}$$

2. Máquinas Sequenciais Síncronas

► FPGAs: LUTs (*Lookup Tables*)

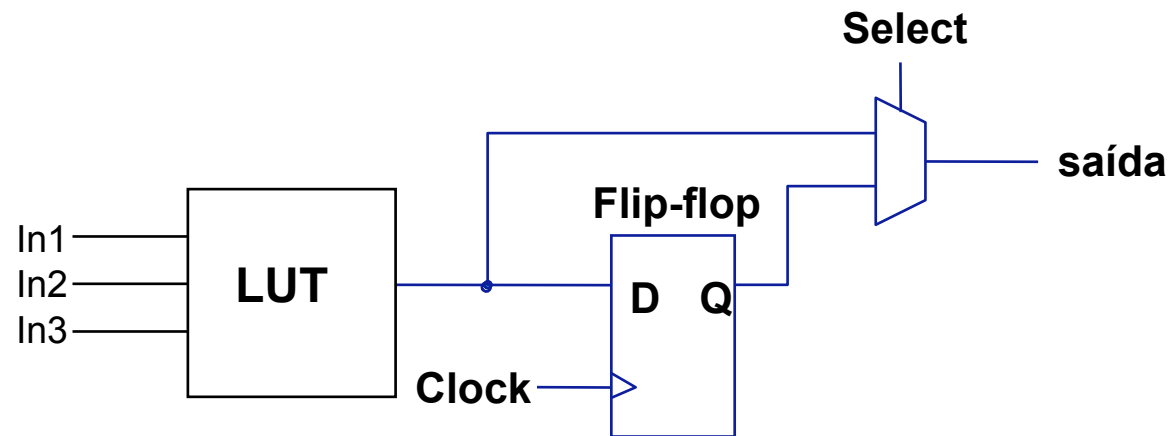
Programando LUTs

A	B	C	F1	F2
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	1
1	1	0	1	1
1	1	1	1	1



2. Máquinas Sequenciais Síncronas

► Alternativas de Implementação de FSMs Implementando uma FSM Completa em um FPGA



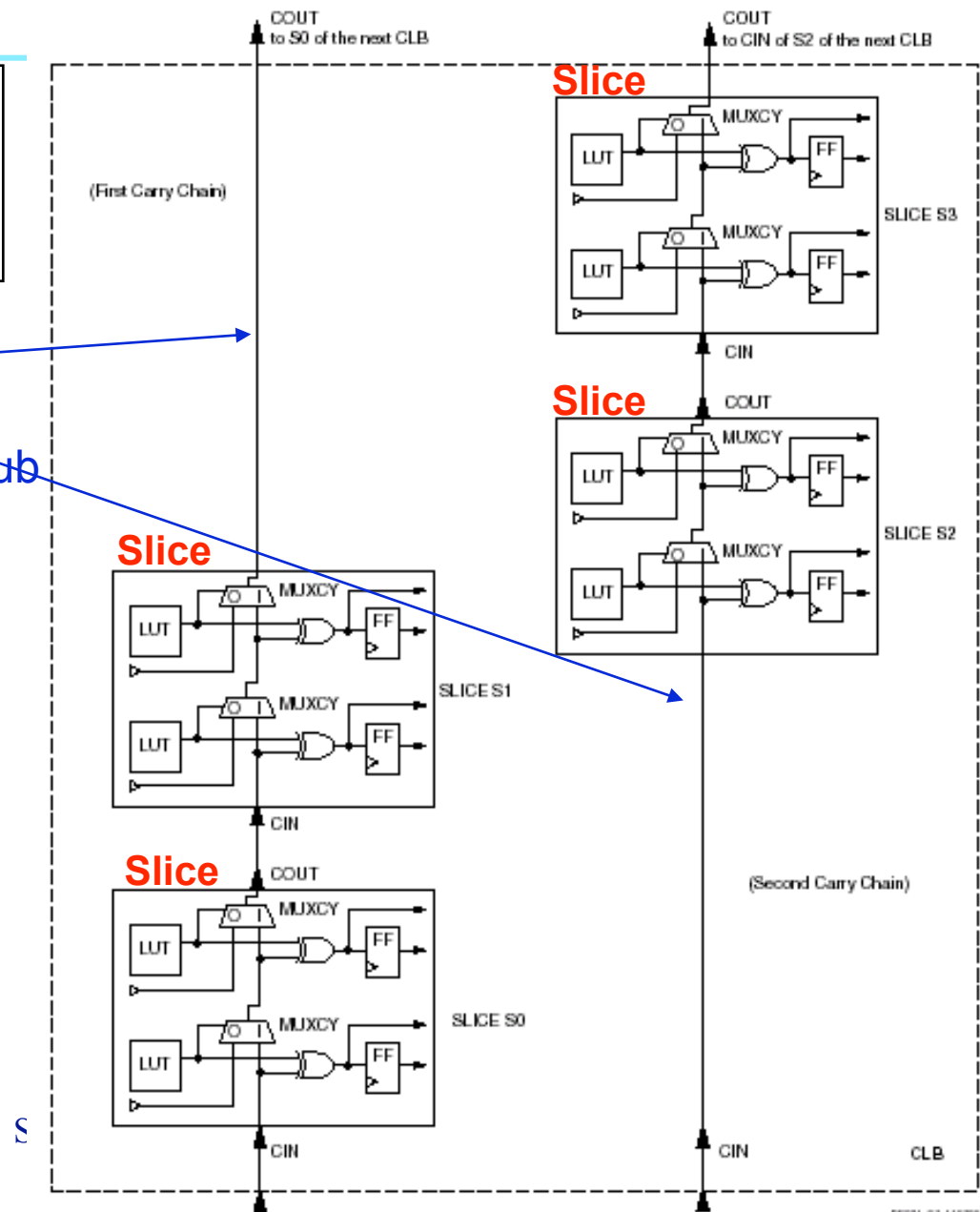
2. Máquinas Sequenciais Síncronas

Arquitetura do CLB do dispositivo VIRTEx-II

- Fast Carry Logic Path
- Provides fast arithmetic add and sub

RESUMINDO O CLB

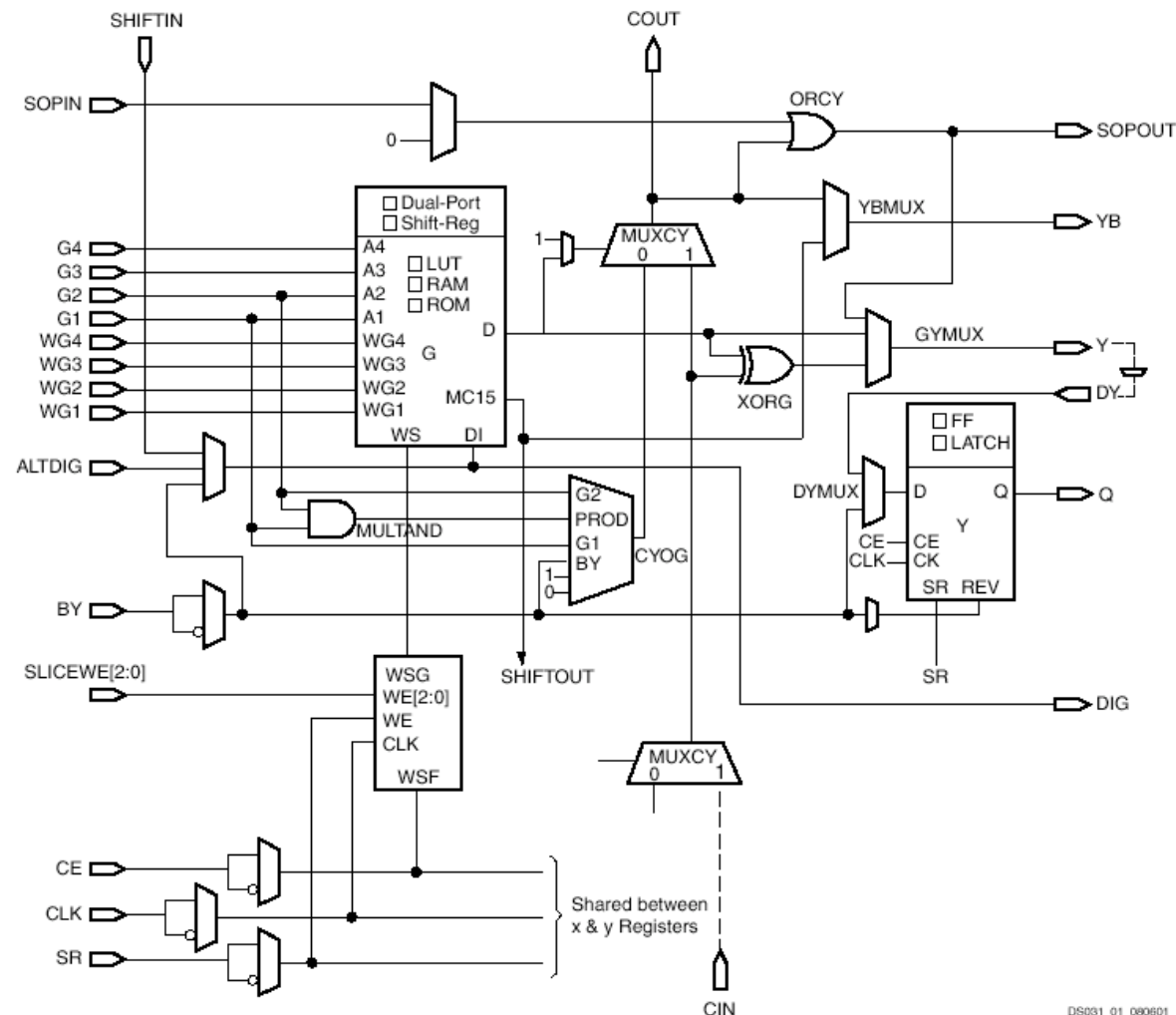
- 4 Slices
- 8 LUTS / 8 Flip-Flops
- 2 cadeias de vai-um
- 64 bits para memória
- 64 bits para shift-register



Transparência de F. Moraes (PUCRS)

2. Máquinas Sequenciais Síncronas

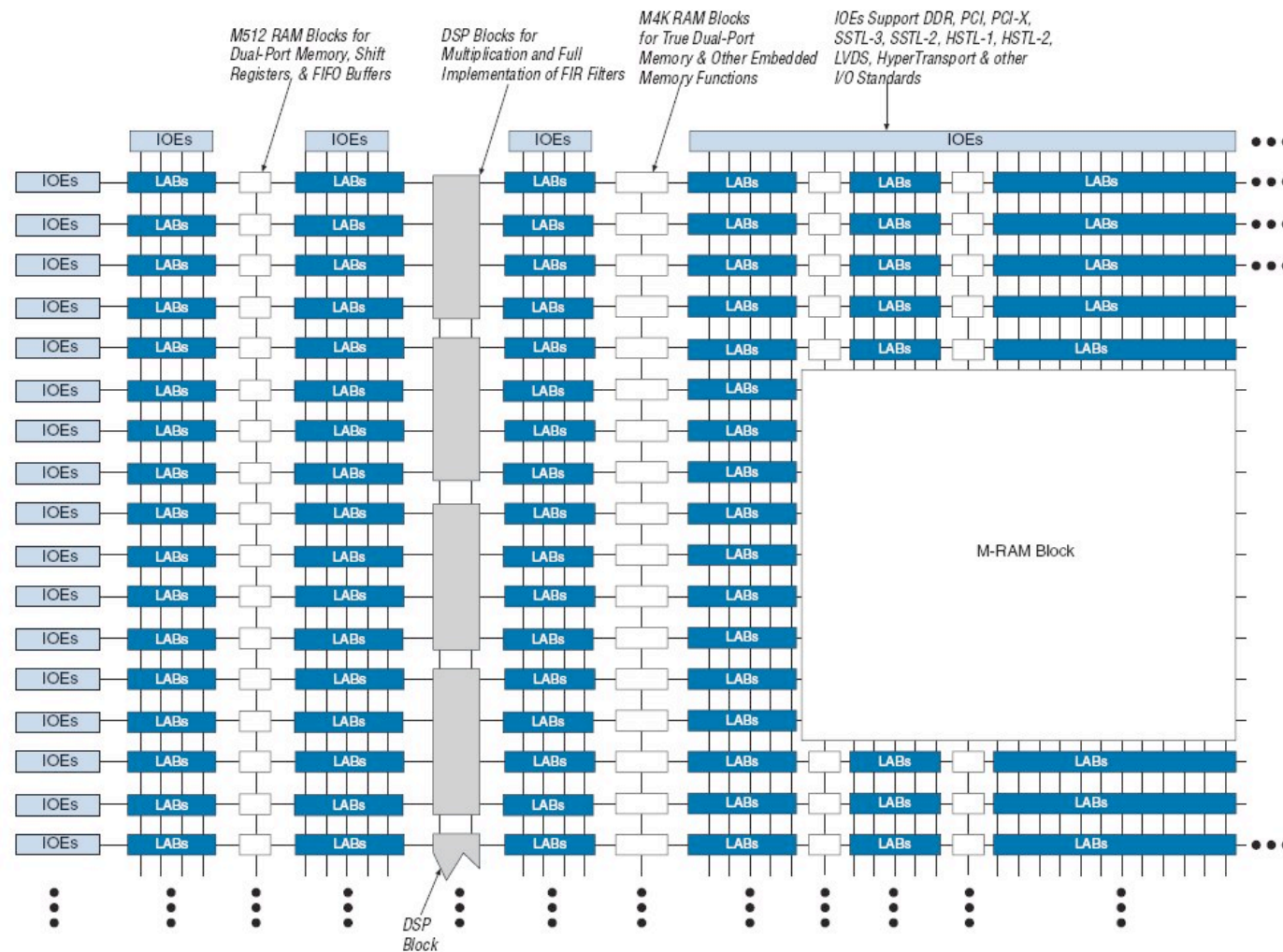
Arquitetura (metade) do Slice



2. Máquinas Sequenciais Síncronas

► FPGAs Altera: Stratix II

Estrutura Básica da Matriz do Stratix II



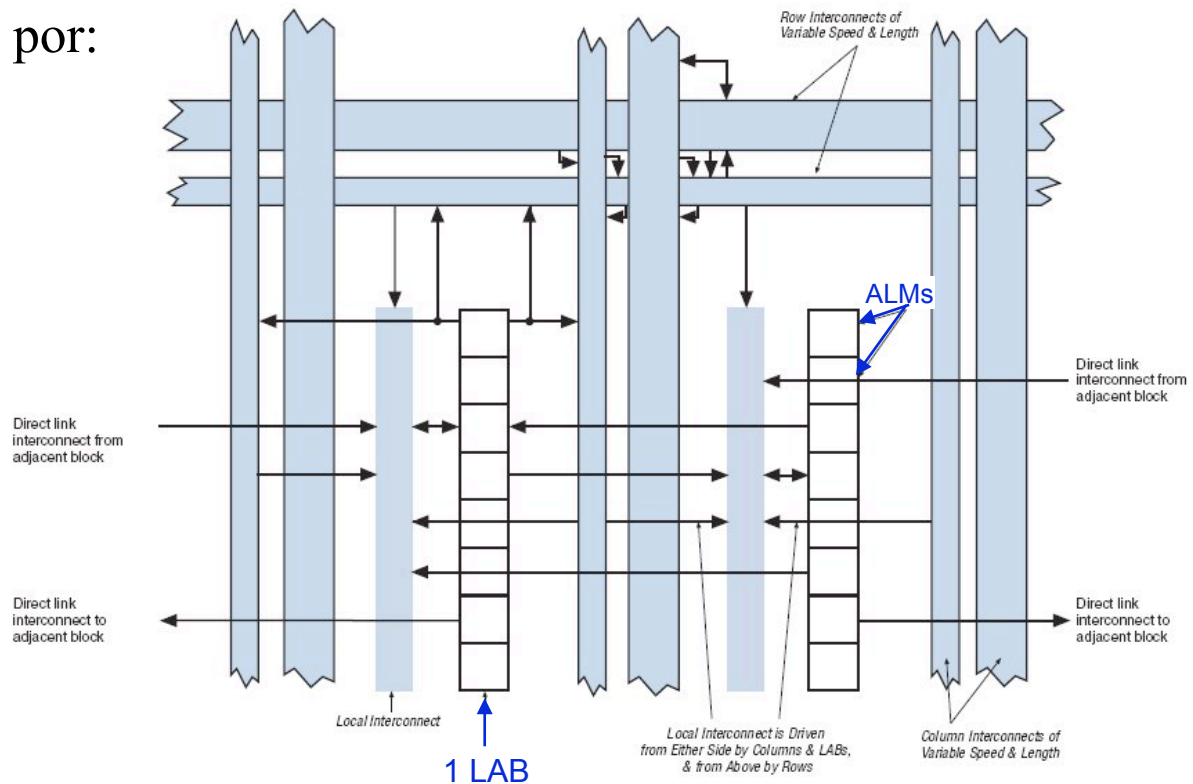
2. Máquinas Sequenciais Síncronas

► FPGAs Altera: Stratix II

Estrutura de um LAB (*Logic Array Block*)

Cada LAB é constituído por:

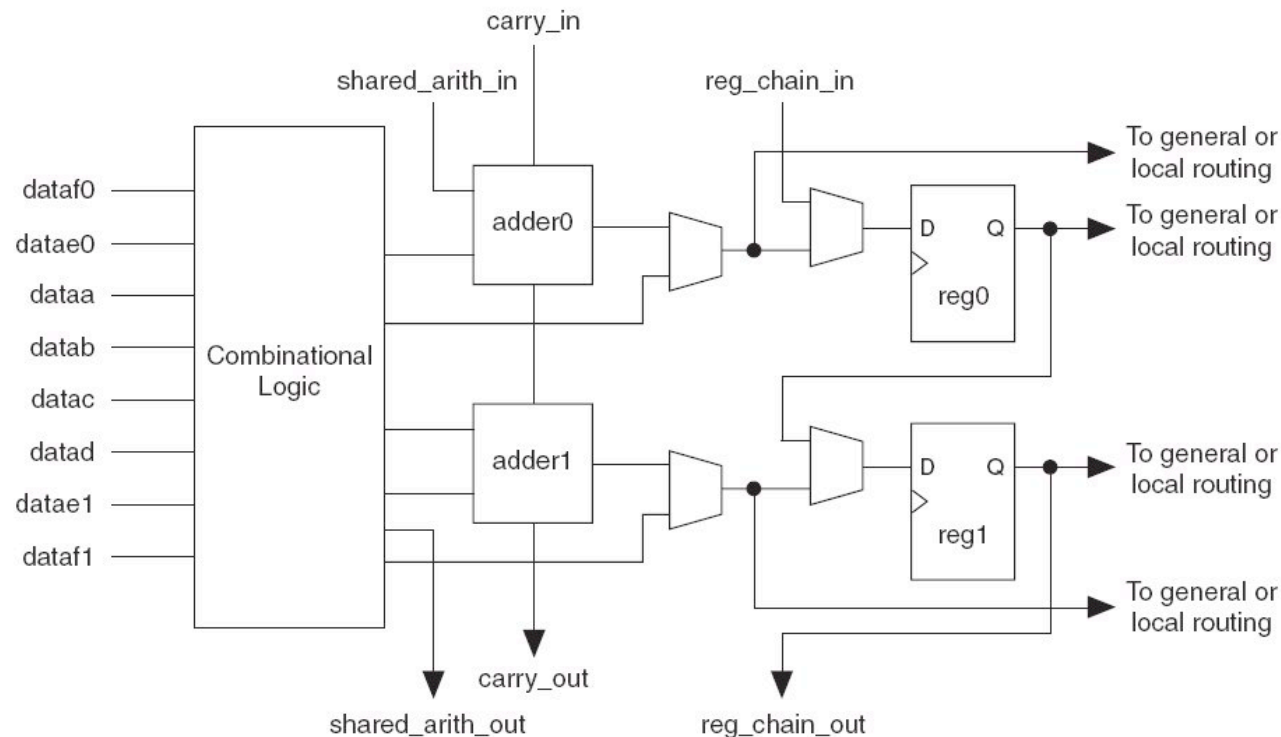
- 8 ALMs (*Adaptive Logic Modules*)
- Cadeia de *carry*
- Cadeia aritmética compartilhada
- Sinais de controle do LAB
- Conexões locais
- Cadeia de registradores



2. Máquinas Sequenciais Síncronas

► FPGAs Altera: Stratix II

Diagrama de blocos de um ALM



2. Máquinas Sequenciais Síncronas

► FPGAs Altera: Stratix II

Detalhes de um ALM

