

EXP. 8: CONTADORES

1. Introdução:

Os contadores digitais consistem de arranjos de flip-flops. Como a saída de um flip-flop tem dois estados, as saídas de um contador poderão assumir 2^n estados. O número de estados que as saídas de um contador digital pode assumir é chamada módulo. Apesar da saída de um contador poder assumir 2^n estados, este pode ter módulo inferior.

A mudança de estado das saídas de um contador está associado à ocorrência de um evento, que usualmente corresponde a um ciclo de sinal de relógio.

Dependendo da associação entre os flip-flops que compõem o relógio, pode-se ter um desempenho diferente do contador.

Os contadores cujo sinal de clock é ligado simultaneamente nas entradas “clock” de todos os flip-flops são chamados contadores síncronos.

2. Parte Experimental

Estudo dos contadores digitais CI's 7490 e 74191:

2.1 Analisar os modos de funcionamento do CI 7490:

- Verificar a tabela de função
- Montar um contador BCD
- Montar um divisor por cinco
- Montar contador de 0 a N

2.2 Analisar o funcionamento do contador programável CI 74191

- Verificar o diagrama de tempo
- Em operação normal (contagem de 0 a 15), em particular estudar a função dos seguintes pinos do CI: Enable, Load, Ripple Carry Output (TC); Up/Down
- Montar um contador de 0 a N (arbitrário);
- Montar um contador de N1 a N2 (arbitrários);

DM7490A Decade and Binary Counters

General Description

The DM7490A monolithic counter contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five.

The counter has a gated zero reset and also has gated set-to-nine inputs for use in BCD nine's complement applications.

To use the maximum count length (decade or four-bit binary), the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate Function Table. A symmetrical divide-by-ten count can be obtained from the counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A .

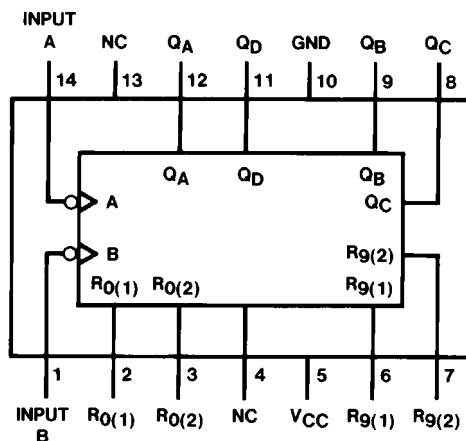
Features

- Typical power dissipation 145 mW
- Count frequency 42 MHz

Ordering Code:

Order Number	Package Number	Package Description
DM7490AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Connection Diagram



Function Tables

BCD Count Sequence (Note 1)

Count	Outputs			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

BCD Bi-Quinary (5-2) (Note 2)

Count	Outputs			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

Reset/Count Function Table

Reset Inputs				Outputs			
R0(1)	R0(2)	R9(1)	R9(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

H = HIGH Level

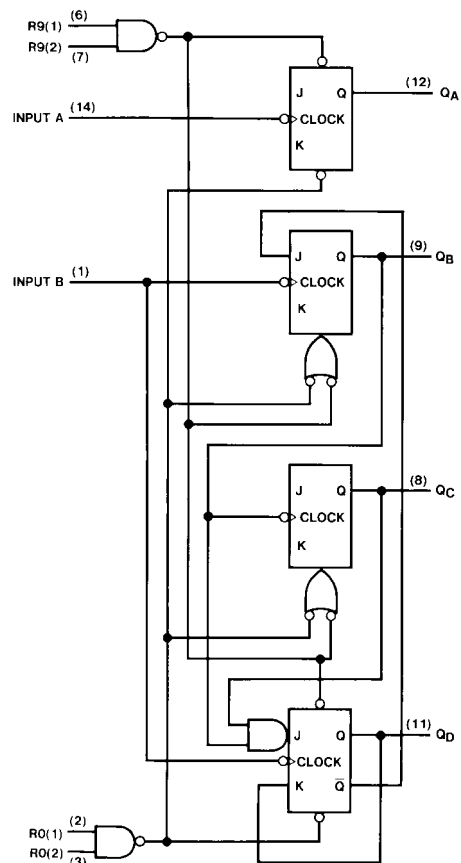
L = LOW Level

X = Don't Care

Note 1: Output QA is connected to input B for BCD count.

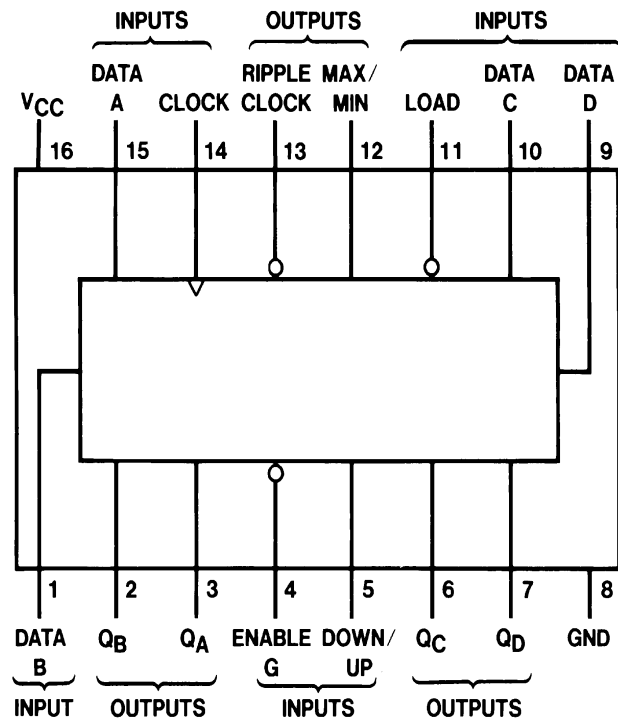
Note 2: Output QD is connected to input A for bi-quinary count

Logic Diagram



The J and K inputs shown without connection are for reference only and are functionally at a HIGH level.

Connection Diagram



Timing Diagram

