# Universidade Federal de Santa Catarina, INE/CTC INE 5366 – Arquitetura de Computadores I

# Primeira avaliação 2006-1

#### Parte I

- 1. [valor:  $6 \cdot 0.5 = 3.0$ ] Responda <u>sucintamente</u> as perguntas abaixo:
- a) Seja uma subrotina que inicia no endereço simbólico my\_procedure. Que instruções do MIPS são usadas para suportar sua chamada e seu retorno? (Instruções completas!)
   Chamada: Retorno:
- b) Seja a instrução: **lw \$s0, 9(\$zero).** <u>Afirmação</u>: "O dado a ser lido está alinhado na memória". A afirmação é verdadeira ou falsa ? Justifique.
- c) do *chip* resulta em um menor número de *chips* produzidos com o mesmo custo por *wafer*. O rendimento (yield) do processo de fabricação é a porcentagem de chips sem falhas em relação ao número total de chips produzidos. <u>Afirmação</u>: "O custo de um circuito integrado cresce com o tamanho do chip. Isto se deve ao menor número de chips por *wafer*, mas independe do rendimento". A afirmação é verdadeira ou falsa ? Justifique.
- d) Dado um programa, um compilador C1 gera o "mix" de instruções abaixo para uma máquina
   M1. Calcule o número médio de ciclos por instrução para o "mix" dado (Mostre seus cálculos).

Classe	CPI em M1	Uso de C1	
Saltos e desvios condicionais	3	20%	Dog
Operações aritméticas	4	60%	Res
Load/Store	5	20%	İ

Resposta: CPI =

e) Uma máquina de 32 bits é do tipo "big endian". A palavra esquematizada abaixo corresponde ao endereço de memória 4. Mostre no diagrama os endereços de cada um de seus quatro bytes.

MSB LSB

f) <u>Afirmação</u>: "O consumo de potência dinâmica em circuitos CMOS é mais sensível à variação de freqüência do que à variação de tensão." A afirmação é verdadeira ou falsa? Justifique.

## Parte II

- 2. [valor: 2 ´ 0,5 = 1,0] Seja o programa da questão 1d, gerado pelo compilador C1, rodando na máquina M1. Sabe-se que M1 é uma máquina "load/store" que opera à freqüência de 4GHz.
- a) Calcule o desempenho em MIPS (milhões de instruções por segundo).

- b) Quantos acessos à memória para ler ou escrever <u>dados</u> ocorrem por segundo? Justifique.
- 3. **[valor: 2 ´ 0,5 = 1,0]** Para cada pseudo-instrução abaixo, determine a sequência <u>mínima</u> equivalente de instruções nativas do MIPS. Suponha que big seja uma constante cujos 16 bits mais significativos e menos significativos, respectivamente, sejam denotados por upper(big) e lower (big).
- a) bgt \$t4, \$t5, L # se (\$t4 > \$t5), vá para L (2 instruções)
- b) lw \$t5, big(\$t2) # \$t5 = Memória[\$t2+big] (4 instruções)
- 4. **[valor: 2 ´ 0,5 = 1,0]** Dado o seguinte segmento de código em linguagem de montagem ("assembly"), consulte o anexo e transforme-o em linguagem de máquina para o MIPS:

```
slt $t0, $s5, $zero
bne $t0, $zero, Exit
lw $s0, 8($t1)
sub $s5, $s3, $s4
```

Responda no gabarito abaixo. Use números em decimal para mostrar o conteúdo de cada campo.

8000	0	21	0	8	0	42
8004						
8008						
8012	0	19	20	21	0	34

5. **[valor: 2 x 0,5 = 1,0]** Assuma que os conteúdos dos registradores \$s1 e \$s2 antes da execução do código abaixo sejam, respectivamente, 0xFFFFFFF e 0x00000010 (expressos em hexadecimal). Nota: lw e sw são pseudo-instruções que transferem dados de e para a memória nos endereços especificados pelos labels "mask" e "shifter".

.data mask: .word 0xfffff83f .text start: lw \$t0, mask \$s0, shifter lw \$s0, \$s0, \$t0 and andi \$s2, \$s2, 0x1f sll \$s2, \$s2, 6 \$s0, \$s0, \$s2 orsw \$s0, shifter shifter: sll \$s0, \$s1, 0

Exit:

a) Qual o conteúdo de \$s0 imediatamente após a execução da instrução "or"?

|--|

b) Qual o conteúdo de \$s0 imediatamente após a execução de toda a sequência de código ?

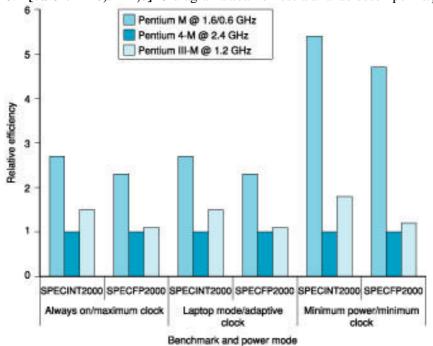
6. **[valor: 2 x 0,5 = 1,0]** Suponha que a instrução lbu \$t1, 0(\$t2) não pertencesse ao ISA do MIPS. Mostre como ela poderia ser implementada com duas outras instruções do MIPS.

### Parte III

7. [valor: 2 x 0,5 = 1,0] Cada uma das instruções abaixo estão armazenadas na palavra de endereço 0 da memória, em dois cenários distintos. Para cada cenário, qual o máximo endereço de memória, representado em 32 bits, que pode ser atingido pela execução da instrução carregada no endereço 0 ? Lembre que: o endereço da palavra-alvo é o endereço do byte nela contido que a identifica; todas as instruções do MIPS têm 32 bits e estão alinhadas; no modo relativo ao PC, o deslocamento pode ser negativo ou positivo.

Instrução no		Endereço-alvo																														
endereço 0	3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
3	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0						Ш				
a) beq \$s1, \$s2, label																																
b) jal label																																

8. [valor: 2 x 0,5 = 1,0] O diagrama abaixo ilustra a razão desempenho/potência para três CPUs.



Afirmação: "Dado o benchmark SPECINT2000, a máquina Pentium M resulta no menor tempo de execução médio para os três cenários mostrados." A afirmação é verdadeira ou falsa? Justifique.

b) <u>Afirmação</u>: "Dado o benchmark SPECINT2000, o Pentium M operando à freqüência de 1,6GHz é cerca de 5,5 vezes mais eficiente do que o Pentium 4-M operando à freqüência de 2,4 GHz." A afirmação é verdadeira ou falsa? Justifique.