

Universidade Federal de Santa Catarina, INE/CTC
INE 5411 – Organização de Computadores
Avaliação P3, 2008-2

Nome: _____ Matrícula: _____

Parte I - Compreensão de conceitos básicos [3,0 pontos]

Instruções e definição de critério de avaliação:

- A interpretação das questões é parte integrante desta avaliação. As respostas devem ser fornecidas no espaço para elas reservado. O verso da folha de prova não será avaliado (use-o como rascunho).
- Nas questões que solicitam resposta e justificativa, a resposta não será pontuada sem a devida justificativa, nem se esta última estiver incorreta.
- Nas questões que perguntam se uma afirmação é verdadeira ou falsa, a resposta só pode assumir um desses valores Booleanos (respostas do tipo “Sim” e “Não” serão consideradas incorretas).
- A pontuação de cada item (“a”, “b”, etc.) de uma questão é indivisível. Para um item ser considerado correto, toda sua resposta deve estar correta.
- Para responder a questões que se referem ao Pentium 4 e ao Opteron, consulte a Tabela 1 (à página 2).
- Os registradores Status e Cause são referenciados em “assembly” como 12 e 13, respectivamente.

1. [valor: $6 \times 0,5 = 3,0$] Responda sucintamente as perguntas abaixo:

a) Afirmação: “Quanto ao acesso a estruturas de dados, as caches primárias do Pentium 4 (L1/P4) e do Opteron (L1/OPT) têm o mesmo potencial de captura de localidade espacial”. A afirmação é verdadeira ou falsa? **Justifique.**

Resposta: _____ **Justificativa:** _____

b) A memória principal (MP) de um computador é organizada em 4 bancos de memória entrelaçada com largura de 1 palavra cada. A MP comunica-se com a cache secundária (L2) através de um barramento de sistema (FSB: “Front Side Bus”) com largura de 1 palavra. Cada bloco da L2 contém 4 palavras. São necessários 4 ciclos do FSB para enviar o endereço, 16 ciclos do FSB para cada acesso a um banco de DRAM e 4 ciclos do FSB para enviar uma palavra de dados. Qual a penalidade de falta (“miss penalty”) da cache L2, expressa em ciclos do FSB? **Justifique**, mostrando seus principais cálculos.

Resposta: Penalidade = _____

c) Quantos bits são usados para indexar a cache L1 do Opteron? **Justifique** mostrando seus cálculos principais.

Resposta? bits. **Cálculos:** _____

d) Quantos bits são usados para TAG na cache L2 do Opteron (que usa endereços de 40 bits)? **Justifique** mostrando seus cálculos principais.

Resposta: bits. **Cálculos** _____

e) Um sistema operacional (SO) atribui um nível de prioridade de interrupção (IPL: “Interrupt Priority Level”) a cada programa (ou processo). No IPL de mais baixa prioridade, todas as interrupções são permitidas; no de mais alta prioridade, nenhuma interrupção é permitida. A atribuição de um IPL a um programa P, consiste em configurar o sistema adequadamente, antes de disparar a execução de P. Escreva uma sequência com 3 instruções nativas do MIPS que configure o sistema para o IPL de mais baixa prioridade. Restrição: \$k0 é o único registrador de uso geral permitido na sequência de código.

Resposta: _____

f) O final do código de um tratador de exceções é mostrado abaixo. Ele possui uma vulnerabilidade: uma interrupção ou outra exceção podem ocorrer antes de o tratador finalizar sua execução, colocando em risco a garantia de preservação de valores através de sua invocação. Indique as alterações necessárias para eliminar

essa vulnerabilidade. Restrição: você deve remover duas instruções e substituir uma terceira. (Obviamente, as remoções e a substituição não devem comprometer o funcionamento do tratador). Risque as instruções a serem removidas e a instrução a ser substituída; escreva a instrução substituta ao lado da substituída.

```

done:      mtc0      $0,$13
           mfc0      $k0,$12
           li        $k1,0xffffffff
           and        $k0,$k0,$k1
           ori        $k0,0x1
           mtc0      $k0,$12
           lw         $at,save0
           lw         $ra,save1
           lw         $t0,save2
           lw         $t1,save3
           mfc0      $k0,$14
           addiu      $k0,$k0,4
           mtc0      $k0,$14
           jr         $k0

```

Tabela 1 - Características extraída dos manuais do Pentium 4 e do Opteron

Cache	Característica	Intel Pentium 4	AMD Opteron
L1	Organização	Caches separadas (dados e instruções)	Caches separadas (dados e instruções)
	Capacidade	8KB (dados) e 96KB (instruções)	64KB cada
	Associatividade	4-way	2-way
	Substituição	LRU	LRU
	Bloco	64 bytes	64 bytes
	Atualização	Write-through (com write buffer)	Write-back
L2	Organização	Cache unificada (dados e instruções)	Cache unificada (dados e instruções)
	Capacidade	512KB	1024KB
	Associatividade	8-way	16-way
	Substituição	LRU	LRU
	Bloco	128 bytes	64 bytes
	Atualização	Write-back	Write-back

Parte II – Aplicação de conceitos básicos [4,0 pontos]

2. [1,0] Sabendo-se que a cache L2 do Opteron usa, além do bit de validade, um bit para implementar o critério LRU e um outro bit para implementar o mecanismo de “write-back”, qual o número total de bits armazenados naquela cache (expresso em Kbits; $K = 2^{10}$)? **Justifique**, mostrando seus principais cálculos.

Resposta? Kbits. Cálculos:

3. [0,5 + 1,0 = 1,5] Um sistema possui uma cache primária de dados (L1-D), uma cache primária de instruções (L1-I), uma cache unificada secundária (L2) e uma memória principal (MP). A penalidade de falta da cache secundária foi calculada na Questão 1a (expressa em ciclos do FSB). A penalidade de falta da cache primária é 5 (expressa em ciclos de CPU). A frequência de relógio da CPU é 5 vezes a frequência de relógio do FSB. A taxa de fracassos combinada das caches primárias (mr = número total de acessos a L2 / número total de acessos à memória) é de 2%. A taxa de faltas global (gmr = número total de acessos à MP / número total de acessos à memória) é de 0,5%. Sabe-se que um programa executa 1 milhão de instruções, das quais 25% são loads ou stores.

a) Quantos ciclos de CPU são gastos no acesso a L2? **Mostre seus cálculos.**

Resposta: ciclos. Cálculos:

b) Quantos ciclos de CPU são gastos no acesso a MP? **Mostre seus cálculos.**

Resposta: ciclos. Cálculos:

4. [valor: 1,5] A Tabela 2 mostra de forma simbólica, para alguns endereços de memória na faixa de 0x0 a 0x31C, o conteúdo da memória principal. As colunas em branco são campos auxiliares para facilitar a correspondência entre endereços hexadecimais e binários (seu preenchimento não será pontuado).

Tabela 2 – Conteúdo (parcial) da memória principal

Endereço (0x)	End. [7:0] (0b)	Conteúdo	Endereço (0x)	End. [7:0] (0b)	Conteúdo
0000 0000		U	0000 0060		W
0000 0004		T	0000 0064		X
0000 0008		A	0000 0068		Y
0000 000C		R	0000 006C		Z
0000 0010		K	0000 0070		P
0000 0014		L	0000 0074		Q
0000 0018		M	0000 0078		R
0000 001C		N	0000 007C		S
0000 0100		α	0000 0300		E
0000 0104		β	0000 0304		F
0000 0108		χ	0000 0308		G
0000 010C		δ	0000 030C		H
0000 0110		π	0000 0310		C
0000 0114		θ	0000 0314		O
0000 0118		ρ	0000 0318		M
0000 011C		ω	0000 031C		P

Tabela 3 – Status da cache após a sequência de acessos

Bloco→	0								1							
Palavra→	000	001	010	011	100	101	110	111	000	001	010	011	100	101	110	111
Conjunto0																
Conjunto1																
Conjunto2																
Conjunto3																
Conjunto4																
Conjunto5																
Conjunto6																
Conjunto7																

Seja a seguinte sequência de referências à memória: **0x04, 0x60, 0x10C, 0x318, 0x1C**. Considere uma cache do tipo 2-way, inicialmente vazia, com 128 palavras, sendo que cada bloco contém 8 palavras. Preencha a Tabela 3 com o conteúdo final da cache imediatamente após aplicada a sequência de referências acima, usando os seguintes critérios e convenções: 1-Havendo 2 blocos livres num conjunto, o bloco trazido da memória deve ser armazenado no bloco livre de menor número (o preenchimento dos blocos na Tabela 3 deve ser da esquerda para a direita); 2-Havendo 1 bloco livre, nele deve ser armazenado o bloco trazido da memória; 3-Não havendo blocos livres, um dos blocos deve ser substituído de acordo com o critério LRU; 4-O conteúdo de cada bloco válido deve ser indicado explicitando todas as suas palavras.

(Critério: A pontuação parcial será proporcional ao número de blocos completos na cache)

Parte III – Generalização a partir de conceitos básicos [3,0 pontos]

5. [valor: 1,0] O trecho de código abaixo foi extraído do programa-fonte de um driver de uma interface serial.

```
// trecho de uart_dev_drv.h
#define UART_BASE_ADDR 0xA0000000 // endereço-base do dispositivo uart
#define UART_IER 0x0 // offset do registrador IER de uart
#define UART_THR 0x2 // offset do registrador THR de uart
...
#define UART_LSR 0x5 // offset do registrador LSR de uart

// trecho de uart_dev_drv.c
...
/* escreve "0" no endereço de memória obtido pela soma entre parênteses */
*(UART_BASE_ADDR + UART_THR) = 0; // inicialização de THR
...
```

Suponha que o programa-fonte tenha sido compilado para o MIPS. Mostre a sequência de código em linguagem de montagem para a inicialização do registrador THR (cada registrador do dispositivo UART tem 8 bits). Restrição: a sequência deve ter 2 instruções: a pseudo-instrução *la* (que você deve completar) e uma instrução nativa (que você deve escrever).

Resposta:

```
.data
UART_BASE_ADDR: .word 0xA0000000
.text
...
la
```

6. [2 x 0,5 =1,0] O processador Opteron usa endereços virtuais de 48 bits e endereços físicos de 40 bits e admite um tamanho de página de 4MB. Suponha que sejam usados 3 bits para controle: um para detectar se a página está carregada em memória principal, outro para implementar o critério LRU e outro para implementar o mecanismo de “copy back”. Responda as questões abaixo e **mostre seus cálculos**.

a) Quantos elementos tem a tabela de página (em potência de dois)?

Resposta: elementos. **Cálculos:**

b) Quantos bits são necessários para armazenar cada elemento da tabela de páginas na MP?

Resposta: bits. **Cálculos:**

7. [valor: 1,0] Ao executar os programas do benchmark SPEC 2000 no processador Intrisity FastMATH, obtiveram-se taxas de fracassos de **dmr** = 11,4% na cache de dados e **imr** = 0,4% na cache de instruções. Sabe-se que 34,15% das instruções do SPEC 2000 são loads ou stores. Quer-se calcular o número de ciclos de pausa através da seguinte expressão: acessos/programa × mr × penalidade. Qual o valor de mr (expresso em percentagem, com precisão de 1 dígito após a vírgula)? **Justifique**, mostrando seus principais cálculos.

Resposta: mr = %. **Cálculos:**