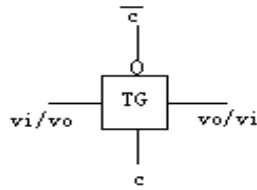


一、门电路

- a) 门电路主要有：与门、或门、非门、与非门、或非门、异或门等。
 - b) 在数字电路中，一般用高电平代表 1、低电平代表 0，即所谓的**正逻辑系统**。反之，用高电平代表 0、低电平代表 1，即所谓的**负逻辑系统**。
 - c) **分立元件门电路缺点**
 - i. 体积大、工作不可靠。
 - ii. 需要不同电源。
 - iii. 各种门的输入、输出电平不匹配。
 - d) **集成电路特点**
 - i. 体积小，可靠性高，速度快，输入、输出电平匹配。
 - ii. 目前使用的集成电路主要有两类：**TTL 集成门电路**和 **CMOS 集成门电路**
 - e) **TTL 电路**:
 - i. 输入和输出端结构都采用了**半导体晶体管**
 - ii. **悬空的输入端**相当于接高电平。
 - iii. 为了防止干扰，可将与门多余的输入端接高电平，将或门多余的输入端接低电平。
 - iv. 集电极开路的与非门（**OC 门**）
 1. TTL 禁止将两个 TTL“与非”门输出端**直接**并联（线与），原因：
 - a) 抬高第二个门输出的低电平；
 - b) 会因功耗过大**损坏**门器件。
-
2. 符号：
 3. 应用时**输出端**要接一上拉电阻 R_L
 4. 功能：
 - a) OC 门可以实现“**线与**”功能
 - b) OC 门可以实现**电平转换**功能（eg.直接驱动 CMOS 电路）
- v. **三态门（TS 门）**
 1. $F = (AB)E'$ ， E' 使能端， $E'=0$ 时， $F=(AB)$ ； $E'=1$ 时，输出高阻态
 2. 功能：
 - a) 主要作为 TTL 电路与**总线**间的接口电路
 - b) 使用两个三态门实现**双向传输**
- f) **CMOS 电路（CMOS 电路就是将 NMOS 管和 PMOS 管结合，而 MOS 电路是单用一种）**:
 - i. **优点**:
 1. 工艺简单，**集成度高**。
 2. 是电压控制元件，**静态功耗小**。
 3. 允许**电源电压范围宽**（3~18V）。
 4. **抗噪声容限大**，输出驱动电流比较大
 - ii. **缺点**:
 1. 工作**速度**比 TTL 低。

iii. CMOS 门电路的输入端**不允许悬空**。

iv. CMOS **传输门**



1. 符号：

2. $C=1$ 时传输门接通， $V_O=V_I$; $C=0$ 时，传输门关闭，入、出阻断。

v. 在使用和存放时应注意**静电屏蔽**

二、逻辑电路

a) 组合逻辑电路

i. 现时的输出仅取决于**现时**的输入

ii. 特点：

1. 其电路结构只含有**逻辑门**电路，而不含有记忆元件；

2. 且只有**从输入到输出的通路**，而不具有从输出到输入的反馈回路。

iii. **组合逻辑电路分析（电路->逻辑功能）**

1. 由给定的逻辑图写出逻辑关系表达式。

2. 用逻辑代数或卡诺图对逻辑表达式进行化简。

3. 列出输入输出状态真值表并得出结论。

iv. **组合逻辑电路设计（逻辑功能->电路）**

1. 确定输入、输出列出真值表

2. 写出表达式并化简

3. 画逻辑电路图

v. **几种常用的中规模组件**

1. **优点：**

a) **减少**电路所需的**模块总数**；

b) **降低成本**；

c) **提高电路可靠性**。

2. **编码器**

a) 将一系列信号状态编制成二进制代码。

3. **译码器**

a) 将某个二进制翻译成电路的某种状态。

b) **片选控制端的两个作用：**

i. 消除译码器输出尖峰干扰

ii. 逻辑功能扩展（2-4 线译码器->3-8 线译码器）

c) **显示译码器**

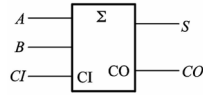
4. **数据选择器**

a) 8 选 1 数据选择器相当于四变量与后再或（多变量可以降维使用）

5. **加法器**

a) **半加器**（异或实现）

b) **全加器**



- i. 符号:
- ii. 串行进位加法器 和 超前进位加法器

6. 数值比较器

vi. 竞争与冒险

1. 竞争: 门电路两个输入信号同时向相反的逻辑电平跳变
2. 冒险: 毛刺
3. 主要原因:
 - a) 传输延时
 - b) 所经路径不同, 各路信号产生的延迟时间不同
 - c) 信号变化不可能瞬间完成, 而需要一个过渡时间。
4. 消除方法:
 - a) 滤波法(接入滤波电容)
 - b) 脉冲选通法
 - c) 修改设计方案

b) 时序逻辑电路

- i. 除与现时输入有关外还与原状态有关 (组合电路 + 触发器)
- ii. 组成时序电路的基本单元是触发器。
- iii. 分类
 1. 同步: 存储电路里所有触发器由一个统一的时钟脉冲源控制
 2. 异步: 没有统一的时钟脉冲
- iv. 触发器

1. 是记忆元件、有反馈、输出与原来状态有关。
2. 分类

a) 按触发方式分

- i. 电平触发方式
- ii. 脉冲触发方式
- iii. 边沿触发方式

b) 按逻辑功能分

- i. R-S 触发器
- ii. J-K 触发器
- iii. D 触发器
- iv. T 触发器。

3. 按逻辑功能分

a) SR 锁存器

- i. SD 为置 1 输入端, RD 为置 0 输入端, 00 保持
- ii. 条件: $SD \cdot RD = 0$, SD、RD 同时为 1 时, 结束时状态不定。
- iii. 特征方程: $Q_{n+1} = S + R' \cdot Q_n$

b) JK 触发器

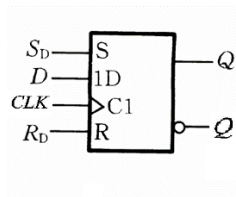
- i. J 为置 1 输入端, K 为置 0 输入端, 00 保持, 11 反转
- ii. 特征方程: $Q_{n+1} = J \cdot Q_n' + K' \cdot Q_n$

c) T 触发器

- i. T 为 1 反转, T 为 0 保持

ii. 特征方程: $Q_{n+1} = T \oplus Q_n$

d) **D 触发器**



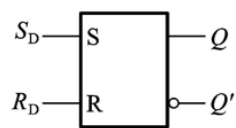
i. 符号:

ii. $Q_{n+1} = D$

4. 按触发方式分

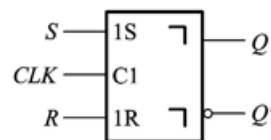
a) **电平触发**

i. CLK 到达时, S 和 R 起作用



ii. 符号:

b) **脉冲触发**



i. 符号:

ii. $clk=1/clk'=0$ 时, 脉冲到达恢复状态时的下降/上升沿时触发改变

iii. 每个 clk 周期, 输出状态只可能改变一次

c) **边沿触发**

i. Q^* 发生在 clk (变化到达时) 的上升沿/下降沿

d) **边沿触发抗干扰能力强, 且不存在空翻, 应用较广泛。**

v. 时序电路的逻辑功能描述方法

1. 状态方程
2. 状态图
3. 状态表
4. 时序图

vi. 同步时序电路分析

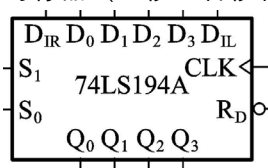
1. 写各触发器的驱动方程, 写电路的输出方程
2. 写触发器的状态方程
3. 作状态转换表及状态转换图
4. 时序波形图

vii. 常用中规模集成时序电路

1. **寄存器**

a) 数码寄存器

b) 移位寄存器 (左移、右移和双向)



i.

- ii.
 - (1) 当 $R'D=0$ 时, 异步清零。
 - (2) 当 $S1 = S0 = 1$ 时, 并行送数。
 - (3) 当 $S1 = S0 = 0$ 时, 保持。
 - (4) 当 $S1=0, S0=1$ 时, 右移且数据从 DIR 端串行输入。
 - (5) 当 $S1=1, S0=0$ 时, 左移且数据从 DIL 端串行输入。

2. 计数器

a) 分类:

- i. 按进位方式分
 - 1. 同步计数器
 - 2. 异步计数器
- ii. 按进位制分
 - 1. 二进制计数器
 - 2. 十进制计数器
 - 3. 任意进制计数器
- iii. 按逻辑功能分
 - 1. 递增计数器
 - 2. 递减计数器
 - 3. 可逆计数器

b) CLR: 异步清零, 低电平有效。

c) LOAD: 同步预置, 低电平有效。

d) 功能扩展

- i. 同步预置法
- ii. 反馈清零法

e) 同步计数器的工作频率高, 异步计数器电路简单。

viii. 同步时序电路的设计

1. 给定逻辑功能
2. 写原始状态图、原始状态表
3. 状态简化得最小化状态表
4. 状态编码
5. 选触发器类型, 写驱动方程、输出方程
6. 画逻辑电路图
7. 画出全状态图
8. 检查设计, 如不符合要求, 重新设计