

Lab 10: 分析、重建 JK-FF Sequential Circuit

目標：

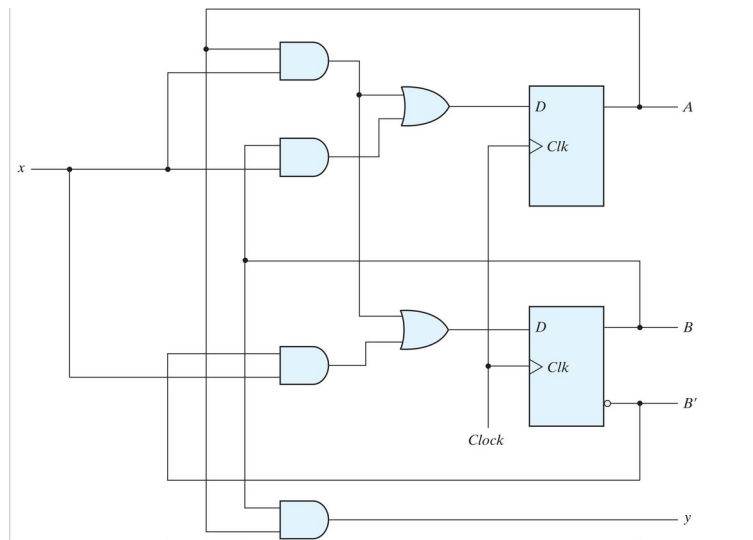
練習分析 sequential circuits，以為設計 sequential circuits 之基礎。

使用設備：

Quartus Prime (Lite 17.1)、Altera DE0-CV 實驗板。

內容敘述：

1. 分析 D-type edge-triggered flip-flop 電路。
2. 以 JK-type edge-triggered flip-flop 重新設計電路，以實現下圖電路：



- (a) 其中 Set A, Set B, Reset 及 x, y 為輸入、出訊號，而 $Clock$ 為時脈訊號。
 - (b) 觀察三種電路的狀態 A, B 及 y 輸出變化。
3. DE2 的針腳定義如下：
 - (a) x 輸入使用開關 SW0，並同時顯示在 LEDR0，以利除錯、檢查。
 - (b) reset 使用 Key0，Clock 使用 SW1。
 - (c) 各輸出為 LEDR3~1、LEDR6~4、LEDR9~7，（注意：D-FF 的輸入也要觀察）
 4. 在檢查前需完成以下要求：
 - (a) 步驟 1、2 的波型模擬圖。
 - (b) 步驟 2 電路下載至 DE0-CV。
 - (c) 各**模組的命名**列入檢查，不符規則需修改名稱。（參考「課程資訊」講義）

進階實驗：（加分題）

1. 無

討論：

1. 無