

14. MEMORIJE

Svaki memorijski sistem (memorija) treba da ispunи tri osnovna zahtjeva: da u određenom trenutku primi podatak, da zadržи (memoriše) primljeni podatak u nepromijenjenom obliku i da taj podatak po potrebi preda nekim drugim kolima.

Memorije su složeniji elektronski digitalni sklopovi ili sistemi u čijem sastavu se nalaze memorijski elementi (tzv. memorijske ćelije) u kojima se vrši memorisanje podataka i odgovarajuća dodatna kola koja omogućavaju upisivanje i očitavanje podataka

Dva najvažnija parametra koja karakterišu memorije su:

- kapacitet memorije (broj memorisanih bita),
- brzina funkcionisanja (vrijeme pristupa plus vrijeme prenosa podatka).

Pristup memorijskom elementu može biti direktani (slučajni) ili sekvencijalni.

Prema načinu realizovanja i korištenja memorije mogu biti:

- destruktivne (nakon čitanja dolazi do brisanja sadržaja),
- nedestruktivne,
- postojane,
- nepostojane (flipflopovi),
- magnetne (magnetna jezgra, magnetne površine),
- nemagnetne (poluprovodničke, kriotronske, optičke memorije).

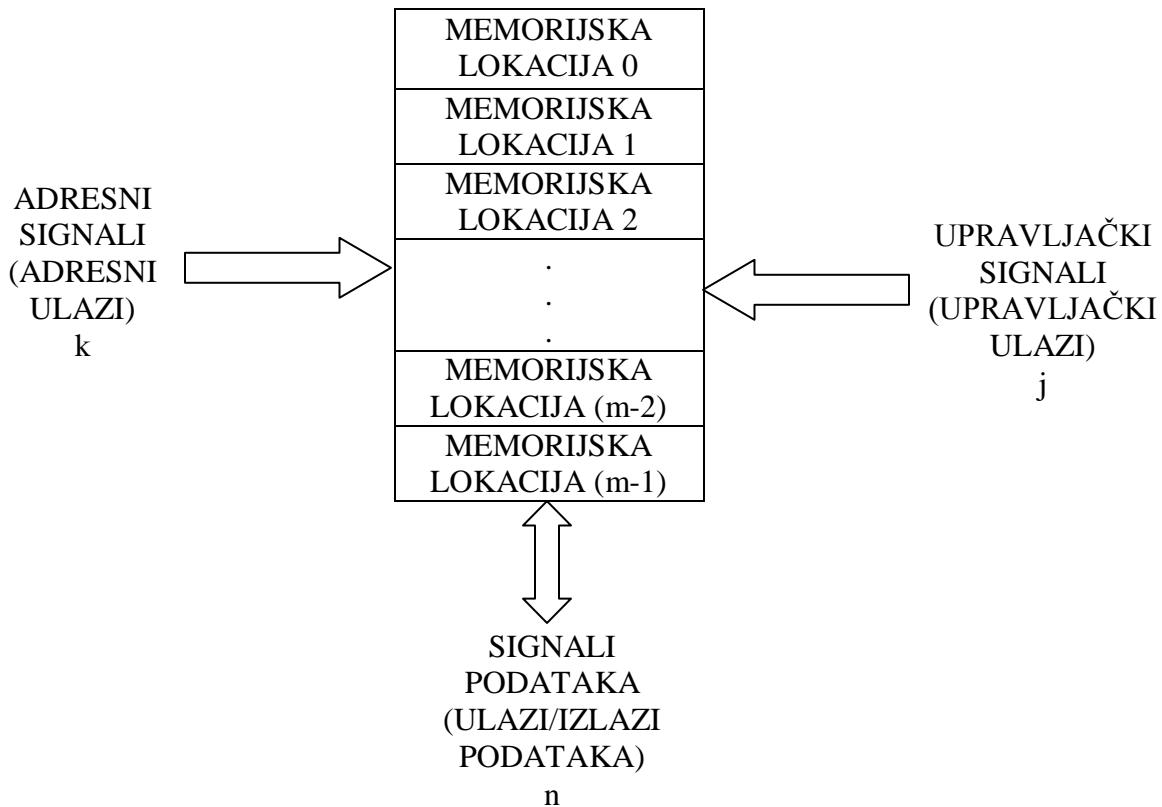
Sa aspekta vremenske dužine čuvanja memorisanih informacija memorije mogu biti:

- privremene – registry,
- trajne – memorije RAM tipa,
- dugotrajne – magnetni doboš, magnetni disk, magnetna traka,
- stalne – CD, memorije ROM tipa.

POLUPROVODNIČKE MEMORIJE

Poluprovodničke memorije su složeniji integrисани digitalni sklopovi ili sistemi koje se sastoje od memorijskih ćelija koje memorišu podatke i odgovarajućih kombinacionih logičkih kola koja obezbjeđuju postupak upisivanja i očitavanja podataka, adresiranje pojedinih memorijskih lokacija i memorijskih ćelija i slično. Jedan memorijski elemenat (memorijska ćelija) može da memoriše samo jedan bit podatka. U sastavu memorije se nalazi veliki broj memorijskih ćelija. Memorijske ćelije formiraju tzv. memorijske lokacije u kojim se memorišu podaci. U svakoj memorijskoj lokaciji se memoriše jedan podatak odgovarajućeg broja bita koji se naziva memorijska riječ. Memorijske lokacije se selektuju (adresiraju) pomoću adresnih signala koji se dovode na memoriju (na adresne ulaze memorije). Na memoriju se dovode i upravljački signali (na upravljačke ulaze) pomoću kojih se definiše koja operacija će se realizovati (upisivanje ili očitavanje adresirane memorijske lokacije). Očitani podatak ili podatak koji treba upisati u memoriju se dovode preko signala podataka (ulaza podataka). To je principijelno prikazano na sljedećoj slici.

Pristu poluprovodničkim memorijama je direktni (ili slučajan). To znači da se svaka memorijska lokacija može adresirati i pristupiti u bilo kojem trenutku, bilo kojim redosledom, te da vrijeme pristupa ne zavisi od položaja memorijske lokacije u memoriji.



Principijelni prikaz poluprovodničke memorije

Dva najvažnija parametra memorije su kapacitet memorije i brzina funkcionalnosti memorije.

Parametar koji karakteriše veličinu memorije u pogledu količine podataka ili informacija koja se može memorisati naziva se kapacitet memorije. On se najčešće izražava brojem bita (K_b) koje memorija može memorisati. Nekad se izražava brojem riječi (K_r) ili brojem bajtova. Kapacitet memorije izražen u bitima jednak je:

$$K_b = n \cdot 2^k,$$

gdje je n broj bita (broj memorijskih celija, a ujedno i broj ulaza/izlaza memorije) u svakoj memorijskoj lokaciji, a k je broj adresnih bita (adresnih ulaza). Kapacitet memorije izražen u broju memorijskih riječi (memorijskih lokacija) je jednak:

$$K_r = 2^k.$$

Drugi važan parameter memorije je brzina funkcionisanja. Ona zavisi od vremena potrebnog za upisivanje ili očitavanje podataka. Ona se sastoji i izražava sa dva parametra: vrijeme pristupa i vrijeme prenosa. Vrijeme pristupa je vrijeme potrebno za pronalaženje odgovarajuće memorijske lokacije. Vrijeme prenosa je vrijeme potrebno za realizovanje upisivanja ili očitavanja memorijske lokacije.

Poluprovodničke memorije, kao i logička kola, se realizuju u bipolarnoj I unipolarnoj tehnologiji.

Postoje dva tipa poluprovodničkih memorija:

- Memorija ROM (Read Only Memory) tipa,
- Memorija RAM (Random Access Memory) tipa.

MEMORIJA ROM TIPA

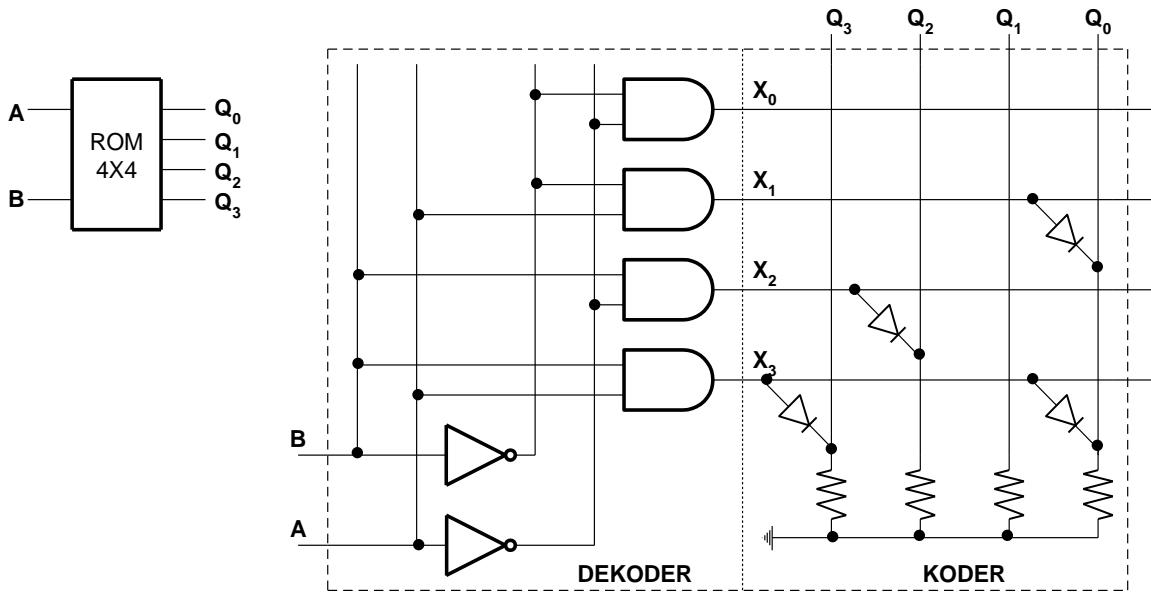
Memorije ROM tipa imaju fiksani sadržaj. Jednom upisan sadržaj može se jedino čitati, ne može se ni brisati, ni mijenjati (to su tzv. fiksne memorije). Kod njih se sadržaj definiše pri proizvodnji memorije i više se ne može mijenjati. Sadržaj se ne gubi nakon isključivanja napajanja.

Da bi se omogućilo da korisnici definišu sadržaj memorije u skladu sa svojim potrebama praktično postoje i proizvode se tzv. programabilne memorije ROM tipa ili memorije PROM (Programmable ROM) tipa. Nakon programiranja one se koriste kao memorije ROM tipa.

Da bi se sadržaj memorije PROM tipa mogao povremeno, po potrebi, promijeniti postoje i tzv. reprogramabilne memorije ROM tipa (RePROM – ReProgrammable ROM). Kod nekih se sadržaj mora prvo potpuno izbrisati pa onda ponovo programirati. To su tzv. EEPROM (Erasable PROM) memorije. One se najčešće brišu UV svjetlošću. Postoje i memorije PROM tipa kod kojih se sadržaj može promijeniti, izbrisati i ponovo programirati, električnim putem. One se nazivaju EAPROM (Electrically Alterable PROM) ili EEPROM (Electrically Erasable PROM), odnosno E²PROM.

Po samom nazivu reklo bi se da memorija ROM tipa mora posjedovati neke memorijske elemente. Međutim, ROM je u suštini kombinaciona mreža koja se sastoji od dekodera i kodera. Dekoderi se realizuju pomoću logičkih kola. Za realizaciju kodera se u bipolarnoj tehnici koriste diode ili tranzistori, a u unipolarnoj tehnici MOS tranzistori uglavnom N tipa. Koderska mreža je u suštini memorijska mreža. Dekoder postoji kod svih vrsta memorija. Služi za određivanje adrese memorijske lokacije. Zato se naziva adresni dekoder.

Primjer memorije ROM tipa kapaciteta 4×4 (4 riječi po 4 bita) realizovane u bipolarnoj tehnologiji korištenjem diode (mogli bi se koristiti bipolarni tranzistori umjesto diode) je prikazan na sljedećoj slici. Dekoder je realizovan pomoću logičkih kola u bipolarnoj tehnici. Koder (memorijska mreža ili memorijska matrica) je realizovan kao matrica sa diodama. Tako gdje je postavljena dioda na tom mjestu je upisana logička 1, a tamo gdje nema diode upisana je logička 0. Postavljanjem ili ne postavljanjem diode između odgovarajućeg izlaza X_i dekodera i odgovarajućeg izlaza Q_i memorije, tj. između odgovarajuće vrste i kolone, upisuje se u odgovarajući bit logička 1 ili logička 0.



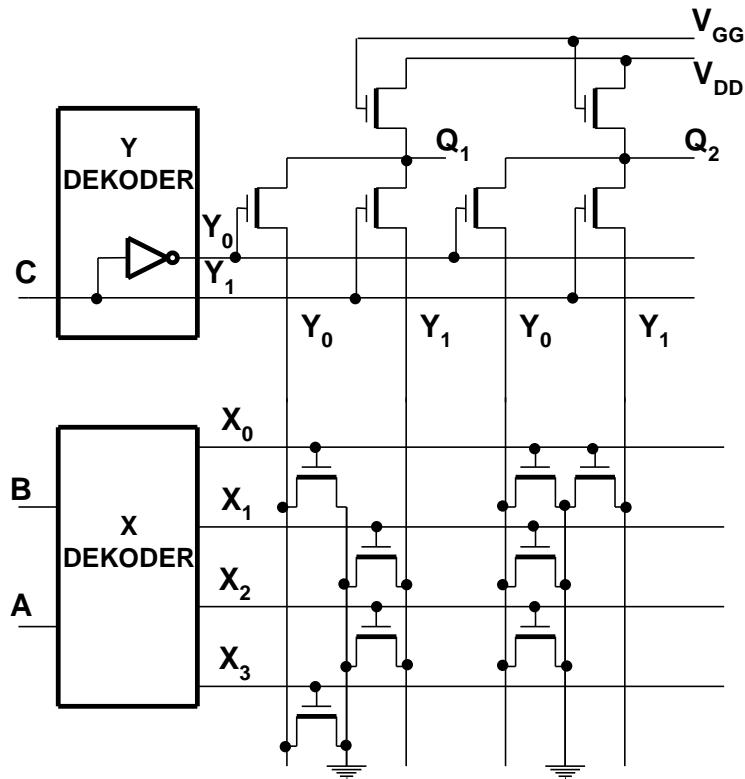
Memorija ROM tipa realizovana korištenjem dioda

Ulagne promjenljive ROM memorije zovu se adresni ulazi (na prethodnoj slici signali A i B). Svaka memorisana riječ ima adresu pomoću koje se selektuje. ROM memorija sadrži dvije mreže: dekoder i koder. Dekoder služi za određivanje adrese pa se i naziva adresni dekoder. Realizuje se pomoću logičkih kola. Koderski dio mreže je u suštini fiksna memorija. Kod bipolarnih memorija ROM tipa kodere se najčešće realizuje pomoću dioda postavljenih u odgovarajućoj matrići. To je prikazano na prethodnoj slici. U koderskoj matrići diode se postavljaju na ona mjesta gdje treba da bude logička jedinica u tom bitu. Za bit koji treba da ima vrijednost logičke nule ne postavlja se dioda na tom mjestu u koderskoj matrići. Kapacitet ove memorije odgovara broju čvorova, odnosno broju presječenih mjesta horizontalnih i vertikalnih vodova matrične strukture. Na prethodnoj slici je prikazana memorija kapaciteta 4 riječi od po 4 bita. Njen sadržaj odgovara rezultatima kvadriranja dvocifrenih binarnih brojeva koji se dovode na ulaze memorije A i B i dat je u sljedećoj tabeli.

ULAZI		IZLAZI			
B	A	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0	0
0	1	0	0	0	1
1	0	0	1	0	0
1	1	1	0	0	1

Ovdje je korišteno tzv. jednodimenziono adresiranje. U praktičnim realizacijama memorija uglavnom se koristi tzv. dvodimenziono adresiranje. Ono pojednostavljuje dekodersku mrežu i smanjuje ukupan broj izlaza dekodera, što je posebno važno kod memorija velikih kapaciteta.

U unipolarnoj tehnici se koriste unipolarna logička kola za realizovanje adresnog dekodera i MOS tranzistori za realizovanje kodera, tj. memoriske mreže. Primjer realizovanja unipolarne memorije ROM tipa kapaciteta 8×2 (8 riječi po 2 bita) koja koristi dvodimenziono adresiranje je prikazan na sljedećoj slici. Koriste se NMOS tranzistori jer je to najbrža MOS tehnologija. Slici memorije ROM tipa sa diodama korišteno je jednodimenziono adresiranje. Dvodimenzionalno adresiranje kod memorija većeg kapaciteta se koristi zato da se pojednostavite konstrukcije adresnih dekodera i da se smanji ukupan broj izlaza adresnih dekodera. Onda se adresni dekoder sastoji od dva dekodera tzv. X dekodera i tzv. Y dekodera. Adresni signali se dijele u dvije grupe i dovode na X dekoder i na Y dekoder. Ti dekoderi generišu dvodimenzione adrese obilježene sa X i Y koje se vode na memoriju mrežu. Memoriju mreža i ovdje ima matričnu strukturu sa ukupno 16 presjeka (onoliko koliko bita ima memorija). Izlazna logička mreža je invertovana zbog načina spajanja NMOS tranzistora kao kod MOS invertora. Zbog toga se spojni tranzistori u memorijskoj matrici postavljaju tamo gdje treba da se upišu logičke 0, a ne postavljaju se tamo gdje treba da se upišu logičke 1. Gornji tranzistor (spojeni prema V_{GG} i V_{DD}) su stalno uključeni. Donji tranzistori imaju mnogo manju otpornost pa kad su uključeni spajaju izlaz na masu. Sadržaj memorije je prikazan u sljedećoj tabeli.



Memorija ROM tipa realizovana pomoću MOS tranzistora

Adrese		Izlazi		
X	Y	Z		
A	B	C	Q ₁	Q ₂
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

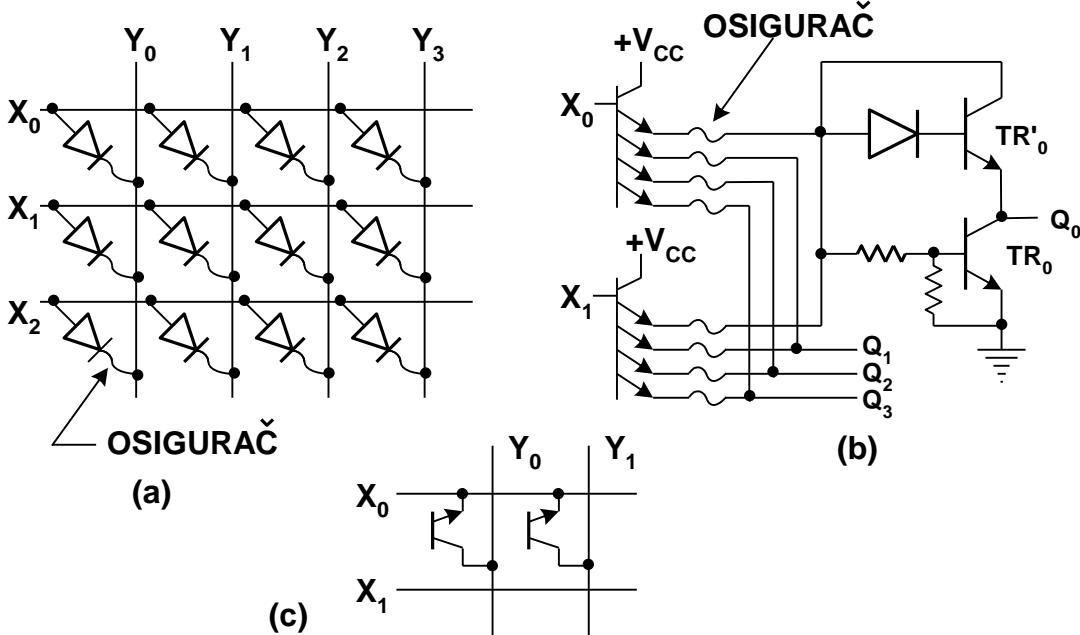
Sadržaj ovakvih memorija ROM tipa se definiše (programira) pri njihovoj proizvodnji postavljanjem određenih veza i elemenata u memorijskoj mreži. To se sve praktično realizuje pomoću odgovarajućih maski u procesu proizvodnje integrisanih kola. Zbog toga se za takve memorije koristi termin Mask Programmable ROM ili samo Mask PROM (MPROM).

MEMORIJA PROM TIPA

U memoriju PROM tipa se može upisivati program po želji korisnika, tj. korisnik je može programirati u skladu sa konkretnom potrebom. Struktura je ista kao kod memorije ROM tipa. Jedino svako mjesto ukrštanja u koderskoj memorijskoj mreži mora da posjeduje spojni element i mogućnost da se ta veza prekine tamo gdje spoj ne treba da postoji. Upis (programiranje) odgovarajućeg sadržaja se vrši na taj način što se vrši prekidanje spojeva tamo gdje ne treba da postoje. Tako programirana memorija postaje ROM tipa. Ovakve memorije koje se mogu programirati na mjestu korištenja, tj. u polju primjene (na mjestu primjene), najčešće se označavaju sa FPROM (Field Programmable ROM).

Da bi se omogućilo programiranje u praksi se najčešće koriste spojni elementi sa vezama koje se mogu prekinuti. To su tzv. osigurači u rednom spolu sa diodama ili tranzistorima. Na sledećoj slici pod a) je prikazan primjer memorijske matrice realizovane pomoću dioda sa osiguračima. Osigurač svake pojedinačne diode se može pregoriti (prekinuti veza) ako se na X i Y linije dovedu naponi koji će obezbijediti potrebnu struju za prekidanje veze (pregaranje osigurača). Tako se vrši programiranje svakog bita u memoriji. U neprogramiranoj memoriji sve veze postoje i svi biti su na logičkoj 1. Prekidanjem veza se upisuju logičke 0 u odgovarajuće bite memorije. Struktura memorije je ista kao memorije ROM tipa sa diodama.

U praksi se koriste rješenja bipolarnih memorija PROM tipa bazirana na primjeni višeemiterских tranzistora. Kod njih se osigurači postavljaju u emitere tranzistora. Takvi tranzistori omogućavaju kodovanje kompletne memorijske riječi na jednom tranzistoru. Primjer takve memorije kapaciteta 2×4 (2 riječi po 4 bita) prikazan je na sljedećoj slici pod b).



Principi realizovanja bipolarne memorije PROM tipa

Kod unipolarnih memorija PROM tipa se koriste isti principi sa osiguračima redno vezanim sa MOS tranzistorima u memorijskoj mreži. Programiranje se, takodje, vrši prekidanjem (pregaranjem) osigurača i odgovarajuće veze. Struktura i realizacija memorije je ista kao kod unipolarne memorije ROM tipa samo što u memorijskoj mreži postoje osigurači serijski vezani sa MOS tranzistorima.

Spojni elementi ovakvih memorija se izradjuju kao diode ili tranzistori sa osiguračima od legure nikla i hroma ili sa osiguračima od polikristalnog silicijuma. Programiraju se tako što se propušta dovoljno velika struja kroz njih. Pri tome se prvi prekidaaju (pregaraju), a drugi oksidiraju i postaju izolacioni material. Izradjuju se i memorijske mreže u kojim se kao spojni elementi koriste dvostruki PN spojevi, odnosno bipolarni tranzistori. Takav primjer je prikazan na prethodnoj slici pod c). U takvoj mreži spojni elementi su visokoomski zbog inverzno polarizovanog emiterskog PN spoja. Programiranje se vrši tako što se poveća potencijalna razlika izmedju X i Y voda da dodje do probroja i kratkog spoja emiterskog PN spoja. Tako spojni elemenat postane niskoomski i postoji veza.

MEMORIJE EPROM I E²PROM TIPOA

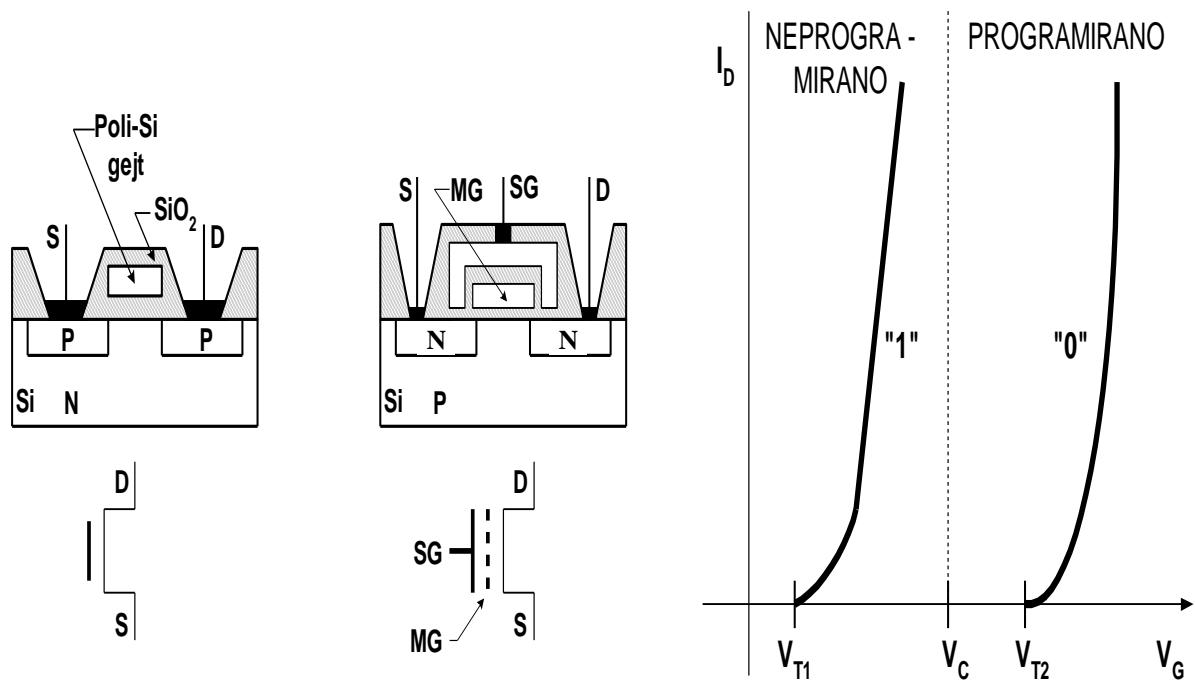
Do sada opisane memorije ROM i PROM tipa prestavljaju u suštini kombinacione mreže. Reprogramabilne memorije (RePROM), u koje spadaju memorije EPROM i E²PROM tipa, a čiji se sadržaj po potrebi povremeno može mijenjati, koriste specijalne memorijske ćelije. To znači da se ovdje radi o stvarnim memorijskim mrežama koje se koriste u koderskoj mreži takvih memorija. Struktura ovakvih memorija je ista kao kod memorija ROM i PROM tipa, posjeduju adresni dekoder i kodersku memorijsku mrežu. Jedino se u memorijskoj mreži nalaze specijalne memorijske ćelije. Memorijske ćelije

zadržavaju programiranu (memorisanu) vrijednost i nakon isključivanja napajanja. Međutim, zbog relativno dugog trajanja postupka promjene sadržaja (programiranja) ne mogu se koristiti kao memorije RAM tipa.

Memorijske ćelije i ovakve memorije se praktično realizuju u MOS tehnologiji. Princip realizovanja memorijske ćelije se bazira na tome da se pri programiranju ubace nosioci elektriciteta u odgovarajuću neprovodnu sredinu. Zbog vrlo velike otpornosti ne postoje odvodne struje i ubačeno nanelektrisanje (programirana vrijednost) se održava veoma dugo bez ikakvog napajanja i više od 10 godina.

Memorijska ćelija EPROM tipa

Najveću praktičnu primjenu imaju EPROM memorijske ćelije tzv. FAMOS (Floating gate, Avalanche injection MOS) tipa sa dva gejta. Na sljedećoj slici su prikazane strukture takvih ćelija sa jednim i sa dva gejta. Takođe su prikazani i odgovarajući simboli, te strujno-naponske karakteristike takve ćelije.



Struktura FAMOS ćelije sa jednim i dva gejta, grafički simboli i karakteristika

Ćelija ima uobičajene priključke za sors (S) i drejn (D). Gejt (MG) je od polisilicijuma ukopan u izolatorsku sredinu SiO_2 . Taj gejt slobodno lebdi jer nema spoljašnjeg izvoda. To je memorijski gejt (MG), a naziva se još i plivajući gejt. Ćelija ima još jedan gejt, tzv. selektioni gejt (SG) koji služi za selektovanje odgovarajuće memorijske ćelije.

U neprogramiranom stanju ćelije kada se na selektioni gejt SG dovede visoki napon za očitavanje (selektovanje), ćelija se ponaša kao MOS tranzistor sa indukovanim kanalom. Tada kroz nju protiče struja. To se smatra stanjem logičke 1. Sve

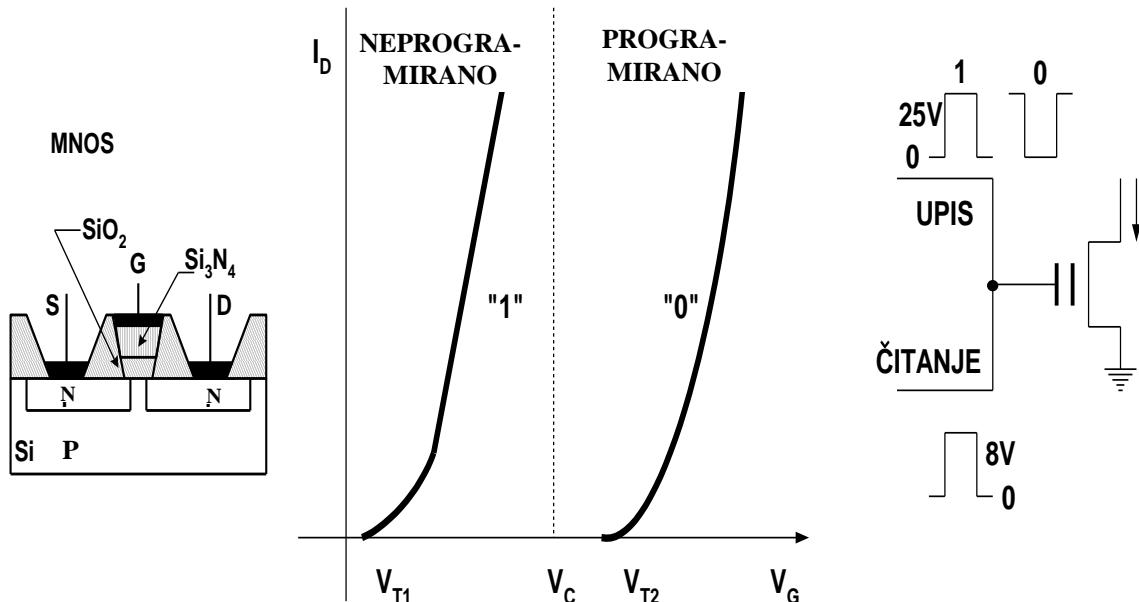
neprogramirane ćelije se nalaze u stanju logičke 1. Tada u memorijskom gejtu MG nema ubaćenih elektrona.

Programiranje ćelije se vrši tako da se u memorijski (izolovani) gejt MG ubace elektroni. To se realizuje tako da se između S i D ostvari velika potencijalna razlika. Na inverzno polarizovanom PN spoju drejna ili sorsa nastaje lavinski efekat, pa elektroni koji raspolažu velikom energijom mogu da prođu kroz tanki oksidni sloj i da se injektuju u memorijski gejt MG. Pošto je provodnost oksida vrlo mala injektovani naboj se zadržava u memorijskom gejtu i poslije isključivanja napajanja. Kao posljedica negativnog nanelektrisanja u memorijskom gejtu, neposredno ispod njega se prekida kanal između sorsa i drejna, odnosno povećava se prag provodenja MOS tranzistora. Dok god postoji negativni naboj u memorijskom gejtu MG dotle MOS tranzistor (memorijska ćelija) ima veći prag provodenja. Sada, pri normalnoj polarizaciji (dovodenju pozitivnog napona na selektioni gejt SG) ne teče struja kroz MOS tranzistor, pa se ovom programiranom stanju pripisuje vrijednost logičke 0.

Brisanje, odnosno vraćanje ćelije u neprogramirano stanje, se vrši tako da se ukloni električni naboj (elektroni) sa memorijskog gejta MG. To se postiže izlaganjem ćelija ultravioletnim (UV) zracima određene učestanosti i trajanja. Pri tome se energija fotona predaje blokiranim elektronima u memorijskom gejtu MG. Oni dobivaju dovoljnu energiju da savladaju energetsku barujeru kroz oksid prema podlozi i napuste memorijski gejt MG prelazeći u podlogu. Zbog toga kućište memorije ne smije da bude potpuno neprozirno. Za prolaz ultravioletnih zraka postoji poseban otvor na kućištu sa providnim kvarcnim poklopcom.

Memorijska ćelija E²PROM tipa

Najveću praktičnu primjenu imaju E²PROM memoriske ćelije tzv. MNOS (Metal-Nitride-Oxide-Silicon) tipa. Struktura, strujno-naponska karakteristika i simbol takve ćelije su prikazani na sljedećoj slici.



Struktura MNOS ćelije, karakteristika i grafički simbol

U memorijskoj ćeliji MNOS tipa, pored tankog sloja silicijum-dioksida SiO_2 , u gejt je ugradjen I nešto deblji sloj silicijum-nitrida Si_3N_4 .

U neprogramiranom stanju u području gejta nema ubačenih elektrona, postoji kanal izmedju drenja (D) i soursa (S) i kada se na gejt (G) dovede napon za očitavanje I selekciju kroz ćeliju protiče struja. To je stanje neprogramirane ćelije, stanje logičke 1.

Programiranje ćelije se vrši ubacivanjem elektrona u područje gejta, izmedju silicijum-dioksida i silicijum-nitrida. Na gejt se dovodi pozitivan naponski impuls velike amplitude (25V ili i više). Tada nastaje tunelovanje elektrona kroz tanak sloj silicijum-dioksida. Ti elektroni će biti ubačeni u područje izmedju dva dielektrična sloja, izmedju silicijum-dioksida i silicijum nitride. Tu ostaju i po isključivanju napona napajanja. Nastali negativni naboј izmedju dva dielektrična sloja utiče tako da će biti prekinut kanal, odnosno povećava se prag provodjenja. Sada pri selektovanju i očitavanju memorijske ćelije neće teći struja izmedju D i S, što znači da je ćelija programirana i u nju je upisana logička 0.

Brisanje memorijske ćelije se izvodi električnim putem. Na gejt se dovodi negativan impuls (dovoljno velikog napona) i elektroni će iz područja gejta biti vraćeni natrag u podlogu. Tako se ćelija vraćena u neprogramirano stanje, stanje logičke 1. Ovakav način brisanja omogućava promjenu sadržaja (ponovno programiranje) pojedinih lokacija, što nije moguće kod memorija EPROM tipa gdje se obrišu i ponovo programiraju sve lokacije u memoriji.

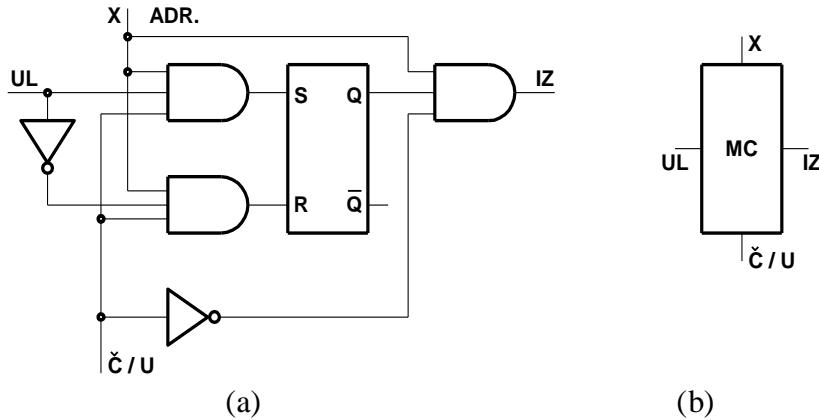
Na istom principu funkcionišu i E²PROM memorijske ćelije tzv. MAOS tipa (Metal-Alumina-Oxide-Silicon). Kod njih je silicijum-nitrid Si_3N_4 zamijenjen aluminijum-oksidom Al_2O_3 .

Posebna vrsta memorije E²PROM tipa je tzv. fleš memorija (Flash Memory). Termin "fleš" je dobila po brzini upisivanja koja je nekoliko μs po bajtu, za razliku od standardne memorije E²PROM tipa kod koje je to nekoliko ms po bajtu. Ali brzina upisivanja još nije dovoljno velika da bi se ove memorije koristile kao memorije RAM tipa. Veća brzina upisa je postignuta korištenjem tanjeg sloja oksida izmedju gejta i podloge i korištenjem submikronske tehnologije. To je ujedno povećalo i gustinu pakovanja, odnosno kapacitet takvih memorija.

MEMORIJA RAM TIPA

Memorija RAM tipa je memorija čiji sadržaj se može mijenjati, odnosno čiji sadržaj se može očitavati i upisivati. Sadržaj memorije se mijenja upisivanjem novog sadržaja. Brzina očitavanja i brzina upisivanja su velike i približno jednake. Sadržaj memorije RAM tipa se gubi kada se isključi napajanje memorije.

Osnovni elemenat memorije RAM tipa je poluprovodnička memorijska ćelija. Ona se mora moći upisati, očitati i adresirati. Jedna ćelija memoriše jedan bit podatka. Obično se kao memorijske ćelije RAM tipa koriste flipflopovi. Da bi flipflop poslužio kao memorijska ćelija on mora imati mogućnost adresiranja, kao i jednostavan pristup ulazu radi upisa i izlazu radi čitanja. Na sledećoj slici pod a) je principijelno prikazano kako se RS flipflop može koristiti kao memorijska ćelija za izgradnju memorije RAM tipa. memorije. To je flipflop D tipa realizovan pomoću flipflop-a RS tipa. Na slici pod b) je prikazan simbol memorijske ćelije RAM tipa.



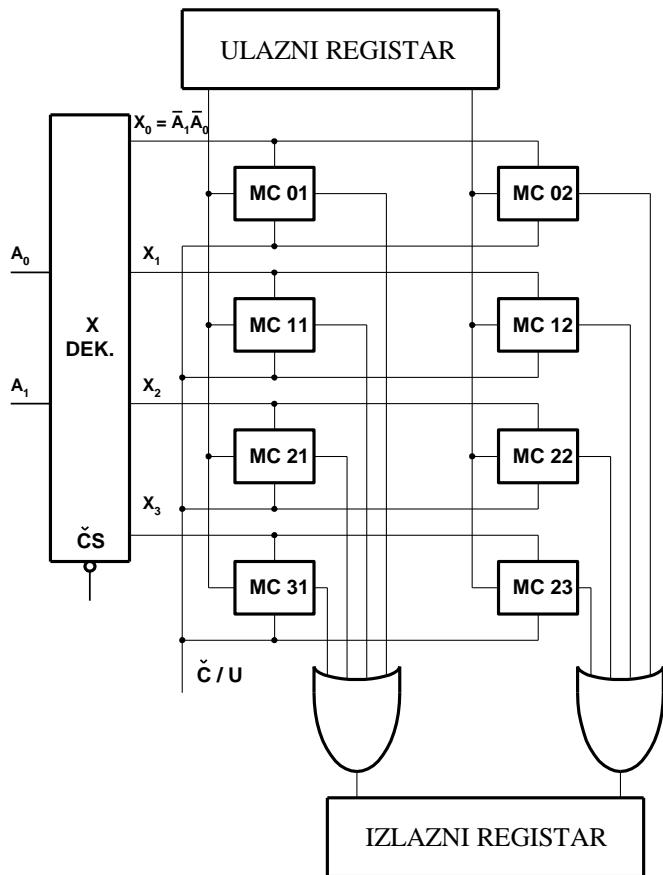
Princip realizovanja memorijске RAM čelije pomoću flipflop-a (a)
i simbol memorijске RAM čelije (b)

Sa **UL** je označen ulaz podatka pri upisivanju, a sa **IZ** je označen izlaz podatka pri očitavanju. **Č/U** je upravljački signal za definisanje da li se vrši upisivanje ili očitavanje. **X** je ulaz za izbor odgovarajuće memorijске čelije (**MC**), ako je jednodimenziono adresiranje. Ko se koristi dvodimenziono adresiranje onda postoji još jedan takav signal **Y**. Često su **UL** i **IZL** spojeni na istu liniju, isti priključak, a **Č/U** definiše smjer prenosa (da li je u pitanju upisivanje ili očitavanje). Memorijskoj čeliji se može pristupiti samo u slučaju kada je postavljen (na visokom nivou) njezin priključak **X** za adresiranje i doveden signal na ulaz **Č/U** koji definiše da li se realizuje očitavanje ili upisivanje.

Organizacija memorije je takva da postoji više memorijskih lokacija u kojima se nalazi više memorijskih čelija. U njima se memoriše više memorijskih riječi koje imaju više bita. Svaka memorijска čelija memoriše jedam bit. Memorijskе čelije se povezuju u odgovarajuću mrežu koja se mora na osnovu adresa selektovati na određeni način. Princip organizacije memorije RAM tita kapaciteta 4 riječi po 2 bita je prikazan na sljedećoj slici. **A₀** i **A₁** su adresni signali (adresni ulazi). Signal **CS** je ulazni signal za selektovanje ili omogućavanje cijelog memorijskog kola.

Kapacitet memorije prikazane na sljedećoj slici iznosi četiri riječi po dva bita. Ulagani adresni dekoder (**X** dekoder) selektuje jednu od četiri riječi na osnovu ardeze na adresnim ulazima. Vrijednost podatka koji se upisuje se nalazi u ulaznom registru. Dovođenjem logičke jedinice na ulaz **Č/U** vrši se upis u selektovane memorijске čelije. Da bi se podatak iz memorijskih čelija očitao i smjestio u izlazni registar potrebno je dovesti signal logičke nule na ulaz **Č/U** ako su već prisutni signali adrese.

Unutrašnji adresni dekoder (ili dekoderi) generišu signale **X** (ili i signale **Y**) za selektovanje pojedinih memorijskih čelija. Ako se koristi jednodimenziono adresiranje onda postoji samo jedan adresni dekoder koji generiše signale **X** za memorijске čelije. Ako se koristi dvodimenziono adresiranje onda postoji dva adresna dekodera koji generišu signale **X** i **Y** za memorijске čelije. U praksi se uglavnom koristi dvodimenziono adresiranje. Tada su jednostavniji adresni dekoderi, manji je broj njihovih izlaza i **X** i **Y** linija, pa je memorija jednostavnija.



Princip organizacije memorije RAM tipa

Memorije RAM tipa se realizuju u bipolarnoj i u unipolarnoj tehnologiji.

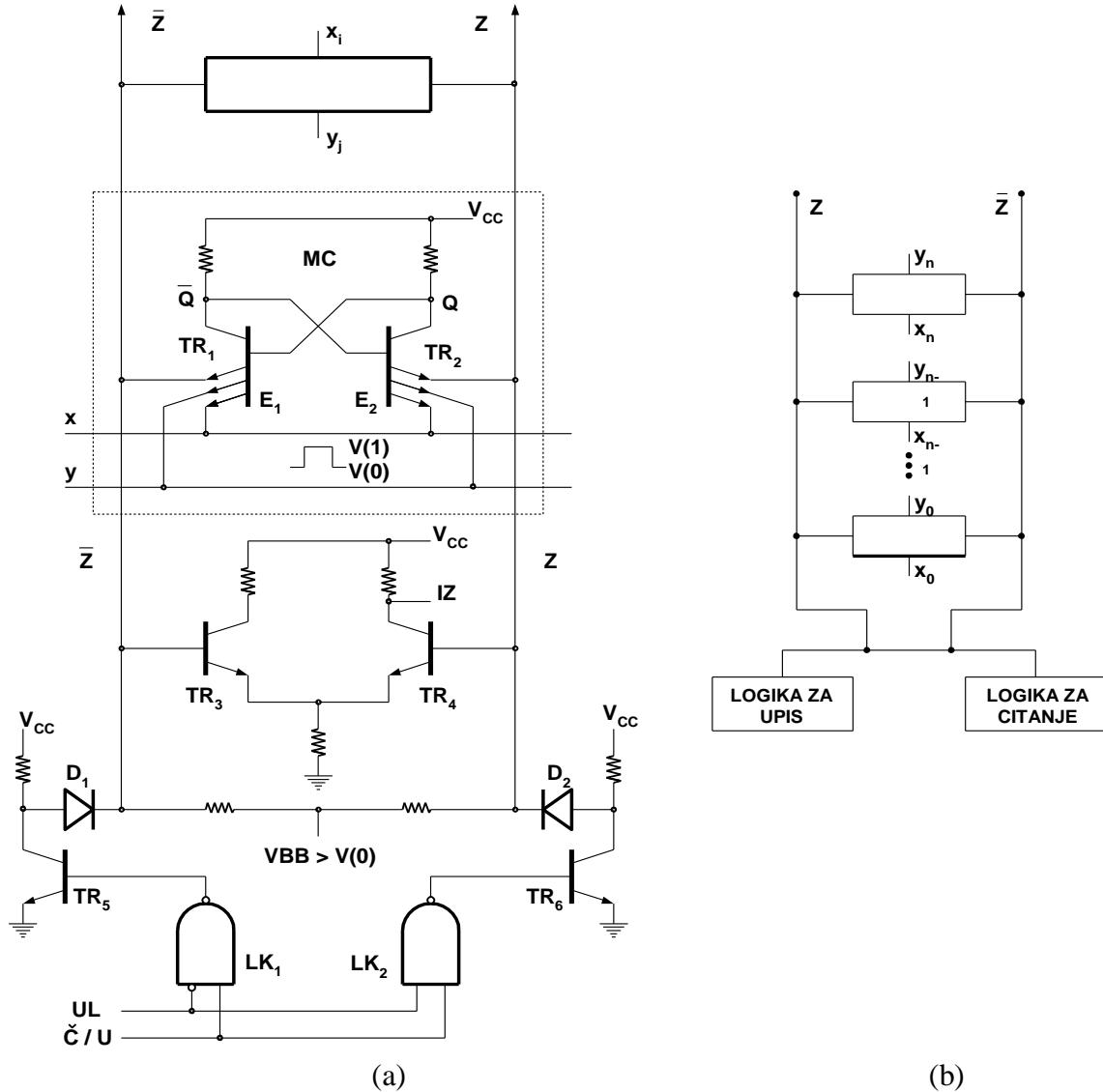
BIPOLARNE MEMORIJE RAM TIPA

Osnovna memorijska ćelija kod takvih memorija je flipflop realizovan u bipolarnoj tehnologiji.

Standardna bipolarna memorijska ćelija izrađuje se u TTL tehnologiji. Čini je flipflop u čijem sastavu se nalaze višeemiterški tranzistori. Ta memorijska ćelija je prikazana na sljedećoj slici pod a). Korišteni tranzistori imaju po tri emitora. X i Y su adresni vodovi za selektovanje memorijskih ćelija. Koristi se dvodimenziono adresiranje. Sa Z je označen tzv. informacioni vod. Memorijsku ćeliju čini flipflop u čijem sastavu su tranzistori Tr_1 i Tr_2 (nacrtano unutar isprekidanih linija). Na slici su prikazana i ostala kola koja služe za upisivanje, očitavanje i ostvarivanje veze sa ulazom (UL) i izlazom (IZ) memorije. Ta kola opslužuju veći broj memorijskih ćelija, sve ćelije koje su vezane na isti par informacionih vodova, kao što je prikazano na sljedećoj slici pod b).

Kada se vrši upisivanje podatka vrijednosti logičke jedinice u memorijsku ćeliju onda se dovodi $X=Y=\bar{C}/U=1$ i $UL=1$. Tada je tranzistor Tr_5 uključen, a Tr_6 isključen pa je $Z=1$. Pošto su tada svi emeiteri tranzistora Tr_2 on je isključen i $Q=1$. To obezbjedjuje da Tr_1 bude uključen pa je uspostavljeno konačno stanje $Q=1$, tj. upisana je vrijednost logičke 1 u memorijsku ćeliju. To stanje se zadržava (memoriše) i pri uklanjanju signala

sa memorijске ћelije (pri $X=Y=0$). Jedino ћe tada struja tranzistora Tr_1 koja je tekla preko informacionog voda preci na adresne vodove X i Y na kojima je niži naponski nivo $U(0) < U_{BB}$. Slično se dešava ako se upisuje vrijednost logičke 0. Jedino ћe tada biti uključen tranzistor Tr_2 , a isključen Tr_1 .



Memorijska TTL ћelija RAM tipa

Pri očitavanju podatka vrijednosti logičke 1 iz memorijске ћelije se dovodi $X=Y=1$ i $\check{C}/U=0$. Time se struja tranzistora Tr_1 prebacuje na informacioni vod. Zbog toga se napon baze tranzistora Tr_3 povećava i on se uključuje, dok tranzistor Tr_4 ostaje isključen. Tako se na izlazu IZ očitava podatak vrijednosti logičke 1. Da je u memorijsku ћeliju bila upisana vrijednost logičke 0 onda bi proveo tranzistor Tr_4 pa bi se na izlazu očitala vrijednost logičke 0 ($IZ=0$).

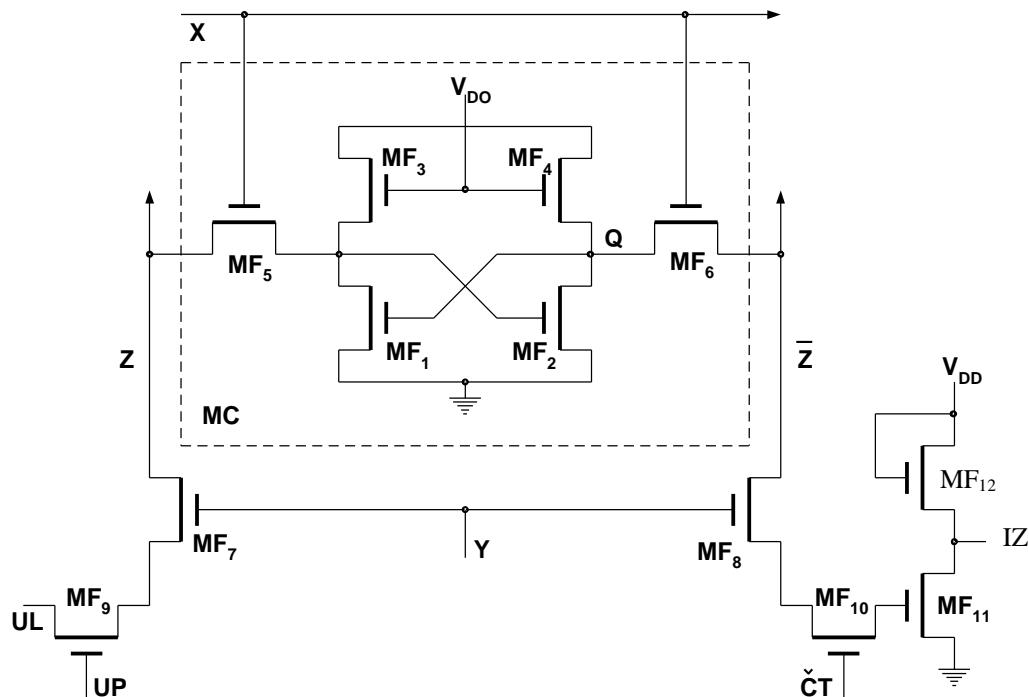
UNIPOLARNE MEMORIJE RAM TIPA

Postoje dva tipa unipolarnih memorija RAM tipa: staričke memorije RAM tipa i dinamičke memorije RAM tipa.

STATICKE UNIPOLARNE MEMORIJE RAM TIPA

Kod staričkih unipolarnih memorija RAM tipa memorijske ćelije su flipflopovi realizovani u NMOS ili CMOS tehnologiji.

Osnovna starička ćelija u NMOS tehnologiji je prikazana na sljedećoj slici. Ako bi se radilo o jednodimenzionalnom adresiranju ćelija bi imala šest NMOS tranzistora. Ako bi se radilo sa dvodimenzionalnim adresiranjem ćelija bi imala osam NMOS tranzistora, od kojih se četiri koriste kao memorijsko kolo, a ostali služe za spregu sa informacionim vodovima. Na slici je data šema memorijske ćelije (MC) sa šest NMOS tranzistora, a sa dvodimenzionalnim adresiranjem. NMOS tranzistori MF₁ do MF₄ čine flipflop u kome se memoriše jedan bit. Tranzistori MF₅ do MF₈ se koriste za adresiranje (selektovanje) flipflopa, a tranzistori MF₉ do MF₁₀ služe za omogućavanje upisivanja i očitavanja podatka. Adresni (selekcijski) signal X utiče direktno na ćeliju preko MOS tranzistora MF₅ i MF₆. Adresni (selekcijski) signal Y djeluje na ćeliju posredno preko tranzistora MF₇ i MF₈. Signal Y je zajednički za sve ćelije koje su priključene na iste informacione vodove Z i \bar{Z} . I ovdje je osnovni memorijski element flipflop realizovan pomoću NMOS tranzistora (tranzistori MF₁ do MF₄).



Starička MOS memorijska ćelija RAM tipa sa pratećim kolima

Pri upisivanju podatka (bita) dovodi se $X=Y=1$ i $UP=1$. Preko uključenog tranzistora MF_9 se dovodi ulazni signal. On se preko uključenih MOS tranzistora MF_7 i MF_5 dovodi na flipflop. Flipflop (njegov izlaz Q) se postavlja u odgovarajuće stanje u skladu sa dovedenim stanjem na ulazu UL. Ako je $UL=0$ onda će biti $Q=1$ i obrnuto. Tako je upisana odgovarajuća vrijednost u flipflop i memorijsku ćeliju. Kada se nakon upisivanja signali X i Y vrate na nizak nivo ($X=Y=0$) flipflop i njegov izlaz Q ostaju u upisanom stanju. Upisana vrijednost je memorisana.

Pri očitavanju podatka (bita) se dovodi $X=Y=1$ i $\bar{CT}=1$. Preko uključenih MOS tranzistora MF_6 , MF_8 i MF_{10} se memorisani signal sa izlaza Q flipflop-a prenosi na izlaz. Kako se na Q dobiva invertovana vrijednost od one koja je dovedena na ulaz UL pri upisivanju, onda se na izlazu postavlja još jedan MOS invertor (tranzistori MF_{11} i MF_{12}) pa se na izlazu IZ dobije ista vrijednost koja je upisivana.

Isti je princip organizacije statičkih memorijskih ćelija i u CMOS tehnologiji. Jedino se kao memorijska ćelija koristi CMOS flipflop. To znači da se NMOS tranzistori MF_3 i MF_4 u NMOS ćeliji prikazanoj na prethodnoj slici zamijene PMOS tranzistorima spojenim tako da se formiraju dva CMOS invertora medjusobno povezana na isti način kao što su povezani NMOS invertori u NMOS memorijskoj ćeliji sa prethodne slike, formirajući CMOS flipflop. Način upisivanja i očitavanja je isti kao kod prethodno opisane NMOS memorijske ćelije. Jedino se upisivanje i memorisanje vrši u CMOS flipflop-u, a očitavanje se vrši iz CMOS flipflop-a.

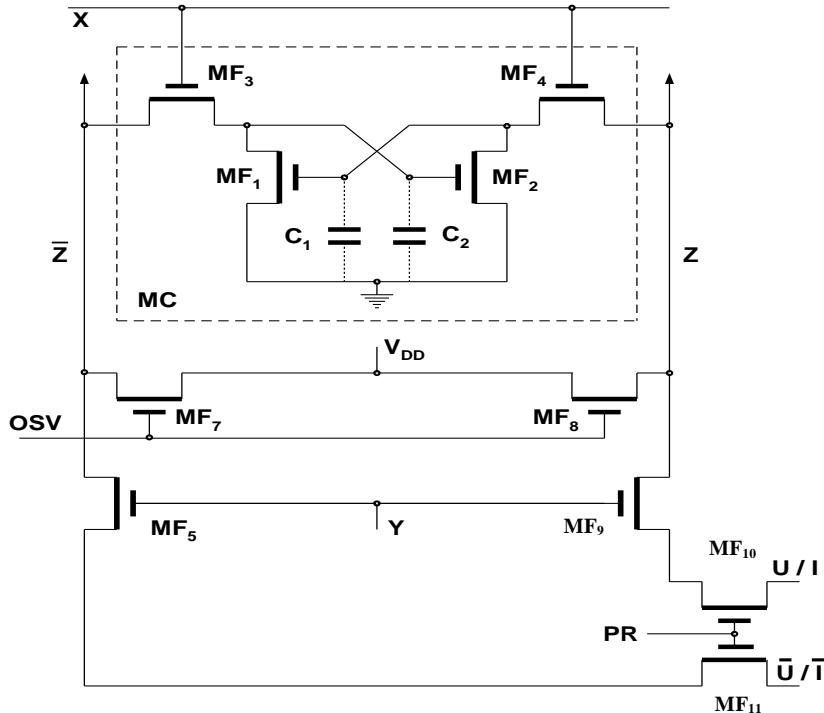
DINAMIČKE UNIPOLARNE MEMORIJE RAM TIPOA

Kod dinamičkih unipolarnih memorija RAM tipa za memorisanje se ne koriste flipflopovi. Upisani sadržaj se memoriše u ulaznim parazitnim kapacitivnostima MOS tranzistora. i pored velikih otpornosti odvodne struje prazne te kapacitivnosti pa je vrijeme čuvanja sadržaja dosta kratko. Zato se sadržaj takvih memorijskih ćelija mora češće da obnavlja, odnosno da se osvježava. Medutim, tako se smanjuje broj MOS tranzistora u memorijskoj ćeliji, povećava gustina integracije i smanjuje cijena u odnosu na statičke memorije RAM tipa. Ujedno se smanjuje i potrošnja energije u odnosu na statičke memorije.

Praktično postoji više konstrukcija unipolarnih dinamičkih memorijskih ćelija RAM tipa koje se medjusobno razlikuju po ukupnom broju korištenih MOS tranzistora i načinu upravljanja.

Četverotranzistorska memorijska ćelija

Osnovna dinamička unipolarna memorijska ćelija RAM tipa se dobiva ako se u statičkoj NMOS ćeliji izostave tranzistori u opterećenju invertora flipflop-a (ako se izostave NMOS tranzistori MF_3 i MF_4), a koriste ulazne parazitne kapacitivnosti NMOS tranzistora MF_1 i MF_2 za memorisanje (parazitne kapacitivnosti C_{GS} tih tranzistora). Tako se dobiva tzv. četverotranzistorska dinamička memorijska ćelija koja koristi četiri NMOS tranzistora. Takva memorijska ćelija je prikazana na sljedećoj slici.



Dinamička četverotranzistorska memorijska ćelija RAM tipa sa pratećim kolima

Memorisana vrijednost se unosi i održava u obliku nanelektrisanja u ulaznim parazitnim kapacitivnostima C_1 i C_2 MOS tranzistora MF_1 i MF_2 . C_1 i C_2 su memorijske kapacitivnosti, odnosno parazitne kapacitivnosti C_{GS1} i C_{GS2} . Četiri MOS tranzistora MF_1 do MF_4 čine memorijsku ćeliju (MC). Tranzistori MF_3 i MF_4 rade kao prekidači za vezu memorijskih kapacitivnosti C_1 i C_2 sa informacionim vodovima Z i \bar{Z} . Tranzistori MF_6 i MF_9 omogućavaju upis i očitavanje, a funkcionišu kao prekidači. Tranzistori MF_7 i MF_8 služe za realizovanje osvježavanja sadržaja.

Kapacitivnosti C_1 i C_2 se vremenom prazne odvodnjim strujama kroz MF_1 i MF_3 ili kroz MF_2 i MF_4 . Zbog toga postoji opasnost da se memorisana vrijednost logičke 1 izgubi (transformiše u vrijednost logičke 0) već poslije nekoliko milisekundi. Da bi se to spriječilo vrši se obnavljanje nanelektrisanja u parazitnim memorijskim kapacitivnostima, odnosno osvježavanje, u intervalima ne dužim od dvije milisekunde. Postupak osvježavanja traje svega nekoliko stotina nanosekundi. Pri osvježavanju memorijske kapacitivnosti se automatski dopunjavaju saglasno memorisanoj vrijednosti. Ulaz OSV služi za realizovanje osvježavanje sadržaja.

Pri upisivanju se dovodi $X=Y=1$, $OSV=0$ i $PR=1$. Odgovarajući napon sa ulazno/izlaznog priključka U/I se upisuje u kapacitivnost C_1 . Ako je $U/I=1$ onda će se C_1 napuniti, a ako je $U/I=0$ onda će se C_1 isprazniti. Kapacitivnost C_2 će se napuniti ili isprazniti i imati suprotnu vrijednost nego što je na C_1 . Nakon upisivanja kada je $X=Y=0$, $OSV=0$ i $PR=0$ upisana vrijednost je mnemorisanata. Međutim, tada se kapacitivnosti C_1 i C_2 prazne i napon na njima opada pa je potrebno izvršiti osvježavanje.

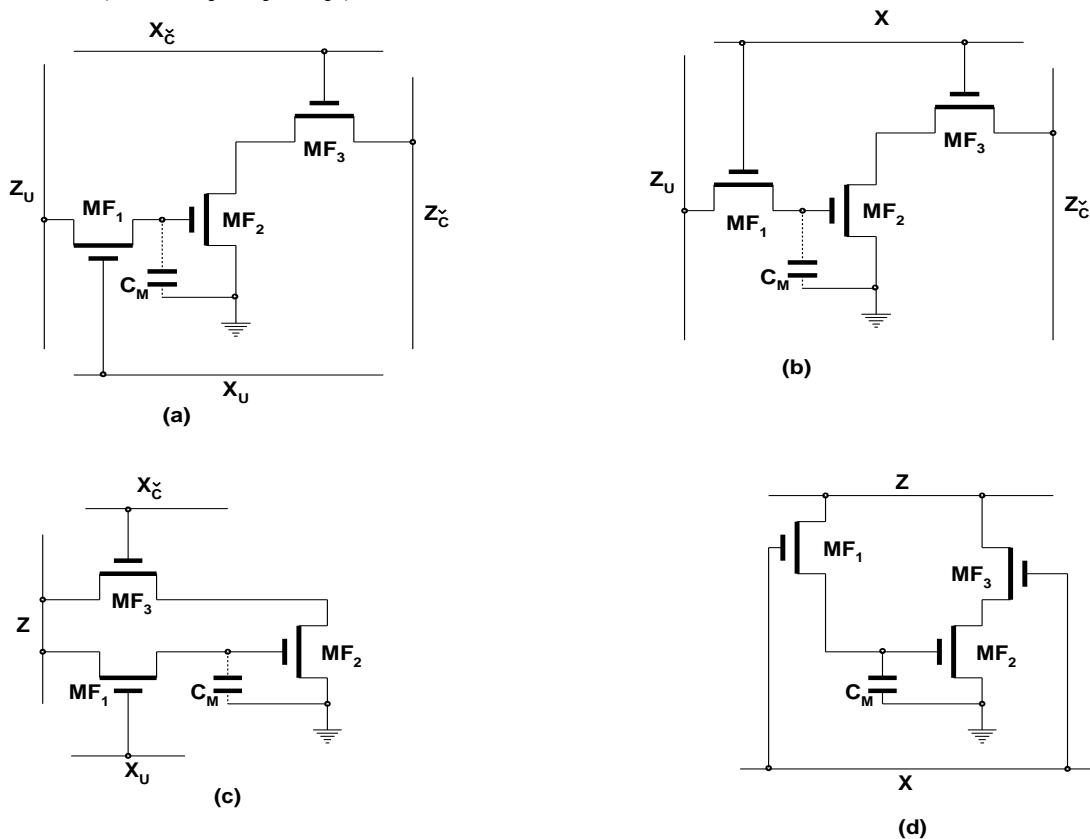
Pri osvježavanju se dovodi $X=1$ i $OSV=1$. To se realizuje u određenim kratkim vremenskim intervalima. Istovremeno se osvježavaju sve ćelije koje su priključene na iste

informacione vodove Z i \bar{Z} . Pri tome se kapacitivnost C_1 ili C_2 dopunjava iz V_{DD} preko tranzistora MF_7 ili MF_8 , u zavisnosti da li je u ćeliju upisana logička 0 ili logička 1.

Pri očitavanju se dovodi $X=Y=1$, OSV=0 i PT=1. Tada se memorisana vrijednost prenosi na ulazno/izlazni priključak U/I.

Trotranzistorska memorijska ćelija

Kako je za memorisanje podatka (bita) dovoljna jedna kapacitivnost onda se jedan od tranzistora MF_1 ili MF_2 iz prethodne memorijske ćelije može izostaviti. Tako se dobiva još jednostavnija, tzv. trotranzistorska memorijska ćelija. Na sljedećoj slici su prikazane razne varijante tranzistorske ćelije. Kao memorijski medij u ovoj ćeliji se koristi ulazna parazitna kapacitivnost C_M memorijskog NMOS tranzistora MF_2 . MOS tranzistori MF_1 i MF_3 služe kao prekidači koji omogućavaju pristup memorijskom elementu (Memorijskoj ćeliji).

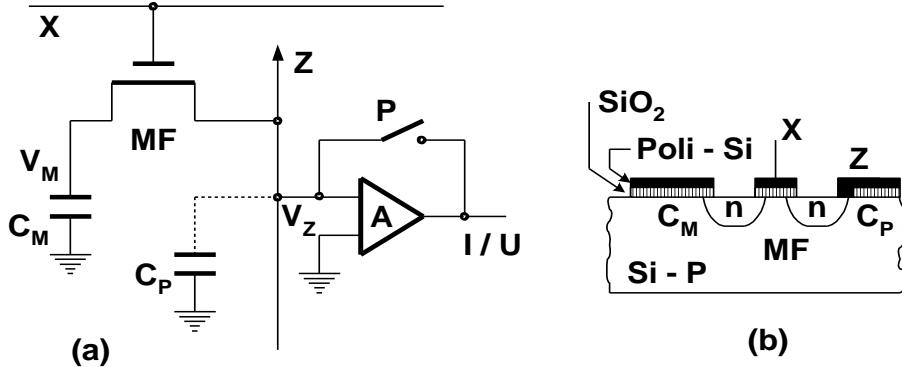


Dinamičke trotranzistorske memorijske ćelije RAM tipa

Jednotranzistorska memorijska ćelija

U nastajanju da se još više smanji veličina dinamičke memorijske ćelije i veličina dinamičke memorije RAM tipa konstruisana je i u praksi se koristi jednotranzistorska memorijska ćelija. Takva ćelija je prikazana na sljedećoj slici, pod a) je data električna

šema, a pod b) je prikazana struktura čelije. Memorijsku čeliju čine NMOS transistor MF i kapacitivnost C_M . Kapacitivnost C_M nije parazitna kapacitivnost tranzistora, već je to kondenzator realizovan u monolitnoj integrisanoj tehnologiji. Kapacitivnost tog kondenzatora C_M je približno 0,1pF. Sa A je na slici označen pojačavač.



Dinamička jednotranzistorska memorijska čelija RAM tipa

Pri upisivanju u čeliju na priključak U/I se doveđe vrijednost koju treba upisati, zatim se zatvori prekidač P i postavi X=1. Dovedena vrijednost se upisuje u C_M .

Pri očitavanju se otvori prekidač P i doveđe X=1. Na izlazu pojačavača A (priključak U/I) se dobiva očitana vrijednost.

Pri osvježavanju se neposredno po očitavanju zatvori prekidač P čime se pročitana vrijednost ponovo upisuje u C_M .

Inače, što se tiče osvježavanja kod dinamičkih memorija, njega je potrebno izvršiti približno svakih 2ms. U praksi se koriste dva pristupa, osvježavanje svih čelija memorije svake 2ms ili ciklično osvježavanje gdje se ciklično adresira jedan po jedan vod tako da se osvježavanje završi po isteku dvije milisekunde. Drugi način je pogodniji za brze digitalne sisteme jer se zbog osvježavanja ne prekida rad digitalnog sistema.

MEMORIJE VEĆEG KAPACITETA

Memorijske komponente koje se praktično proizvode imaju tačno definisan kapacitet $m \times n$, gdje je m broj memorijskih riječi (broj memorijskih lokacija), a n broj bita u memorijskoj riječi (u memorijskoj lokaciji) memorijske komponente. U praksi se pojavljuju potrebe da se projektuju i realizuju memorije (memorijski sistemi) većih kapaciteta i različitih konkretnih kapaciteta. Memorije većih kapaciteta se realizuju pogodnim povezivanjem više osnovnih memorijskih komponenata.

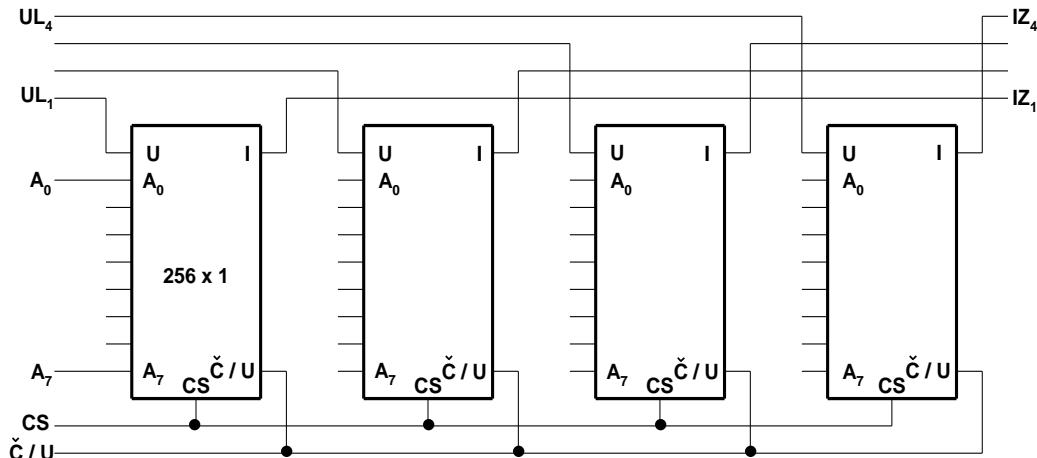
Pri projektovanju memorija većeg kapaciteta u praksi su moguća tri slučaja u odnosu na kapacitet pojedinačne osnovne memorijske komponente:

- povećanje broja bita u memorijskim lokacijama,
- povećanje broja memorijskih lokacija,
- povećanje i broja memorijskih lokacija i broja bitaa u memorijskim lokacijama.

Povećanje broja bita u memoriskim lokacijama

To je slučaj kada treba realizovati memoriju koja će imati isti broj memoriskih lokacija kao i osnovna memoriska komponenta, a veći broj bita u memoriskim lokacijama nego što je to kod osnovne memoriske komponente. Neka se pretpostavi da se koriste osnovne memoriske komponente kapaciteta $m \times n$, gdje je m broj memoriskih lokacija, a n broj bita u memoriskoj lokaciji. Neka je potrebno realizovati memoriju kapaciteta $m \times N$, sa istim brojem memoriskih lokacija (m), a sa većim brojem bita u lokacijama (N), gdje je $N > n$ i $N = k_1 \cdot n$. U tom slučaju se mora koristiti k_1 osnovnih memoriskih komponenata medjusobno povezanih tako da formiraju memeoriske lokacije sa N bita.

Npr. neka su na raspolaganju osnovne memoriske komponente kapaciteta $m \times n = 256 \times 1$ bit, a potrebno je projektovati memoriju kapaciteta $m \times N = 256 \times 4$ bita. U tom slučaju treba koristiti $N/n = 4/1 = 4$ osnovne memoriske komponente povezane prema sljedećoj slici. Radi se o memoriji RAM tipa u koju je moguće upisivanje i očitavanje podataka.



Memorija RAM tipa kapaciteta 256×4 bita realizovana pomoću komponenata kapaciteta 256×1 bit

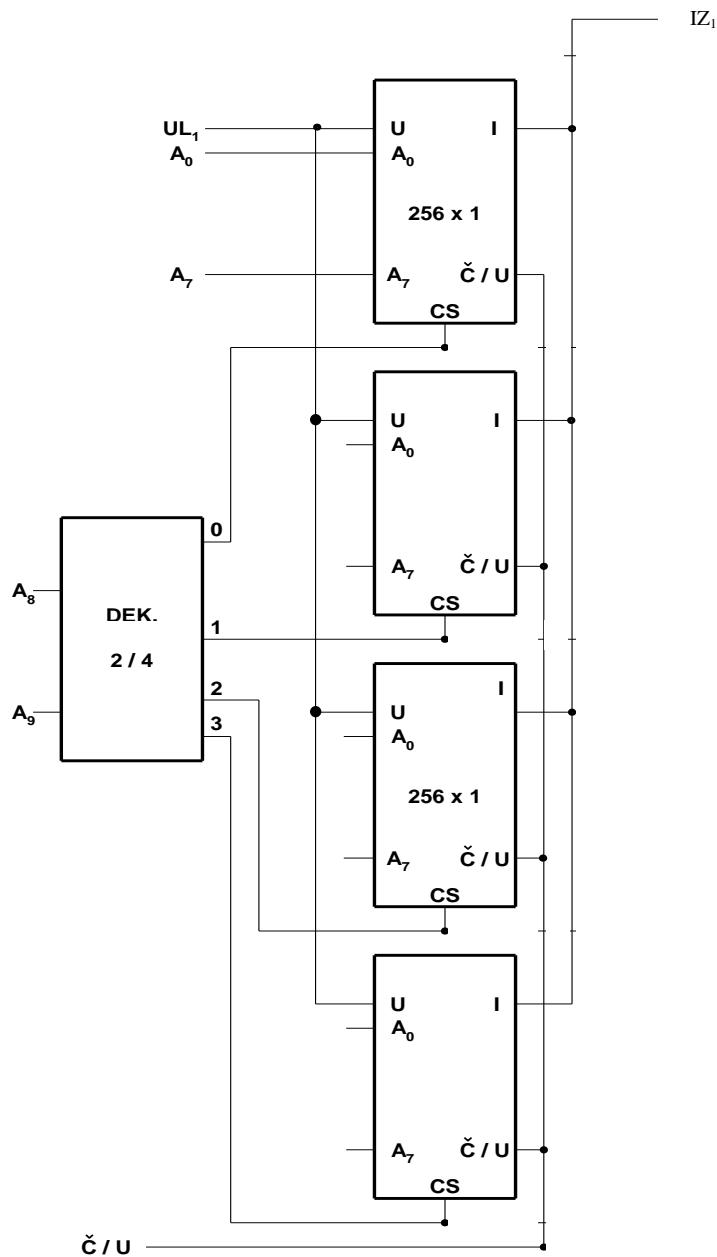
Adresni signali A_0 do A_7 se vode na sve memoriske komponente. Ulazi (UL) i izlazi (IZ) pojedinačnih komponenata se koriste kao ulazi i izlazi kompletnih memoriskih riječi od 4 bita. Upravljački signali za omogućavanje i selektovanje memoriskih kola (CS) i za definisanje da li će se realizovati očitavanje ili upisivanje podataka (\check{C}/U) su zajednički signali za sve memoriske komponente i povezuju se na njihove takve odgovarajuće signale.

Povećanje broja memoriskih lokacija

To je slučaj kada treba realizovati memoriju koja će imati isti broj bita u memoriskim lokacijama kao i osnovna memoriska komponenta, a veći broj memoriskih lokacija nego što je to kod osnovne memoriske komponente. Neka se pretpostavi da se koriste osnovne memoriske komponente kapaciteta $m \times n$, gdje je m broj memoriskih

lokacija, a n broj bita u memorijskoj lokaciji. Neka je potrebno realizovati memoriju kapaciteta $M \times n$, sa istim bita u memorijskim lokacijama (n), a sa većim brojem memorijskih lokacija (M), gdje je $M > m$ i $M = k_2 \cdot m$. U tom slučaju se mora koristiti k_2 osnovnih memorijskih komponenata međusobno povezanih tako da formiraju memoriju sa većim brojem memorijskih lokacija M .

Npr. neka su na raspolaganju osnovne memorijske komponente kapaciteta $m \times n = 256 \times 1$ bit, a potrebno je projektovati memoriju kapaciteta $M \times n = 1024 \times 1$ bit. U tom slučaju treba koristiti $M/m = 1024/256 = 4$ osnovne memorijske komponente povezane prema sljedećoj slici. I ovdje se radi memoriji RAM tipa u koju je moguće upisivanje i očitavanje podataka.



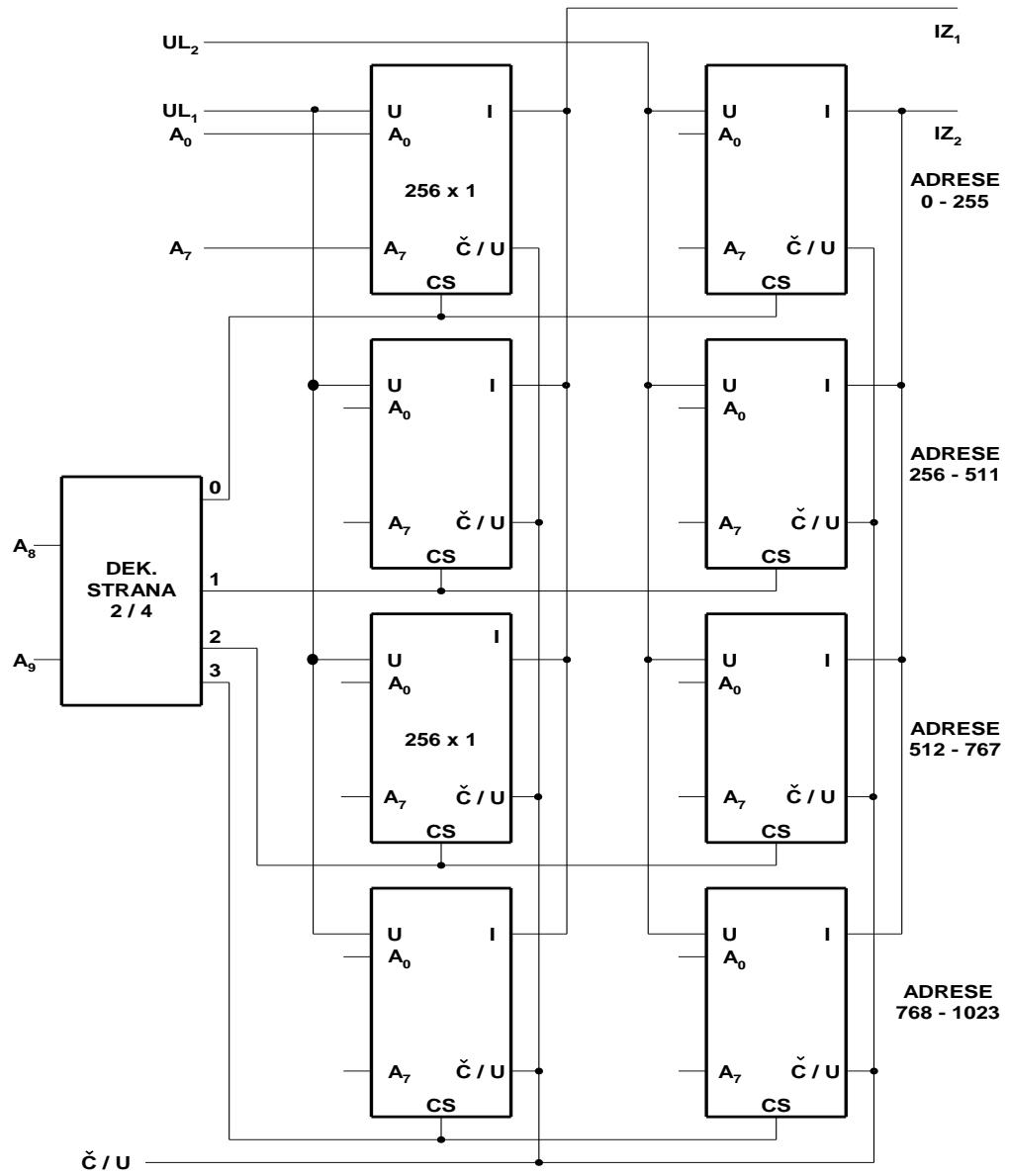
Memorija RAM tipa kapaciteta 1024×1 bit realizovana pomoću komponenata kapaciteta 256×1 bit

Adresni signali A_0 do A_7 se vode na sve memorijske komponente jer je njihov pojedinačni broj memorijskih riječi jednak $2^8 = 256$. Ulaz (UL_1) i izlaz (IZ_1) svih pojedinačnih komponenata se spajaju na te signale cijele memorije jer su memorijske riječi od 1 bita. Upravljački signal za definisanje da li će se realizovati očitavanje ili upisivanje podataka (\check{C}/U) je zajednički signal za sve memorijske komponente i povezuju se na njihove takve odgovarajuće ulaze. Upravljački signali pojedinačnih memorijskih komponenata za omogućavanje i selektovanje memorijskih kola (CS) su vezani na izlaze dekodera, koji se još naziva adresnim dekoderom. Pomoću dekodera se, na osnovu ostalih adresnih signala A_8 i A_9 , generišu signali za selektovanje odgovarajuće memorijske komponente. U zavisnosti od adrese memorijske lokacije kojoj se treba pristupiti (realizovati upisivanje ili očitavanje) dekoder generiše signal za selektovanje i omogućavanje samo jedne memorijske komponente kojoj će se pristupiti, a koji se dovodi na ulaz CS te memorijske komponente. Ako je u pitanju neka od prvih 256 lokacija (adresa) pristupaće se prvoj memorijskoj komponenti, za sledećih 256 lokacija drugoj komponenti i tako dalje do poslednjih 256 lokacija kada će se pristupati četvrtoj memorijskoj komponenti.

Povećanje broja memorijskih lokacija i broja bita u memorijskim lokacijama

To je slučaj kada treba realizovati memoriju koja će imati veći broj memorijskih lokacija nego osnovna memorijska komponenta i veći broj bita u memorijskim lokacijama nego što je to kod osnovne memorijske komponente. Neka se pretpostavi da se koriste osnovne memorijske komponente kapaciteta $m \times n$, gdje je m broj memorijskih lokacija, a n broj bita u memorijskoj lokaciji. Neka je potrebno realizovati memoriju kapaciteta $M \times N$, sa većim brojem memorijskih lokacija (M), gdje je $M > m$ i $M = k_2 \cdot m$ i sa većim brojem bita u memorijskim lokacijama (N), gdje je $N > n$ i $N = k_1 \cdot n$. U tom slučaju se mora koristiti $k_1 \cdot k_2$ osnovnih memorijskih komponenata postavljenih u matricu koja ima k_1 kolona i k_2 vrsta medjusobno povezanih tako da formiraju memoriju sa većim brojem memorijskih lokacija M i većim brojem bita u lokacijama N . U suštini, ovdje se kombinuju prethodna dva principa. I ovdje se koristi adresni dekoder koji ima k_2 izlaza pomoću kojih se selektuje k_1 memorijskih komponenata u pojedinačnim memorijskim lokacijama.

Npr. neka su na raspolaganju osnovne memorijske komponente kapaciteta $m \times n = 256 \times 1$ bit, a potrebno je projektovati memoriju kapaciteta $M \times N = 1024 \times 2$ bit. U tom slučaju treba koristiti $k_1 \cdot k_2$ memorijskih komponentata, gdje je $k_1 = N/n = 2/1 = 2$ i $k_2 = M/m = 1024/256 = 4$, odnosno ukupno 8 osnovnih memorijskih komponenata povezanih prema sljedećoj slici. I ovdje se radi memoriji RAM tipa u koju je moguće upisivanje i očitavanje podataka.



Memorija RAM tipa kapaciteta 1024x2 bita realizovana pomoću komponenata kapaciteta 256x1 bit

Adresni signali A₀ do A₇ se vode na sve memorijske komponente jer je njihov pojedinačni broj memorijskih riječi jednak $2^8 = 256$. Postoje dva ulaza (UL₁ i UL₂) i dva izlaza (IZ₁ i IZ₂) jer se radi o memorijskim lokacijama sa po 2 bita. Upravljački signal za definisanje da li će se realizovati očitavanje ili upisivanje podataka (Č/U) je zajednički signal za sve memorijske komponente i povezuju se na njihove takve odgovarajuće ulaze. Upravljački signali po dvije memorijske komponente za omogućavanje i selektovanje memorijskih kola (CS) su vezani na izlaze dekodera. Pomoću dekodera se, na osnovu ostalih adresnih signala A₈ i A₉, generišu signali za selektovanje odgovarajućih parova memorijskih komponenata. U zavisnosti od adrese memorijske lokacije kojoj se treba

pristupiti (realizovati upisivanje ili očitavanje) dekoder generiše signal za selektovanje i omogućavanje za samo po dvije memorijske komponente kojim će se pristupiti, a koji se dovodi na ulaze CS tih memorijskih komponenata. Ako je u pitanju neka od prvih 256 lokacija (adresa) pristupaće se prvim dvema memorijskim komponentama, za sledećih 256 lokacija drugim dvema komponentama i tako dalje do poslednjih 256 lokacija kada će se pristupati četvrtoj grupi od po dvije memorijske komponente. Kako se adresni prostor od 256 memorijskih lokacija često naziva stranicom ili stranom onda se u ovom slučaju adresni dekoder može još nazvati i dekoderom strana, kako i piše na prethodnoj slici.