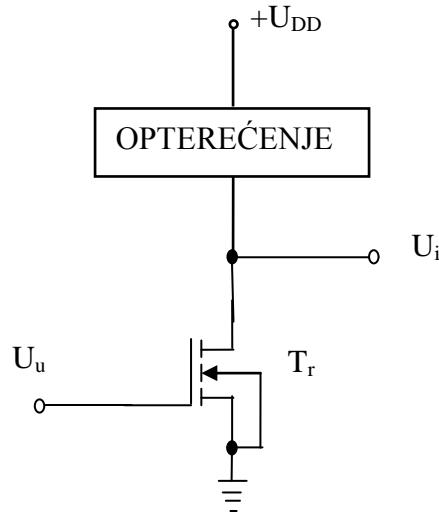


8. PREKIDAČKE KARAKTERISTIKE UNIPOLARNIH TRANZISTORA

UNIPOLARNI TRANZISTOR KAO PREKIDAČKI ELEMENAT

U praksi se kao prekidački tranzistori uglavnom koriste MOS tranzistori sa indukovanim kanalom. Razlozi za to su jednostavnije pobudjivanje i direktnog povezivanja, jer se koriste signali istog polariteta. Najčešće se koriste N kanalni MOS tranzistori (NMOS) jer su kod njih nosioci elektroni čija je pokretljivost i brzina kretanja 2 do 3 puta veća od pokretljivosti i brzine šupljina.

Osnovno prekidačko kolo sa unipolarnim tranzistorom je MOS tranzistor i odgovarajuće opterećenje, kao što je prikazano na sljedećoj slici.

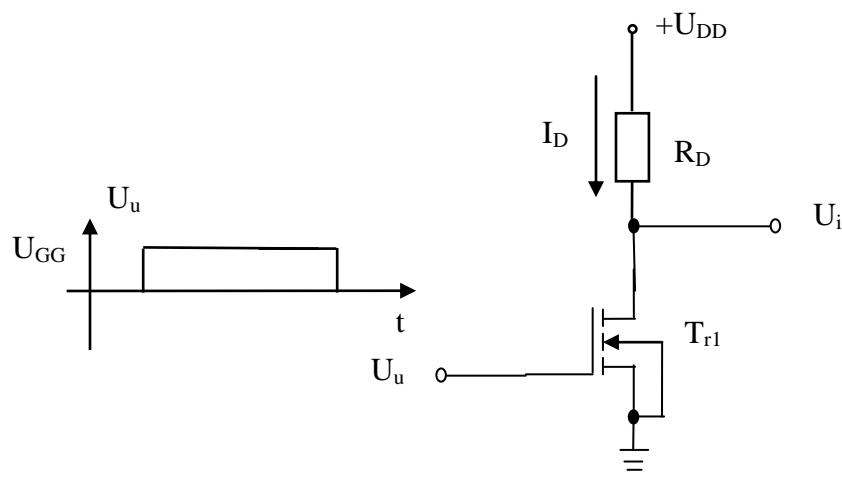


U opštem slučaju opterećenje može da bude:

1. linearno – otpornik,
2. nelinearno – MOS tranzistor istog ili suprotnog tipa kanala (NMOS ili PMOS tranzistor).

PREKIDAČ (INVERTOR) SA LINEARNIM OPTEREĆENJEM

Šema takvog prekidača je prikazana na sljedećoj slici.



Za $U_u < U_{TN}$ (U_{TN} - napon praga NMOS tranzistora) tranzistor je isključen, pa je $I_D = 0$ i $U_i = U_{DD}$. Za $U_u > U_{TN}$ NMOS transistor je uključen. Može biti u nezasićenoj ili zasićenoj oblasti (u zavisnosti od veličine U_u).

Za $U_{DS} < U_{GS} - U_{TN}$, tj. za $U_i < U_u - U_{TN}$, tranzistor je u nezasićenoj oblasti (tzv. linearna, omska ili triodna oblast).

Za $U_{DS} > U_{GS} - U_{TN}$, tj. za $U_i > U_u - U_{TN}$, tranzistor je u zasićenoj oblasti (tzv. nelinearna ili pentodna oblast).

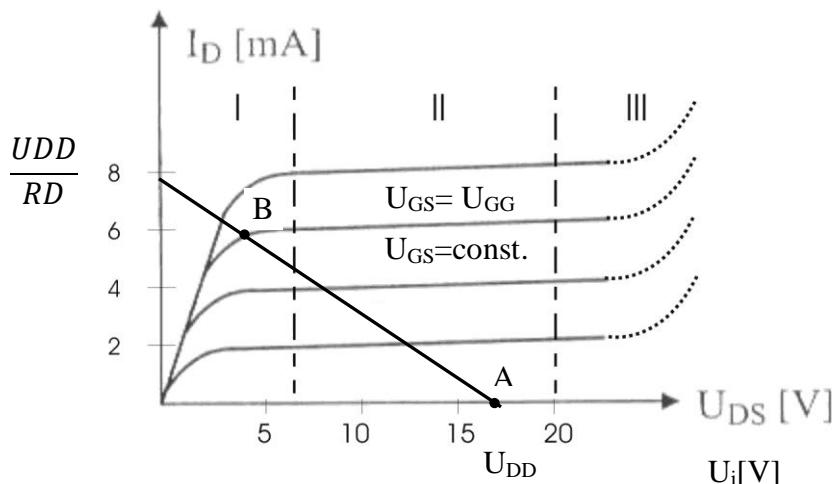
Radna prava takvog prekidača je data sa:

$$U_i = U_{DD} - I_D R_D,$$

odnosno sa:

$$I_D = \frac{U_{DD} - U_i}{R_D}.$$

Postoje dvije radne tačke, jedna za $U_u = 0$, a druga za $U_u = U_{DD}$. Radna tačka za $U_u = 0$ je $I_D = 0$ i $U_i = U_{DD}$. Tranzistor je tada isključen i u zasićenoj oblasti karakteristika. Ta radna tačka je na izlaznoj karakteristici prikazana i označena sa A (prikazano na sljedećoj slici). Za $U_u = U_{GG}$ je $I_D \neq 0$ i dobiva se druga radna tačka prekidača označena sa B na sljedećoj slici. Tada tranzistor treba da bude u nezasićenoj oblasti. Da bi se tada dobio što niži napon na izlazu za radnu tačku B (u idealnom slučaju bi trebalo biti $U_i = 0$), tada ulazni napon U_{GG} mora biti dovoljno veliki da dovede tranzistor u nezasićenu oblast.



Radna tačka u procesu promjene stanja prekidača prolazi kroz ove oblasti karakteristika. Uvijek je u nezasićenoj oblasti kad je tranzistor uključen, a u zasićenoj kad je tranzistor isključen.

Statička prenosna karakteristika

Izrazi za statičku prenosnu karakteristiku $U_i = f(U_u)$ ovakvog prekidača, što se u praksi često posmatra, mogu se dobiti ako se izjednače struja kroz otpornik R_D , koja je data izrazom:

$$\frac{U_{DD} - U_i}{R_D},$$

i struja drenja NMOS tranzistora. Pri tome treba voditi računa da je struja drenja NMOS tranzistora data sa:

$$I_D = \begin{cases} \beta(U_{GS} - U_{TN})^2, & U_{DS} > U_{GS} - U_{TN} - zasicanje \\ \beta[2(U_{GS} - U_{TN})U_{DS} - U_{DS}^2], & U_{DS} < U_{GS} - U_{TN} - nezasicanje \end{cases}$$

Onda prenosna karakteristika ima tri oblasti.

- Za $U_u < U_{TN}$ tranzistor je isključen i struja drenova ne postoji ($I_D=0$). Na izlazu je tada visok nivo i izlazni napon je tada jednak naponu napajanja $U_i = U_i^1 = U_{DD}$.

- Za $U_u > U_{TN}$ tranzistor je uključen i u zasićenoj oblasti karakteristika. Onda je tada u zasićenoj oblasti:

$$\frac{U_{DD} - U_i}{R_D} = \beta(U_u - U_{TN})^2,$$

jer je $U_{TN} < U_u < U_i + U_{TN}$ i tranzistor je u zasićenoj oblasti. Iz prethodnog izraza se dobiva da se izlazni napon u tom dijelu karakteristike mijenja prema sljedećem izrazu:

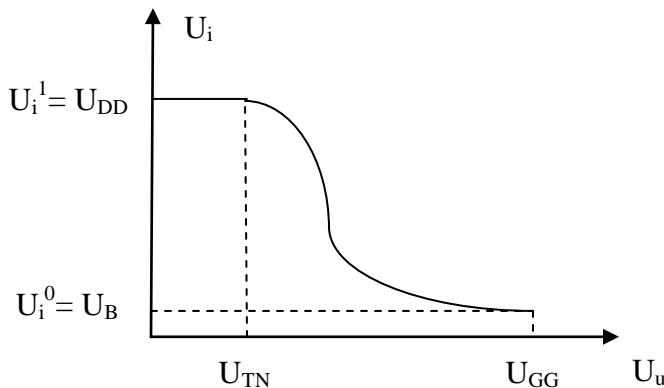
$$U_i = U_{DD} - \beta(U_u - U_{TN})^2 R_D.$$

- Sa daljim porastom U_u tranzistor prelazi u nezavisnu oblast karakteristika. Tada se može pisati za nezasićenu oblast da je:

$$\frac{U_{DD} - U_i}{R_D} = \beta[2(U_u - U_{TN})U_i - U_i^2],$$

za $U_u > U_i - U_{TN}$ jer je tada tranzistor u nezasićenoj oblasti.

Prenosna statička karakteristika takvog prekidača je prikazana na sljedećoj slici.



Vidi se da će prelazna oblast prenosne karakteristike biti uža, odnosno biće veća strmina prenosne karakteristike, što je vrijednost R_D veća. Takodje, izlazni napon niskog nivoa $U_i^0 = U_B$ će biti manji što je vrijednost otpornosti R_D veća.

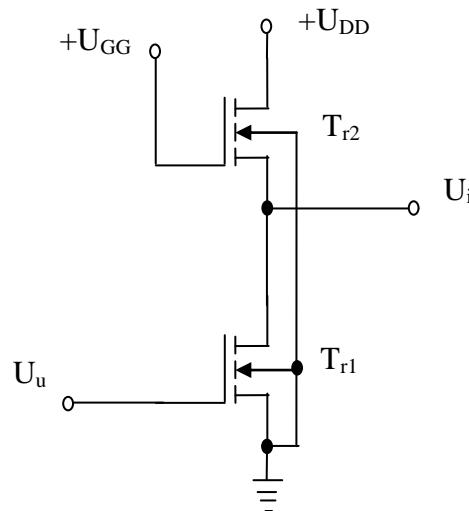
PREKIDAČI (INVERTORI) SA NELINEARNIM OPTEREĆENJEM

U većini prekidačkih kola sa MOS tranzistorima, a u integriranim kolima isključivo, kao opterećenje se koristi MOS tranzistor.

Opitereni MOS tranzistor, u odnosu na prekidački MOS tranzistor, može da bude:

- istog tipa provodnosti (istog tipa kanala) sa indukovanim kanalom,
- istog tipa provodnosti (istog tipa kanala) sa ugrađenim kanalom,
- suprotnog tipa provodnosti (suprotnog tipa kanala) (to je onda takozvani komplementarni MOS prekidač ili CMOS prekidač).

Kada je opterećenje istog tipa sa indukovanim kanalom onda se gejt tog opteretnog tranzistora priključuje na konstantan napon U_{GG} tako da je taj tranzistor stalno uključen. Šema takvog MOS prekidača je prikazana na sljedećoj slici.



U zavisnosti od odnosa vrijednosti napona U_{GG} i U_{DD} radna tačka tranzistora T_{r2} je ili u zasićenoj ili u nezasićenoj oblasti, nezavisno od stanja tranzistora T_{r1} .

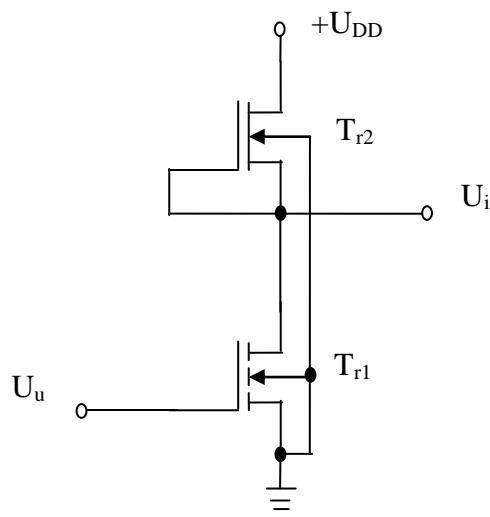
U praktičnim primjenama se koriste dva slučaja:

$$a) U_{GG} = U_{DD} - \text{tada je } T_{r2} \text{ u zasićenoj oblasti i } U_i^1 = U_{DD} - U_{TN2},$$

$$b) U_{GG} > U_{DD} + U_{TN2} (\text{tipično } U_{GG} \approx 2U_{DD}) - \text{tada je } T_{r2} \text{ u nezasićenoj oblasti i } U_i^1 = U_{DD}.$$

Karakteristično je za oba slučaja da se uzima u praksi da je $\beta_1 \gg \beta_2$, da bi se dobilo da je izlazni napon U_i^0 u uključenom stanju mnogo manji od napona U_{DD} i da je taj napon što manji. Napon U_i^0 zavisi od odnosa β_2 / β_1 i manji je što je taj odnos veći.

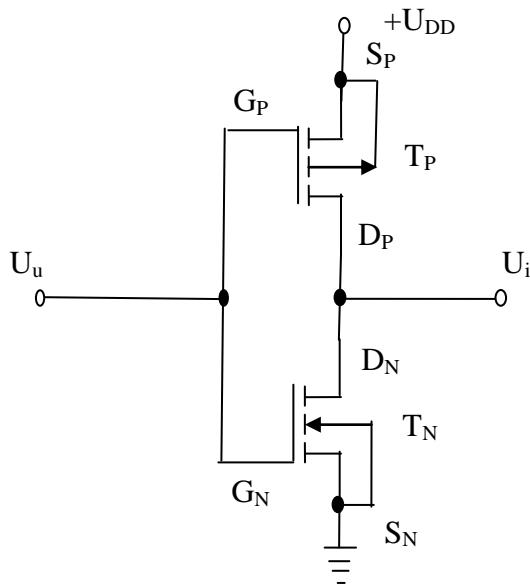
Ponekad se kao opterećenje koristi tranzistor istog tipa ali sa ugrađenim kanalom. Gejt i sors opteretnog tranzistora se tada kratko spajaju. To je prikazano na sljedećoj slici.



Tada je opteretni tranzistor T_{r2} stalno uključen, prolazi kroz zasićenu i nezasićenu oblast, a izlazni napon za visok izlazni signal je $U_i^1 = U_{DD}$.

CMOS PREKIDAČ (CMOS INVERTOR)

CMOS prekidač ili CMOS invertor je prikazan na sljedećoj slici.



Za $U_u < U_{TN}$ tranzistor T_N je isključen, a tranzistor T_P je uključen i u nezasićenoj oblasti. Na izlazu je $U_i = U_{DD}$. Kako je tranzistor T_N isključen onda nema struje iz izvora za napajanje, tj. nema potrošnje energije iz izvora za napajanje U_{DD} .

Za $U_u > U_{DD} - |U_{TP}|$ tranzistor T_P je isključen, a tranzistor T_N je uključen i u nezasićenoj oblasti. Na izlazu je $U_i = 0$. Kako je tranzistor T_P isključen onda nema struje iz izvora za napajanje, tj. nema potrošnje energije iz izvora za napajanje U_{DD} .

To su dva statička stanja CMOS prekidača. Struja iz izvora za napajanje je praktično zanemarljiva u oba statička stanja, jer je u statičkim stanjima uvijek jedan tranzistor isključen, a drugi uključen.

U prelaznom režimu oba MOS tranzistora su uključena i prolaze kroz ove oblasti karakteristika, zasićenu i nezasićenu.

Ponašanje CMOS invertora se može objasniti i preko dva prekidača sa zajedničkom upravljačkom osnovom (gejtori tranzistora) redno vezana izmedju U_{DD} i mase. Ti prekidači su MOS tranzistori T_P i T_N . U statičkim stanjima je uvijek jedan prekidač (MOS tranzistor) uključen, a jedan isključen. Za $U_u = 0$ uključen je T_P , a isključen T_N i na izlazu je $U_i = U_{DD}$. Za $U_u = U_{DD}$ uključen je T_N , a isključen T_P i na izlazu je $U_i = 0$.

Analiza prenosne karakteristike CMOS invertora

Analiziraćemo statičku prenosnu karakteristiku (ili prenosnu funkciju) CMOS invertora $U_i = f(U_u)$. U procesu promjene stanja oba MOS tranzistora prolaze kroz obe oblasti svojih karakteristika, tako da na prenosnoj karakteristici CMOS invertora postoji pet različitih oblasti.

I oblast:

Za $0 < U_u < U_{TN}$, tada je T_N isključen, a T_P je uključen. T_N je u zasićenoj, a T_P je u nezasićenoj oblasti. Zavisnost U_i u funkciji U_u se može dobiti izjednačavanjem struja drejna tranzistora T_N i T_P u navedenim oblastima. Tada je

$$I_{DN} = |I_{DP}| = 0 = \beta_P [2(U_{DD} - |U_{TP}|)(U_{DD} - U_i) - (U_{DD} - U_i)^2],$$

pa se na osnovu uslova

$$U_{DD} - U_i = 0$$

dobiva da je u toj oblasti

$$U_i = U_{DD}.$$

II oblast:

Za $U_{TN} < U_u < U_i - |U_{TP}|$, tada su T_N i T_P uključeni. T_N je u zasićenoj, a T_P je u nezasićenoj oblasti. Tranzistor T_N je u zasićenoj oblasti jer je

$$U_{DSN} > U_{GSN} - U_{TN},$$

tj. jer je

$$U_i > U_u - U_{TN},$$

odnosno, jer je

$$U_u < U_i + U_{TN}.$$

Tranzistor T_P je u nezasićenoj oblasti jer je

$$|U_{DSP}| < |U_{GSP}| - |U_{TP}|,$$

tj. jer je

$$U_{DD} - U_i < U_{DD} - U_u - |U_{TP}|,$$

odnosno, jer je

$$U_u < U_i - |U_{TP}|.$$

Vrijednost U_i u funkciji U_u se može dobiti iz jednačavanjem struja drevna tranzistora T_N i T_P u navedenim oblastima. Tako se iz uslova

$$I_{DN} = |I_{DP}|$$

dobiva

$$I_{DN} = \beta_N (U_{GSN} - U_{TN})^2 = |I_{DP}| = \beta_P [2(|U_{GSP}| - |U_{TP}|)(U_{DSP}) - |U_{DSP}|^2],$$

jer je

$$U_{GSN} = U_u, |U_{GSP}| = U_{DD} - U_u, |U_{DSP}| = U_{DD} - U_i,$$

pa je

$$\beta_N (U_u - U_{TN})^2 = \beta_P [2(U_{DD} - U_u - |U_{TP}|)(U_{DD} - U_i) - (U_{DD} - U_i)^2].$$

Rješavanjem ove jednačine po U_i se dobiva da je

$$U_i = U_u - |U_{TP}| + \sqrt{(U_{DD} - U_u - |U_{TP}|)^2 - \frac{\beta_N}{\beta_P} (U_u - U_{TN})^2}.$$

Tim izrazom je data promjena izlaznog napona u funkciji od promjene ulaznog napona u toj oblasti izlazne statičke prenosne karakteristike.

III oblast:

Za $U_i - |U_{TP}| < U_u < U_i + U_{TN}$, tada su tranzistori T_N i T_P uključeni i oba su u zasićenoj oblasti.

Tranzistor T_N je (ostaje) u zasićenoj oblasti jer je

$$U_{DSN} > U_{GSN} - U_{TN},$$

tj. jer je

$$U_i > U_u - U_{TN},$$

odnosno, jer je

$$U_u < U_i + U_{TN}.$$

Tranzistor T_P je (prešao) u zasićenoj oblasti jer je

$$|U_{DSP}| > |U_{GSP}| - |U_{TP}|,$$

tj. jer je

$$U_{DD} - U_i > U_{DD} - U_u - |U_{TP}|,$$

odnosno, jer je

$$U_u > U_i - |U_{TP}|.$$

Izjednačavanjem struja drenova tranzistora T_N i T_P u navedenim oblastima, tj. iz uslova

$$I_{DN} = |I_{DP}|$$

se dobiva:

$$I_{DN} = \beta_N (U_{GSN} - U_{TN})^2 = |I_{DP}| = \beta_P (|U_{GSP}| - |U_{TP}|)^2,$$

odnosno, dalje je

$$\beta_N (U_u - U_{TN})^2 = \beta_P (U_{DD} - U_u - |U_{TP}|)^2$$

$$\frac{\beta_N}{\beta_P} (U_u - U_{TN})^2 = (U_{DD} - U_u - |U_{TP}|)^2$$

$$\sqrt{\frac{\beta_N}{\beta_P}} (U_u - U_{TN}) = U_{DD} - U_u - |U_{TP}|$$

pa se dobiva da je

$$U_u = U_T = \frac{U_{DD} - |U_{TP}| + \sqrt{\frac{\beta_N}{\beta_P}} U_{TN}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}}.$$

Taj napon se naziva naponom praga CMOS invertora i označava se sa U_T . Za $U_u = U_T$ dolazi do nagle promjene izlaznog napona CMOS invertora. Tu je prenosna karakteristika veoma strma, praktično vertikalna.

Kada su odgovarajući parametri MOS tranzistora T_N i T_P jednaki, tj. kada je $\beta_N = \beta_P, U_{TN} = |U_{TP}|$,

$$\text{tada je } U_T = \frac{U_{DD}}{2}.$$

Tipične vrijednosti napona praga CMOS invertora u praksi se kreću u granicama $U_T = (0,45 \text{ do } 0,55) U_{DD}$. To znači da je napon praga U_T CMOS invertora približno jednak polovini napona napajanja U_{DD} i bitno se razlikuje od napona pragova MOS tranzistora U_{TN} i U_{TP} .

IV oblast:

Za $U_i + U_{TN} < U_u < U_{DD} - |U_{TP}|$, tada su tranzistori T_N i T_P uključeni. T_N je u nezasićenoj oblasti karakteristika, a T_P je u zasićenoj oblasti karakteristika.

Izjednačavanjem struja drenova tranzistora T_N i T_P u navedenim oblastima se dobiva:

$$I_{DN} = \beta_N [2(U_{GSN} - U_{TN})U_{DSN} - U_{DSN}^2] = |I_{DP}| = \beta_P (|U_{GSP}| - |U_{TP}|)^2,$$

odnosno, dobiva se

$$\beta_N [2(U_u - U_{TN})U_i - U_i^2] = \beta_P (U_{DD} - U_u - |U_{TP}|)^2.$$

Rješavanjem te jednačine po izlaznom naponu U_i se dobiva izraz

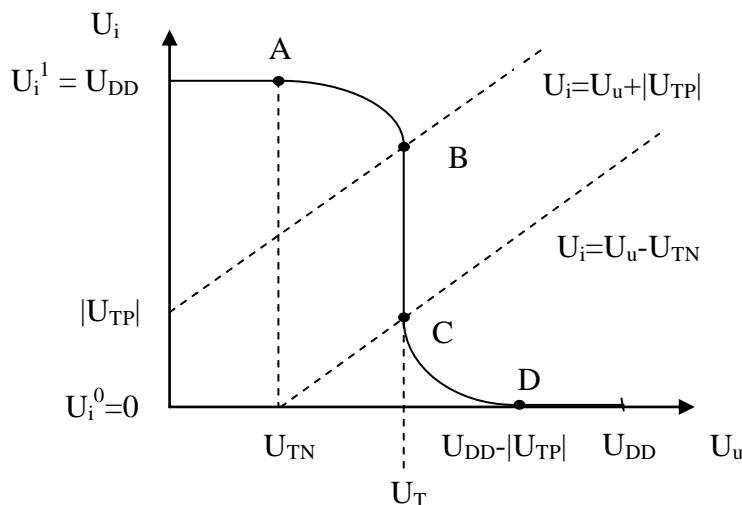
$$U_i = U_u - U_{TN} - \sqrt{(U_u - U_{TN})^2 - \frac{\beta_N}{\beta_P} (U_{DD} - U_u - |U_{TP}|)^2}$$

za promjenu izlaznog napona u funkciji promjene ulaznog napona u toj oblasti izlazne prenosne karakteristike.

V oblast:

Za $U_{DD} - |U_{TP}| < U_u < U_{DD}$, tada je tranzistor T_P isključen, a tranzistor T_N uključeni i u nezasićenoj oblasti karakteristika. Kako je T_P isključen onda je struja drepna jednaka nuli ($I_D = 0$) i izlazni napon $U_i = U_i^0 = 0$.

Statička naponska prenosna karakteristika CMOS invertora je prikazana na sljedećoj slici.



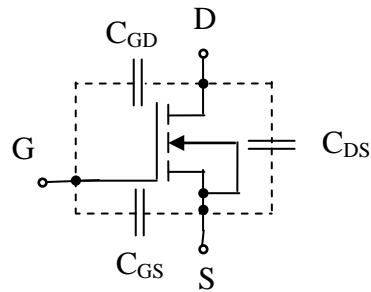
Sa prethodne slike se vidi da je:

- I oblast karakteristike: lijevo do tačke A,
- II oblast karakteristike: od tačke A do tačke B,
- III oblast karakteristike: od tačke B od tačke C,
- IV oblast karakteristike: od tačke C do tačke D,
- V oblast karakteristike: desno od tačke D.

DINAMIČKI PARAMETRI UNIPOLARNIH PREKIDAČA (PRELAZNI REŽIM KOD UNIPOLARNIH TRANZISTORA)

Dinamičke karakteristike, tj. karakteristike u prelaznom režimu, kod prekidača sa MOS tranzistorima uglavnom su određene vrijednostima parazitnih kapacitivnosti između pojedinih elektroda tranzistora. MOS tranzistori se vrlo brzo uključuju i isključuju, tako da se praktično može smatrati da se MOS tranzistor trenutno uključuje ili isključuje.

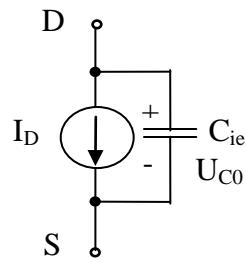
Pri analizi dinamičkih parametara ili prelaznih režima kod unipolarnih prekidača se koristi sljedeći model MOS tranzistora, tzv. dinamički model MOS tranzistora.



Sa C_{GS} , C_{GD} i C_{DS} su označene parazitne kapacitivnosti izmedju odgovarajućih elektroda MOS tranzistora.

Pri analizi prelaznih režima smatra se praktično da se tranzistor uključuje ili isključuje trenutno. Zbog toga prelazne režime, odnosno dinamičke karakteristike (odgovarajuća vremena), će određivati parazitne kapacitivnosti i njihovo punjenje i pražnjenje.

Onda se MOS tranzistor može praktično zamijeniti strujnim generatorom i paralelnim kondenzatorom kada se tranzistor uključuje, kao što je prikazano na sljedećoj slici.



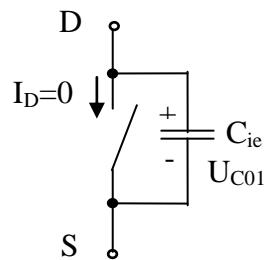
Struja drenova tranzistora I_D je data poznatim izrazima za struju drenova, zavisno od toga da li je tranzistor u zasićenoj ili u nezasićenoj oblasti.

Kapacitivnost

$$C_{ie} = C_{DS} + 2 C_{GD},$$

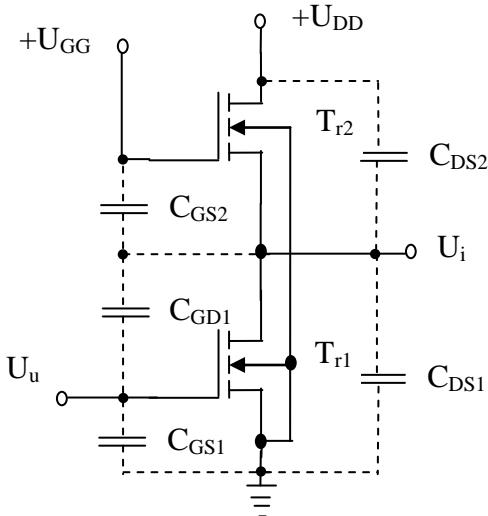
je ekvivalentna izlazna kapacitivnost tranzistora. Uzima se dvostruka vrijednost kapacitivnosti C_{GD} (tj. $2C_{GD}$) jer se na toj parazitnoj kapacitivnosti napon u prelaznom procesu dvostruko mijenja. Na njemu se dešavaju dvije promjene, tj. ukupno $2 U_{DD}$, jer je on spojen između ulaza i izlaza, a promjene U_u i U_i su iste ali suprotne po fazi. To se onda može ekvivalentno izraziti kao dvostruka vrijednost C_{GD} u ekvivalentnoj šemi tranzistora. U_{C0} je početni napon na kapacitivnosti C_{ie} u trenutku uključivanja MOS tranzistora.

U procesu isključivanja MOS tranzistor se može zamjeniti otvorenim prekidačem i paralelnim kondenzatorom, kao što je prikazano na sljedećoj slici. U_{C01} je početni napon na kapacitivnosti C_{ie} u trenutku isključivanja MOS tranzistora.



Mogu se posmatrati prelazne pojave MOS prekidača (MOS invertora) sa različitim opterećenjem.

Ako bi opterećenje bilo MOS tranzistor istog tipa onda bi njegova šema bila prikazana na sljedećoj slici.



U ovom slučaju ekvivalentna izlazna kapacitivnost prekidača je

$$C_{ie} = C_{DS1} + C_{DS2} + C_{GS2} + 2C_{GD1}.$$

U procesu uključivanja Tr₁ se zamjeni strujnim generatorom I_D i kapacitivnošću C_{ie}. Kapacitivnost C_{ie} se tada prazni, a izlazni napon U_i opada. Tranzistor Tr₁ može biti u zasićenoj ili u nezasićenoj oblasti karaakteristika.

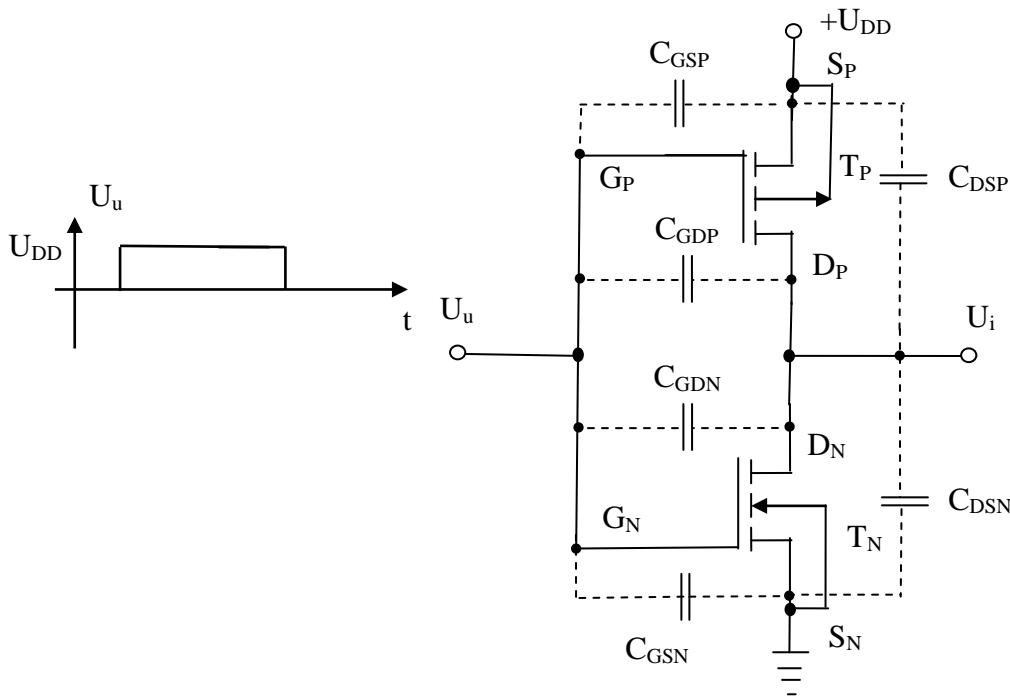
MOS tranzistor Tr₂ ne funkcioniše kao prekidač. On je stalno uključen, pa se može zamjeniti strujnim generatorom I_{D2}. U zavisnosti od odnosa U_{GG} i U_{DD}, tranzistor Tr₂ može biti u zasićenoj ili u nezasićenoj oblasti. Međutim, pošto je (kao što je ranije rečeno) u praksi $\beta_1 \gg \beta_2$, struja I_{D2} u ovom procesu uključivanja tranzistora Tr₁ se može zanemariti.

U procesu isključivanja MOS tranzistora Tr₁ (tada U_i raste), Tr₁ se zamjenjuje otvorenim prekidačem i kapacitivnošću C_{ie}. Kapacitivnost C_{ie} se tada puni strujom drevna I_{D2} tranzistora Tr₂. Zavisno od odnosa napona U_{GG} i U_{DD} to će biti struja u zasićenoj ili nezasićenoj oblasti.

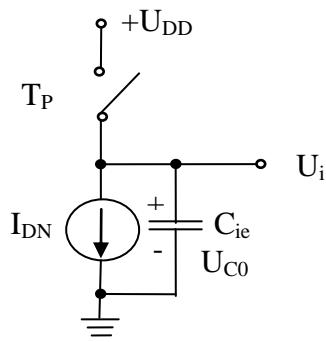
PRELAZNI REŽIM KOD CMOS PREKIDAČA (CMOS INVERTORA)

Na sljedećoj slici je prikazana šema CMOS invertora sa odgovarajućim parazitnim kapacitivnostima oba MOS tranzistora.

U statičkim stanjima uvijek je jedan tranzistor isključen. Kako se MOS tranzistori praktično trenutno uključuju i isključuju, u prelaznom režimu jedan tranzistor je uključen, a drugi isključen. Strujom uključenog tranzistora puni se ili se prazni ekvivalentna izlazna kapacitivnost C_{ie}. Uključivanje i isključivanje tranzistora je trenutno.



Pri pozitivnoj promjeni ulaznog napona, tj. za $U_u = U_{DD}$, isključuje se tranzistor T_P , a uključuje T_N . Strujom tranzistora T_N prazni se ekvivalentna kapacitivnost C_{ie} . Ekvivalentna šema za takav slučaj je prikazana na sljedećoj slici.



Ekvivalentna izlazna kapacitivnost prekidača je ovdje:

$$C_{ie} = C_{DSN} + C_{DSP} + 2(C_{GDN} + C_{GDP}).$$

Uzimaju se u obzir parazitne medjuelektrodne kapacitivnosti oba MOS tranzistora. Kako su i ovdje napon izmedju ulaza i izlaza suprotni po fazi, uzima se u obzir dvostruka vrijednost parazirnih kapacitivnosti spojenih izmedju ulaza i izlaza.

Napon U_{C0} je početni napon na C_{ie} kad se uključi T_N i isključi T_P . Taj napon je $U_{C0} = U_{DD}$. Toliki je bio izlazni napon kad je bilo $U_u = 0$ (prije promjene U_u sa 0 na U_{DD}).

U ovom intervalu MOS tranzistor T_N prolazi kroz obe oblasti karakteristika, zasićenu i nezasićenu. Zato se vrijeme promjene U_i , odnosno vrijeme t_f opadanja izlaznog napona U_i , sastoji od dva vremena:

$$t_f = t_{f1} + t_{f2},$$

gdje je t_{f1} vrijeme za koje je T_N u zasićenoj oblasti, a t_{f2} je vrijeme za koje je T_N u nezasićenoj oblasti karakteristika.

Određivanje t_{f1}

Tada je T_N u zasićenoj oblasti pa je njegova struja drebna:

$$I_{DN} = \beta_N (U_u - U_{TN})^2 = \beta_N (U_{DD} - U_{TN})^2.$$

Onda je promjena izlaznog napona data se:

$$u_i(t) = U_{CO} - \frac{1}{C_{ie}} \int_0^t I_{DN} dt,$$

a početni napon je:

$$U_{CO} = U_{DD}.$$

Tako se dobiva da je:

$$u_i(t) = U_{DD} - \frac{\beta_N}{C_{ie}} \int_0^t (U_{DD} - U_{TN})^2 dt = U_{DD} - \frac{\beta_N}{C_{ie}} (U_{DD} - U_{TN})^2 t.$$

Iz uslova da T_N bude na granici zasićene i nezasićene oblasti određuje se t_{f1}

$$u_i(t_{f1}) = U_{DD} - U_{TN} = U_{DD} - \frac{\beta_N}{C_{ie}} (U_{DD} - U_{TN})^2 t_{f1},$$

odnosno, dobiva se da je t_{f1} jednako:

$$t_{f1} = C_{ie} \frac{U_{TN}}{\beta_N (U_{DD} - U_{TN})^2}.$$

Određivanje t_{f2}

Tada je T_N u nezasićenoj oblasti pa je njegova struja drebna jednaka:

$$I_{DN} = \beta_N [2(U_{GSN} - U_{TN})U_{DSN} - U_{DSN}^2] = \beta_N [2(U_{DD} - U_{TN})U_i - U_i^2].$$

Početni napon na ekvivalentnoj kapacitivnosti je:

$$U_{CO1} = U_{DD} - U_{TN}.$$

Na osnovu toga se dobija da je promjena izlaznog napona data sa:

$$u_i(t) = U_{CO1} - \frac{1}{C_{ie}} \int_0^t I_{DN} dt = U_{DD} - U_{TN} - \frac{\beta_N}{C_{ie}} \int_0^t [2(U_{DD} - U_{TN})U_i - U_i^2] dt.$$

Ako se izvrši diferenciranje ove jednačine dobiva se

$$\frac{du_i}{dt} = -\frac{\beta_N}{C_{ie}} [2(U_{DD} - U_{TN})U_i - U_i^2],$$

odnosno

$$\frac{du_i}{2(U_{DD} - U_{TN})U_i - U_i^2} = -\frac{\beta_N}{C_{ie}} dt.$$

Integriranjem se dobiva:

$$\int_{U_{DD}-U_{TN}}^{U_i} \frac{du_i}{2(U_{DD} - U_{TN})U_i - U_i^2} = -\frac{\beta_N}{C_{ie}} \int_0^t dt,$$

odnosno:

$$\int_{U_{DD}-U_{TN}}^{U_i} \frac{du_i}{U_i [2(U_{DD}-U_{TN})-U_i]} = -\frac{\beta_N}{C_{ie}} \int_0^t dt .$$

Ako se iskoristi da je

$$\int \frac{dx}{x(ax+b)} = -\frac{1}{b} \ln \frac{ax+b}{x},$$

onda je $x = U_i$, $a = -1$, $b = 2(U_{DD}-U_{TN})$, pa se dobiva da je:

$$-\frac{1}{2(U_{DD}-U_{TN})} \ln \frac{2(U_{DD}-U_{TN})-U_i}{U_i} = -\frac{\beta_N}{C_{ie}} t,$$

odnosno:

$$\frac{1}{2(U_{DD}-U_{TN})} \left[\ln \frac{2(U_{DD}-U_{TN})-U_i}{U_i} - \ln \frac{2(U_{DD}-U_{TN})-(U_{DD}-U_{TN})}{(U_{DD}-U_{TN})} \right] = \frac{\beta_N}{C_{ie}} t,$$

tj. da je:

$$\frac{1}{2(U_{DD}-U_{TN})} \ln \frac{2(U_{DD}-U_{TN})-U_i}{U_i} = \frac{\beta_N}{C_{ie}} t.$$

Iz uslova da izlazni napon U_i padne na 10% početnog napona ($U_{C01} = U_{DD} - U_{TN}$) dobiva se vrijeme t_{f2} (ne može iz uslova da U_i padne na nula jer bi to teoretski bilo beskonačno vrijeme). Tako se iz uslova:

$$U_i(t_{f2}) = 0,1(U_{DD} - U_{TN})$$

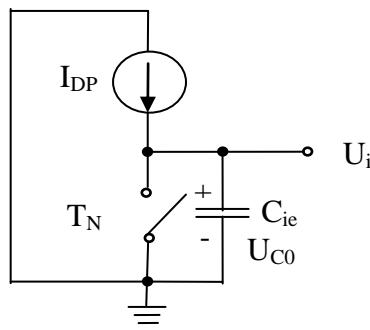
i izraza

$$\frac{1}{2(U_{DD}-U_{TN})} \cdot \ln \frac{2(U_{DD}-U_{TN})-0,1(U_{DD}-U_{TN})}{0,1(U_{DD}-U_{TN})} = \frac{\beta_N}{C_{ie}} t_{f2},$$

dobiva da je vrijeme t_{f2} jednako:

$$t_{f2} = \frac{C_{ie}}{\beta_N} \frac{\ln 19}{2(U_{DD}-U_{TN})} = 1,45 \frac{C_{ie}}{\beta_N (U_{DD}-U_{TN})}.$$

Pri negativnoj promjeni ulaznog napona, tj. za $U_u = 0$, T_N se trenutno isključuje, a T_P se trenutno uključuje. Ekvivalentna kapacitivnost C_{ie} se puni strujom tranzistora T_P . Ekvivalentna šema za takav slučaj je prikazana na sljedećoj slici.



Ovdje je sada početni napon $U_{C0}=0$, jer je toliko bio izlazni napon kad je bilo $U_u = U_{DD}$, prije promjene U_u sa U_{DD} na nulu.

U ovom slučaju i T_P prolazi kroz obe oblasti karakteristika, prvo kroz zasićenu, a onda kroz nezasićenu oblast. Zato se vrijeme promjene, odnosno vrijeme t_r porasta izlaznog napona U_i i ovdje sastoji od dva vremena:

$$t_r = t_{r1} + t_{r2},$$

gdje je t_{r1} vrijeme za koje je T_P u zasićenoj oblasti, a t_{r2} je vrijeme za koje je T_P u nezasićenoj oblasti.

Određivanje t_{r1}

Za to vrijeme tranzistor T_P je u zasićenoj oblasti pa je njegova struja drezna data sa:

$$|I_{DP}| = \beta_p (|U_{GSP}| - |U_{TP}|)^2 = \beta_p (U_{DD} - |U_{TP}|)^2.$$

Onda je promjena izlaznog napona jednaka:

$$u_i(t) = U_{CO} + \frac{1}{C_{ie}} \int_0^t |I_{DP}| dt = \frac{1}{C_{ie}} \beta_p \int_0^t (U_{DD} - |U_{TP}|)^2 dt = \frac{\beta_p}{C_{ie}} (U_{DD} - |U_{TP}|)^2 t.$$

Početni napon U_{CO} je ovdje, kao što je prethodno navedeno, jednak $U_{CO}=0$.

Iz uslova da MOS tranzistor T_P bude na granici zasićene i nezasićene oblasti karakteristika, tj. iz uslova da je $U_i = |U_{TP}|$ dobiva se vrijeme t_{r1} , dato sljedećim izrazom:

$$t_{r1} = C_{ie} \frac{|U_{TP}|}{\beta_p (U_{DD} - |U_{TP}|)^2}.$$

Određivanje t_{r2}

Sada je tranzistor T_P u nezasićenoj oblasti pa je njegova struja drezna data sa:

$$|I_{DP}| = \beta_p [2(|U_{GSP}| - |U_{TP}|)U_{DSP} - |U_{DSP}|^2] = \beta_p [2(U_{DD} - |U_{TP}|)(U_{DD} - U_i) - (U_{DD} - U_i)^2].$$

Onda se izlazni napon mijenja prema sljedećoj relaciji:

$$u_i(t) = U_{CO1} + \frac{1}{C_{ie}} \int_0^t |I_{DP}| dt = |U_{TP}| + \frac{\beta_p}{C_{ie}} \int_0^t [2(U_{DD} - |U_{TP}|)(U_{DD} - U_i) - (U_{DD} - U_i)^2] dt.$$

Početni napon U_{CO1} je ovdje jednak $U_{CO1} = |U_{TP}|$.

Diferenciranjem jednačine za promjenu izlaznog napona se dobiva:

$$\frac{du_i}{dt} = \frac{\beta_p}{C_{ie}} [2(U_{DD} - |U_{TP}|)(U_{DD} - U_i) - (U_{DD} - U_i)^2].$$

Integriranjem te jednačine dobiva se:

$$\int_{|U_{TP}|}^{U_i} \frac{du_i}{2(U_{DD} - |U_{TP}|)(U_{DD} - U_i) - (U_{DD} - U_i)^2} = \int_0^t \frac{\beta_p}{C_{ie}} dt.$$

Ako se iskoristi da je

$$\int \frac{dx}{x(ax+b)} = -\frac{1}{b} \ln \frac{ax+b}{x},$$

onda je $x=U_i-U_{DD}$, $a=-1$ i $b=-2(U_{DD}-|U_{TP}|)$, pa se dobije da je:

$$\frac{1}{2(U_{DD} - |U_{TP}|)} \ln \frac{2(U_{DD} - |U_{TP}|) - (U_{DD} - U_i)}{U_{DD} - U_i} = \frac{\beta_p}{C_{ie}} t,$$

odnosno, dobije se da vrijedi:

$$\frac{1}{2(U_{DD} - |U_{TP}|)} \left[\ln \frac{2(U_{DD} - |U_{TP}|) - (U_{DD} - U_i)}{U_{DD} - U_i} - \ln \frac{2(U_{DD} - |U_{TP}|) - (U_{DD} - |U_{TP}|)}{U_{DD} - |U_{TP}|} \right] = \frac{\beta_N}{C_{ie}} t.$$

Iz uslova da izlazni napon dostigne vrijednost $U_i = U_{DD} - 0,1 (U_{DD} - |U_{TP}|)$, odnosno da se izlazni napon promjeni za 90% od moguće vrijednosti (90% od $U_{DD} - |U_{TP}|$) dobiva se vrijeme t_{r2} . Ne može se uzeti uslov da U_i dostigne vrijednost U_{DD} jer bi to vrijeme teoretski bilo beskonačno).

Tako se iz uslova:

$$u_i(t_{r2}) = U_{DD} - 0,1(U_{DD} - |U_{TP}|),$$

te jednačine:

$$\frac{1}{2(U_{DD} - |U_{TP}|)} \ln \frac{1,9(U_{DD} - |U_{TP}|)}{0,1(U_{DD} - |U_{TP}|)} = \frac{\beta_P}{C_{ie}} t_{r2},$$

dobiva da je vrijeme t_{r2} dato sljedećom jednačinom:

$$t_{r2} = \frac{C_{ie}}{\beta_P} \frac{\ln 19}{2(U_{DD} - |U_{TP}|)} = 1,45 \frac{C_{ie}}{\beta_P (U_{DD} - |U_{TP}|)}.$$

Iz dobivenih izraza za t_f i t_r se vidi da su ta vremena međusobno jednaka ako su odgovarajući parametri MOS tranzistora jednaki (ako je $\beta_N = \beta_P$ i $U_{TN} = |U_{TP}|$). U takvom slučaju su jednaka vremena:

$$\begin{aligned} t_{f1} &= t_{r1}, \\ t_{f2} &= t_{r2}, \\ t_f &= t_r. \end{aligned}$$

Poželjno je da ta vremena budu što manja. Da bi prekidač ispravno funkcionisao period njegovih pobudnih ulaznih signala treba da bude veći od zbiru vremena t_f i t_r .

Na sljedećoj slici su prikazani oblici ulaznog i izlaznog napona za CMOS prekidač (CMOS invertor) u prelaznom režimu.

