

LOGIČKA IKOLA

60-tih godina 20. veka prouvedene su prve integrisane klo (IC) i prve familije integrisanih klo.

Familija logičkih klo - skup logičkih klo prouvedenih istog tehnologijom ili istom kombinacijom tehnologija.

IC se mogu klasifikovati na osnovu nivoa ili stepena integracije. Kod digitalnih IC, za osnovu stepena integracije se koristi broj osnovnih logičkih klo ili jeftova.

<u>stepen integracije</u>	<u>broj jeftova</u>
Mali stepen integracije (SSI)	do 100
Srednji stepen integracije (MSI)	od 100 do 1000
Veliki stepen integracije (LSI)	od 1000 do 10 000
Vrerna veliki stepen integracije (VLSI)	preko 10000

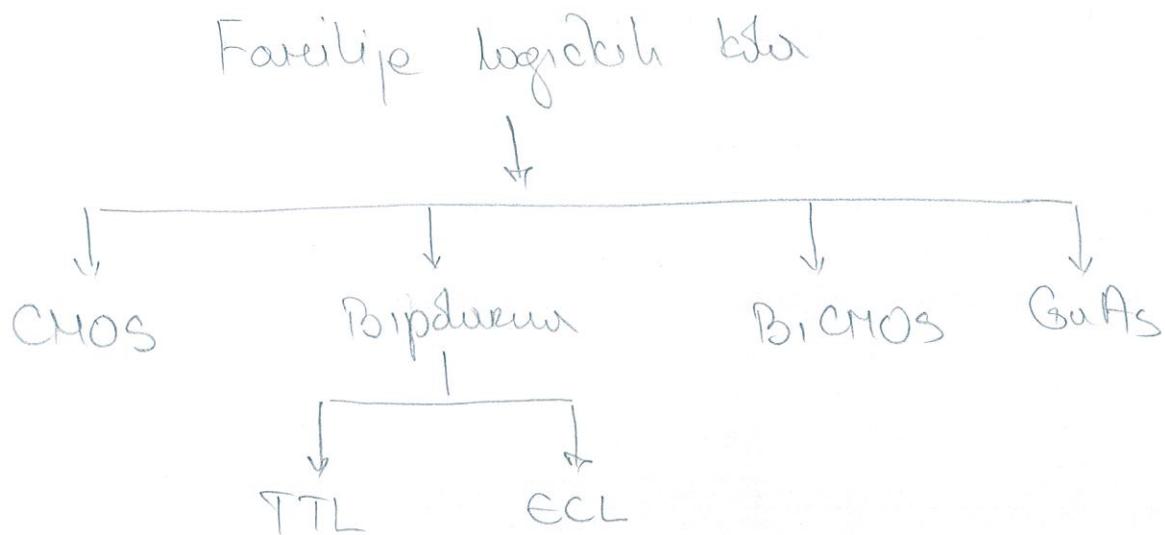
SSI : osnovna logička klo i flip flopovi

MSI : složena kombinaciona i sekvencijska klo, male memorije

LSI : specijalizovani digitalni sistemi, memorije i manji mikroprocesori

VLSI : velike memorije, složeni mikroprocesori, FPGA i CPLD

Povećanje stepena integracije je značajajući razvojni direktni koraci u vremenu. To je dovelo i do povećanja brzine radova, ali i do povećanja snage dissipacije (zbog se snizavanja nivoa napajanja i konstrukcija klodejaka za održavanje napajanja).



U početku su bila bipolarne logičke tehnologije, preko TTL a zatim ECL. TTL je i danas koristi u sile sistemima, a ECL je u velikom broju uvećan.

ECL - strujnički nivo u aktivnoj faznosti, velike brzine rada, ali i veliki potrošaj.

CMOS je novijee koriste, a neke prednosti u odnosu na bipolarne tehnologije su:

- ① nula dissipacija
- ② velika ulazna otpornost koja je omogućila prijemnu povećanje binarnog podatka pomoći nade klopčitosti.
- ③ veoma veliki stepen integracije
- ④ niska cena.

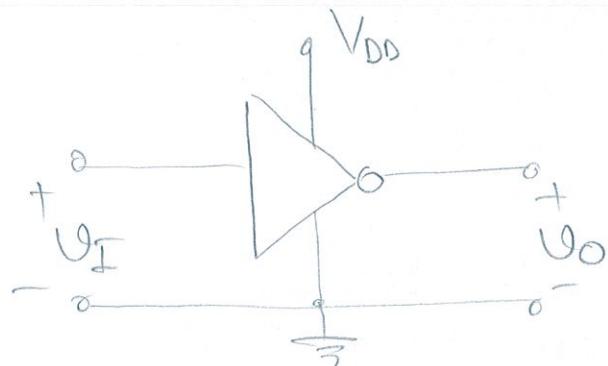
BiCMOS : kombinacija bipolarnih i CMOS tehnologije sa ciljem da se iskoristi velika brzina rada bipolarnih tranzistora i niska dissipacija snage i deuge karakteristike MOS tehnologije.

GaAs : veliko potencijaljnost elektrona u GaAs omogućava veoma velike brzine rada.

Danas se dominantno koriste CMOS logički kola.

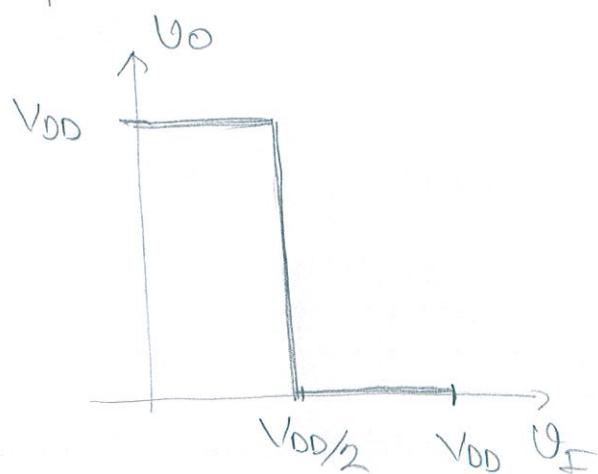
KARAKTERISTIKE LOGIČKIH KOLA

Logički inverteor je osnovni građevni element logičkih kola

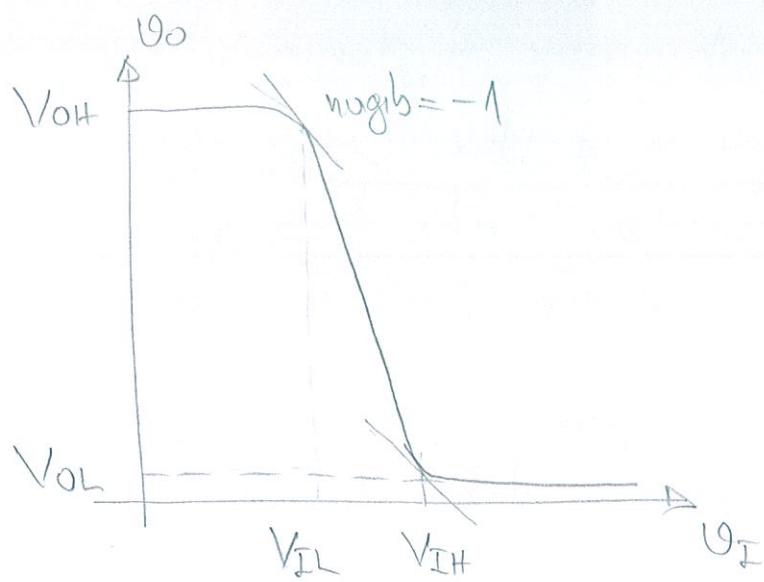


1° Napomene prenosu karakteristika

Idealan :



Realna



V_{IL} - maksimalni ulazni nivo koji se traktira kao "0"

V_{IH} - minimálni ulazni nivo koji se traktira kao "1"

V_{OL} - maksimalni nivo "0" na izlazu

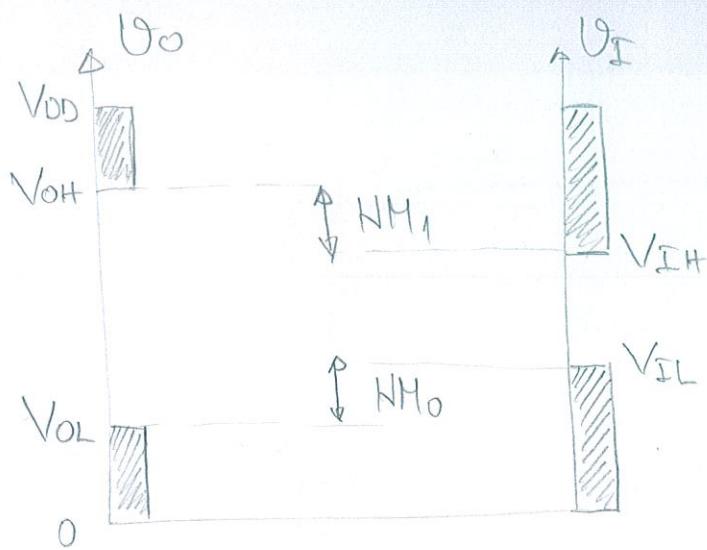
V_{OH} - minimálni nivo "1" na izlazu

2° Margine Dura

Kod složenih sistema, izlaz jednog logičkog kola pobudjuje ulaze drugih logičkih kola. Da bi sistem ispravno funkcionišao, neophodno je da je:

$$V_{OL} < V_{IL} \quad ; \quad V_{OH} > V_{IH}$$

Nekosetljivost izlaza logičkog kola na promene naponskog nivoa na ulazu, ako su promene u reversem smislu, jedna je od ključnih karakteristika logičkih kola.
(velika preciznost u odnosu na analogne kola)



najpovoljni nivoi
wgadzonych stanów we
wzorze i ulozu

Marginalna zmiana w logice jedynka ("1"):

$$NM_1 = VOH - VIH$$

Marginalna zmiana w logice nullu ("0"):

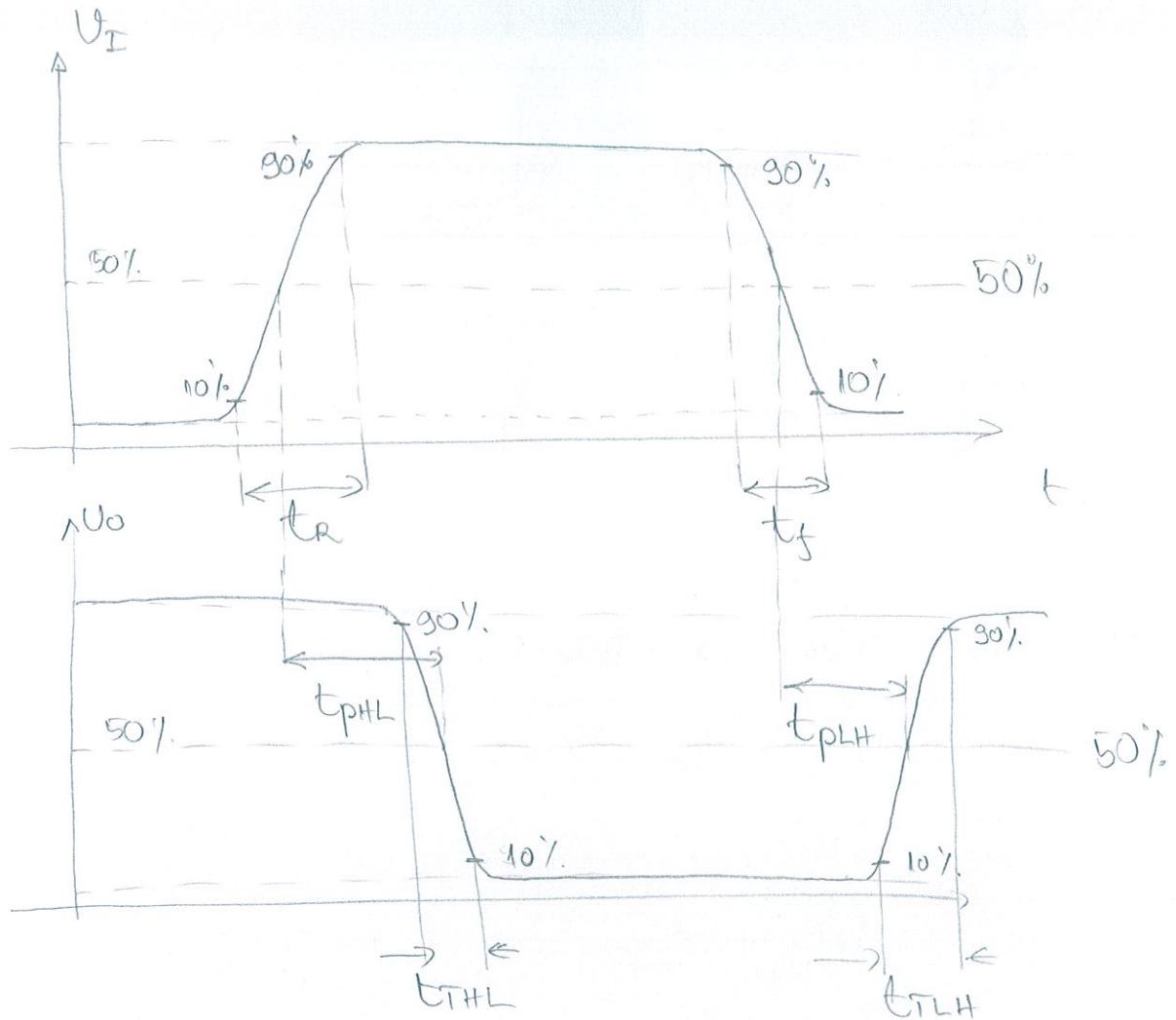
$$NM_0 = VIL - VOL$$

Może być definiowane i logica amplituda:

$$LA = VOH - VOL$$

3º Diuaričke karakteristike

Predstavljaju se uverenja iz jednog u drugo logičko stanie
već se prelaskom kroz prelaznu zonu između "0" i "1"
Ovaj predstavljaju se u većem trenutku zbog unutarnjih kapacitivnosti čiji se naponi menjaju po eksponentijalnom zakonu.



Ukazni signal je rezulti povezivanje impuls, koji ima konstantno vreme rasta (t_R) i konstantno vreme opadanja (t_f)

t_{PHL} - vreme kada ječajući opadanje ivice

t_{PLH} - vreme kada ječajući rastjev ivice

Vreme kada ječajući :

$$t_p = \frac{t_{PHL} + t_{PLH}}{2}$$

obraćajući frekvenciju

$$f = \frac{1}{2t_p}$$

Izlazni signal ima konstantno vreme prelaza na niskog na visoki nivo (t_{TLH}) i na visokog na niski nivo (t_{TDL})

4° Disipacija i korišćenje logičkih kluča

Disipacija (ili snaga disipacije) definiše se kao priručak napona napajanja i predaje vrednosti struje napajanja

$$P_D = V_{DD} \cdot I_{SE}$$

Zahteva se nula potrošnja! (nula disipacije)

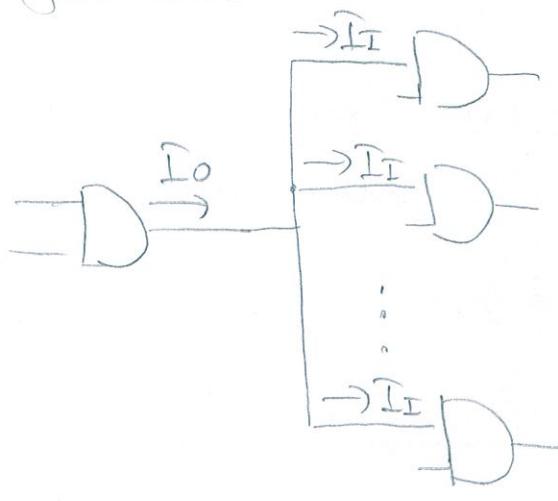
Od logičkih kluča se zahteva veliki broj nivoa, odnosno nulo korišćenje što je kontradiktorno nulu disipaciji. Zato se definiše priručak PDP (Power Delay Product) potrošnje i korišćenja

$$PDP = P_D \cdot t_p \quad (\text{J - čas})$$

pri čemu se želi da ovaj priručak bude što manji.

5° Faktor granulacija

To je podatak koji kaže koliko se istih logičkih kluča može paralelno vežeti na izlaz jednog logičkog kluča, a da ono i dalje ispravno funkcioniše



Faktor gmanja se određuje iz uslova:

$$I_0 \geq n \cdot I_I$$

odnosno

$$n \leq \frac{I_0}{I_I}$$

a maksimalni faktor gmanja je:

$$n_{\max} = \frac{I_0}{I_I}$$

Kod logičkih klu se definišu ulaze I_I i izlazni stupanj I_0 u dva logička stupnja

za "0": I_I^0 ; I_0^0

za "1": I_I^1 ; I_0^1

po se faktor opterećenja određuje za dva stupnja:

$$n^0 \leq \frac{I_0^0}{I_I^0} \quad n^1 \leq \frac{I_0^1}{I_I^1}$$

Uzima se manji od ovih dva rezultata

$$n = \min \{ n^0, n^1 \}$$

Ovo je stakaci faktor gmanja. Postoji i dinamički, koji je manji zbog uticaja parazitnih kapacitivnosti.

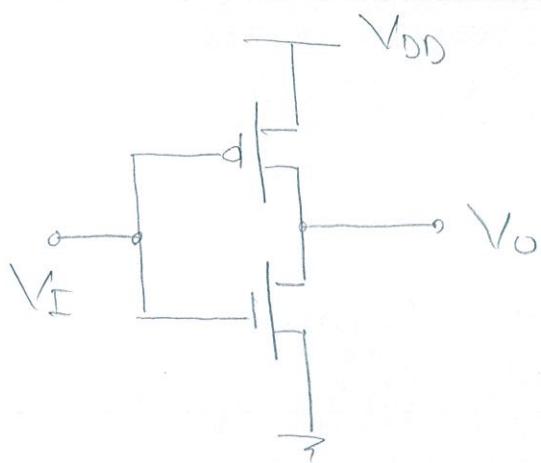
U praksi je $n \in (5,8)$.

CMOS LOGIČKA KOLA

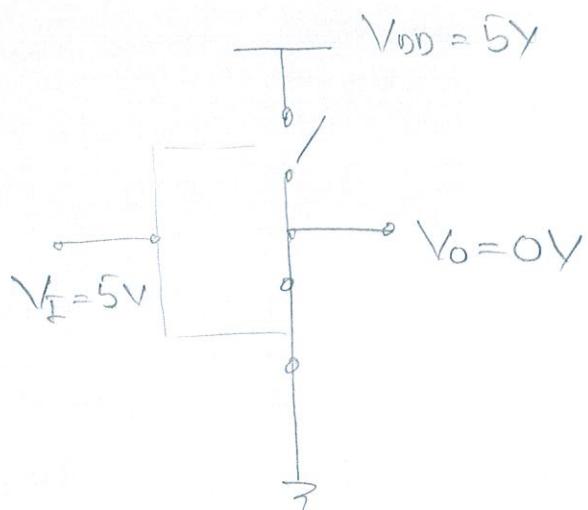
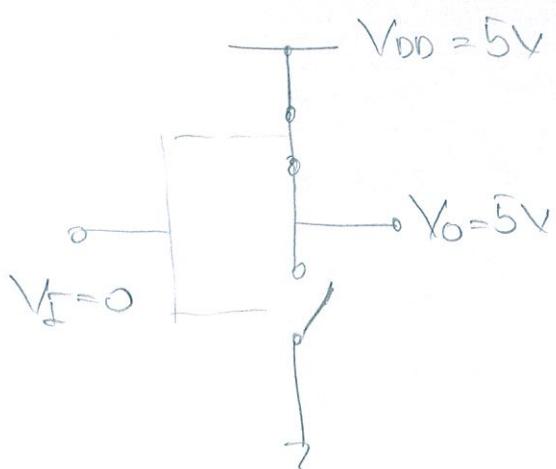
CMOS kolas predstavljaju dominantnu tehnologiju za proizvodnju digitalnih kola. Osnovni razlozi zbog kojih je CMOS tehnologija dominantna bipolarnim tehnologijama u proizvodnji digitalnih kola su:

- ⊗ CMOS logička kola dissipiraju manje energije od bipolarnih, pa se na jednom čipu može smestiti više CMOS kola nego bipolarnih;
- ⊗ Velika ulazna otpornost MOS tranzistora omogućuje da se za povećanju radne frekvencije koristi nadelektrosonje i olagavajuće kapacitivnosti, tako kod digitalnih kola, tako i kod memorija.
- ⊗ Zuhvaljujući stalnom manjošoj dimenziji MOS tranzistora (dubine kanala i manje od 22 μm), omogućen je veliki stepen integracije i proizvodnja mikroprocesora koji sadrže preko 5 milijardi tranzistora po čipu.
- ⊗ Velika je neosetljivost na optike
- ⊗ Velika temperaturna stabilitet
- ⊗ Mali PDP

Osnovno logičko kolo je CMOS inverte (kao što su
rasije radi). U digitalnim klimama crnke za tranzistore
mogu biti i:



Ako tranzistori razmotrimo kao idealne prekidice:



Vodi PMOS, NMOS istočice.

Međutim, u realnim klasopisima, tranzistori koji vodi radi u triodnoj oblasti, i to nisu, ali bivaju opa-
rosti?

$$R_{DSN} = \frac{1}{2k_n(V_{GS} - V_{TN})} \quad ; \quad R_{DSP} = \frac{1}{2k_p(V_{GS} - V_{TP})}$$

pa se tranzistor koji vodi ne menja brojkom brojen
već otpornik R_{DS} .

Na CMOS invertevri:

- ④ $V_{OH} = V_{DD}$ i $V_{OL} = 0$, pa je logička vrijednost u potpunosti moguća
- ④ statička dissipacija invertebra je jednaka nuli u svim logičkim stanjima
- ④ postoji mala otpornost između izlaza i mase koja je na izlazu nizak neponiski nivo i mala otpornost između izlaza i neponiskog nivoa koja je na izlazu visok neponiski nivo
- ④ mala izlazna otpornost omogućava veliki strujni kapacitet izlaza i tako da je manje osjetljiv na snijeg
- ④ velika izlazna otpornost omogućava da se na izlaz približno invertebra može vrati veliki broj istih invertebrova, a da ne dođe do promjene nivoa izlaznog signala

Disipacija

Statička dissipacija je jednaka nuli, jer kod CMOS invertevra nemaju stanje kada je izlaz u približnoj logičkoj stanji. Kada CMOS invertebri prelazi iz približnoj logičkoj stanji u drugo, kroz transistore teče struja prema i prema u potpunosti (nizak i visok) koja može zanemariti okvirne vrednosti.

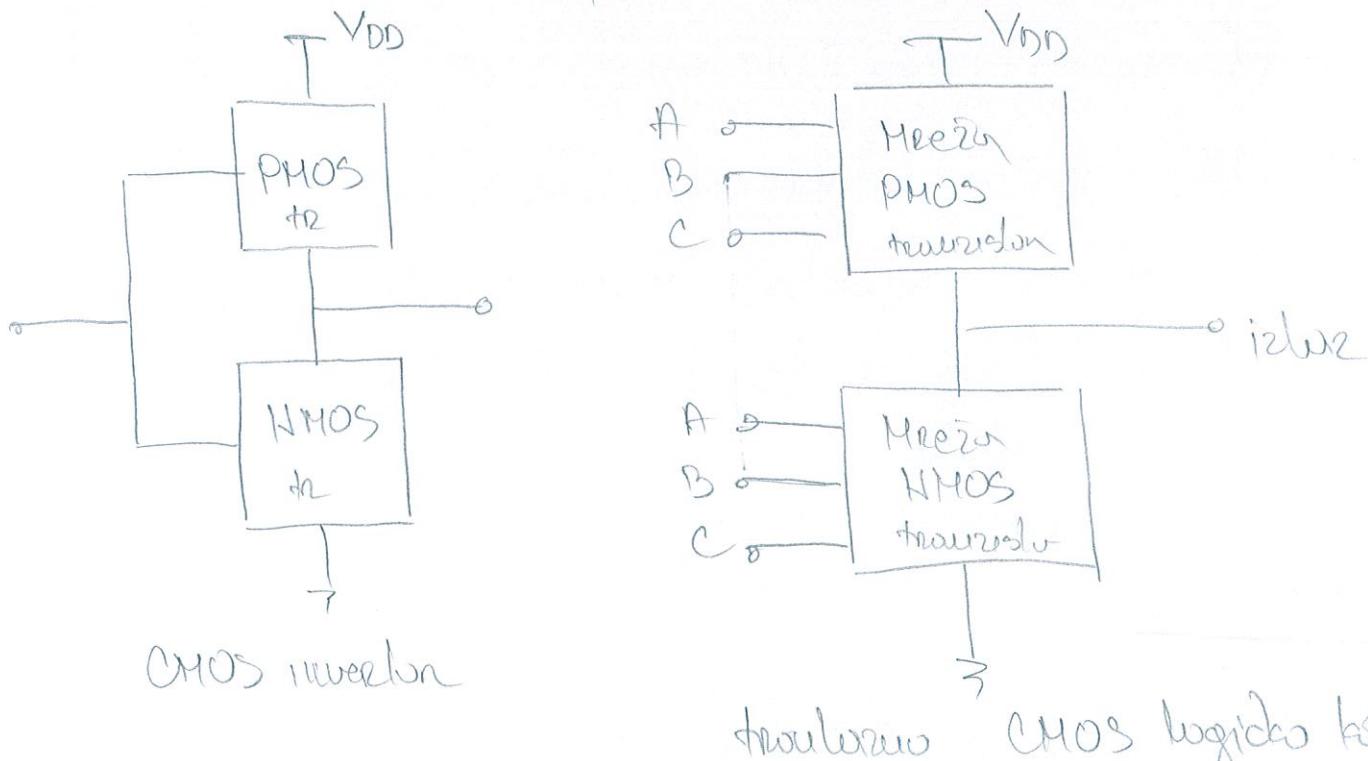
Pogawa struje kroz tranzistorne kake inverteze prekazi je pednog i drugog logickog struje davodi do dinamicke disipacije, koga se moze odrediti kao:

$$P_D = f \cdot C \cdot V_{DD}^2$$

gde je f frekvencija promene logickih struja.

Osnova i slozenje CMOS logickih kola

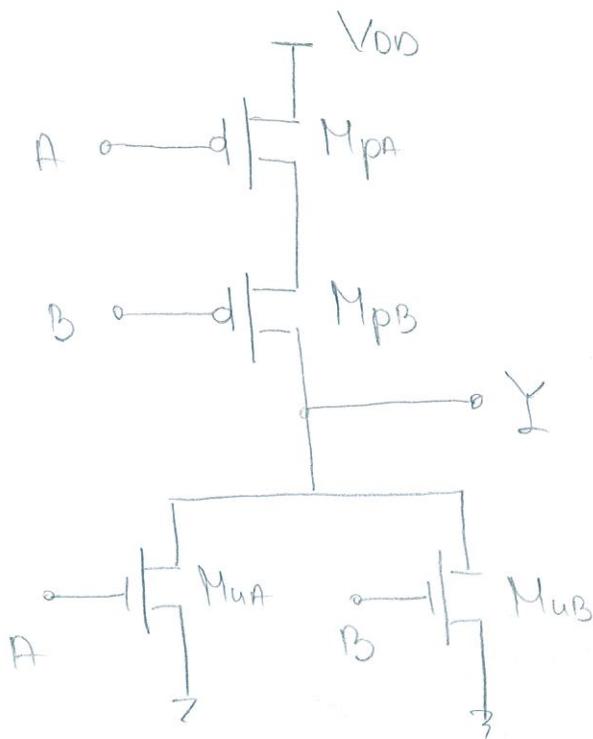
CMOS inverzor je najjednostavnije logicko kolo



Prostirenojem CMOS inverteza dobija se sliven CMOS kolo. NMOS i PMOS mreže suve komplementarne!

CMOS HIL klo

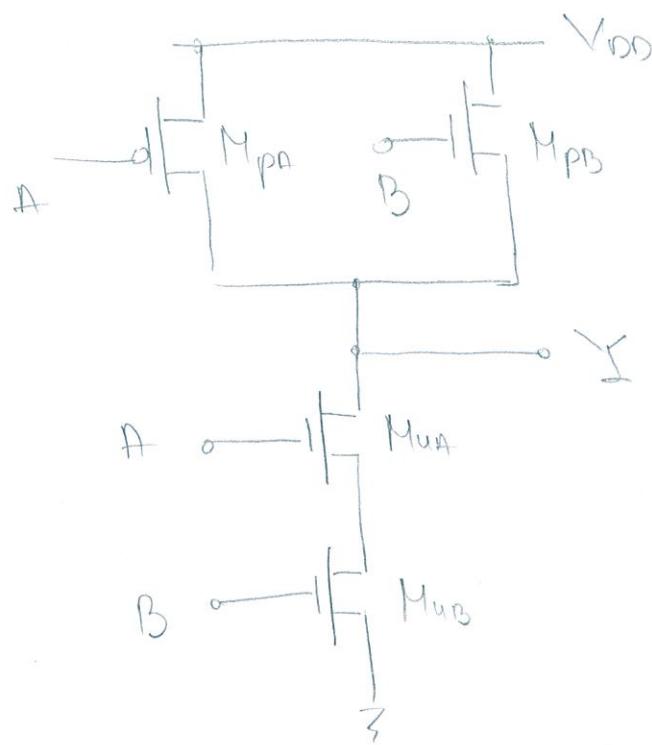
$$Y = \overline{A + B} = \bar{A} \cdot \bar{B}$$



Dodavaný logický inverzor na základě ověkoufání může se dát do CMOS HIL klo.

CMOS HI klo

$$Y = \overline{A \cdot B} = \bar{A} + \bar{B}$$



Primeri složenog CMOS klo:

$$Y = \overline{A(B+CD)}$$

Komplementarne se oblike

$$\bar{Y} = A(B+CD)$$

Odavde se oblike NMOS kreću:

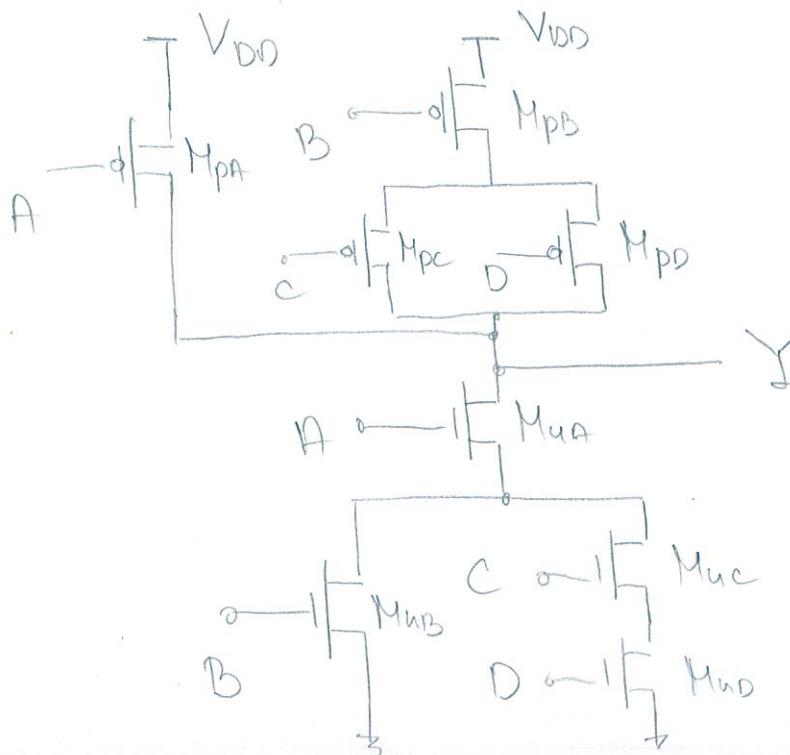
$$Y = 0 \text{ ako je } A=1 \text{ i ili } B=1 \text{ ili } CD=1 \\ \text{isto tako } C=1, D=1$$

Da bi došli do PMOS kreće, potrebno je \bar{Y} razmatrati funkciju komplementarnih premeđujućih. Primjerom De Moivreove teoreme, oblike se

$$Y = \bar{A} + \overline{B+CD} = \bar{A} + \bar{B} \cdot \bar{C}\bar{D} = \bar{A} + \bar{B}(\bar{C}+\bar{D})$$

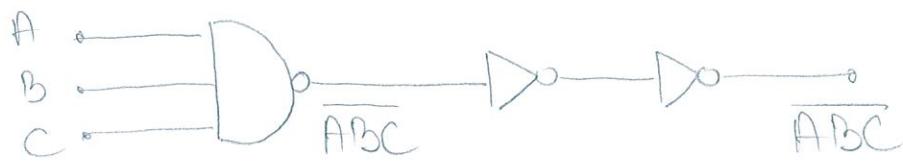
Odavde se vidi da je

$$Y=1 \text{ ako je } A=0 \text{ ili } B=0 \text{ i } C=0 \text{ i } D=0$$



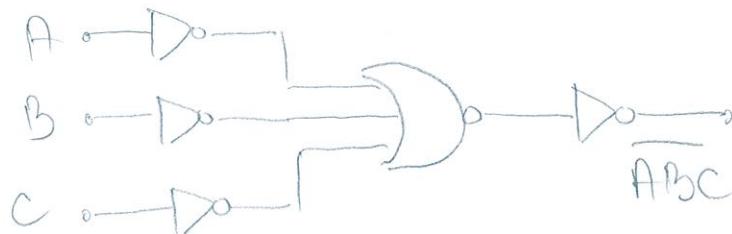
Baferovana CMOS logika kola

CMOS logika kola imaju izlazu odvojnost koja zavisi od
novega povezivanja tranzistora. Da bi se to izbeglo, veri se
baferovanje:

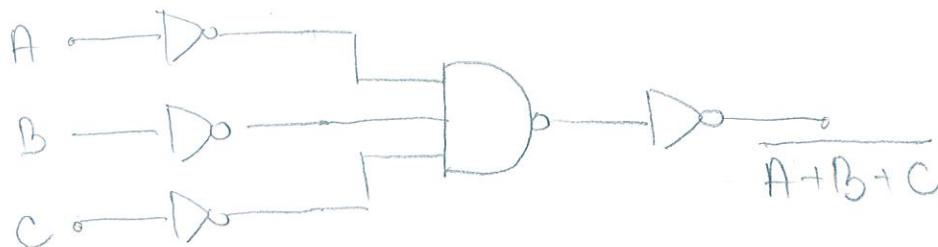


Izlazu odvojnost zavisi od izlazne inverteza, a ne
od ulaza.

Baferovanje se može realizati i na sledeći način

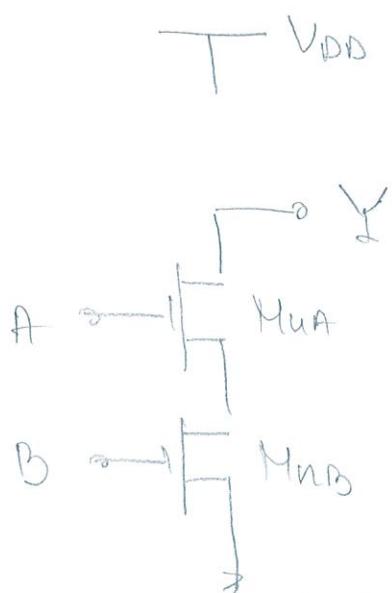


ili

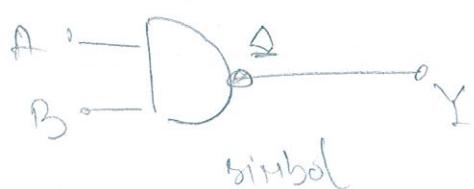


Kda su vlorenim logikom

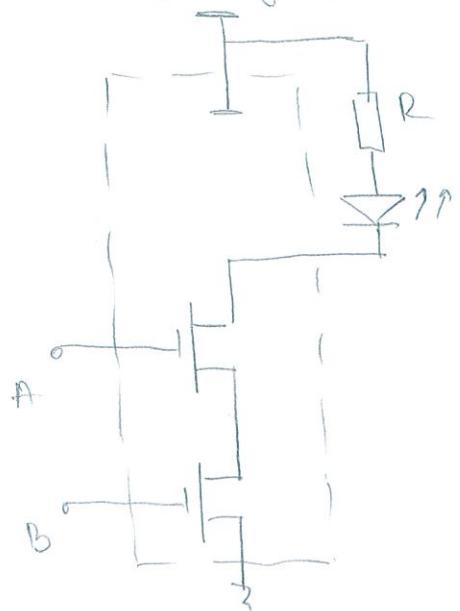
Ako se nastavi PHOS mreža u, na primer, NI boku, tada se do klase kola sa vlorenim logikom



A	B	Y
0	0	vloren
0	1	otvoren
1	0	otvoren
1	1	0



Da bi bilo sa vlorenim logikom sladjelo svi u svim potrebama je treba između ulaza kola i napajanja postaviti otpornik. Ovoj otpornik se zove pull-up.
Za upravljanje LED-om:

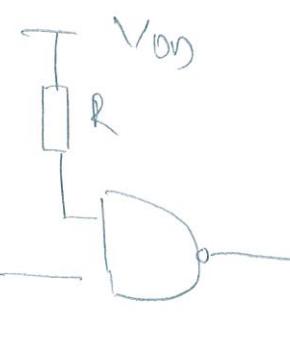
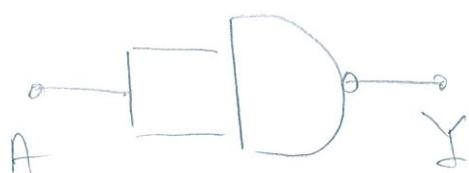


Ako je na bilo kom ulazu "0", tranzistori neće voditi i rezistor neće omogućiti struju diodi. Tek kad su svi ulazi na "1", da tranzistori vode, kroz diode protiče struja i ona sveti.

Nekončenii uloz logickih kola

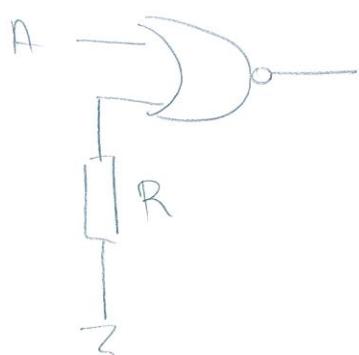
Cest je slučaj že se ne iskoriste sví rásplodoví uloz logickag kola. Neiskončenii uloz kola ne smejú se oslunuti napájanie, liži da bude „plivací“.

Za NÍ logicka kola:



Nekončenii uloz se zpravidla ná končenim li preko odporučka na napájanie

Za NILI logicko klo :



Nekončenii uloz se preko odporučka spoja na masu.

Povezovanie na napájanie vesi se preko pull-up odporučku, a na masu preko pull-down odporučku.

Vrednosti obeh odporučostí sú od 1 do 10 kΩ i jednu odporučku sa náreje iskoristi za povezovanie vecégo bežja nekončenich uloz.

