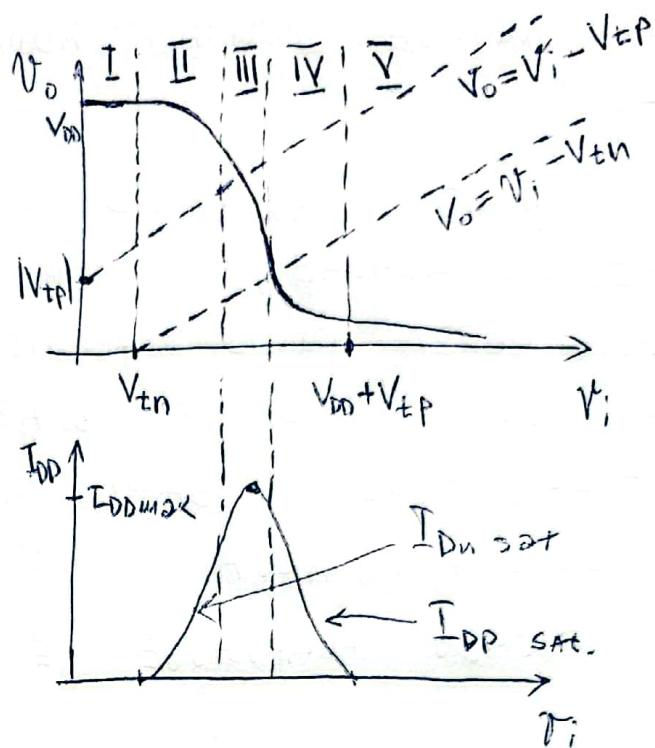
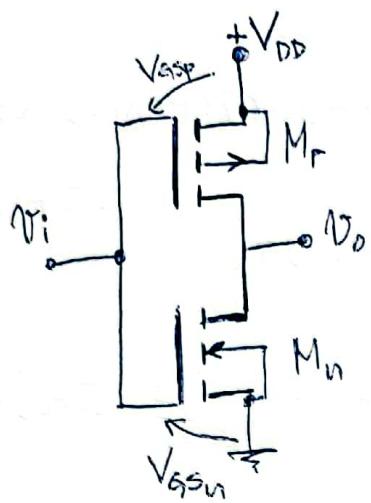


# CMOS ИНВЕРТОР



I:  $M_p$  јУ ЛИНЕАРНОЈ ОБЛАСТИ,  $M_n$  ИСКЛЮЧЕН

II:  $M_p$  јУ ЛИНЕАРНОЈ ОБЛАСТИ,  $M_n$  јУ ЗАСИЋЕЊУ

III:  $M_p$  и  $M_n$  јУ ЗАСИЋЕЊУ

IV:  $M_p$  јУ ЗАСИЋЕЊУ,  $M_n$  јУ ЛИНЕАРНОЈ ОБЛАСТИ

V:  $M_p$  ИСКЛЮЧЕН,  $M_n$  јУ ЛИНЕАРНОЈ ОБЛАСТИ

НАПОН ПРАГА:

$$V_T = V_{tn} + \frac{V_{DD} + V_{tp} - V_{tn}}{1 + \sqrt{k_n/k_p}}$$

→ АКО ЈЕ ИНВЕРТОР СИМЕТРИЧАН  $\Rightarrow V_T = \frac{V_{DD}}{2}$

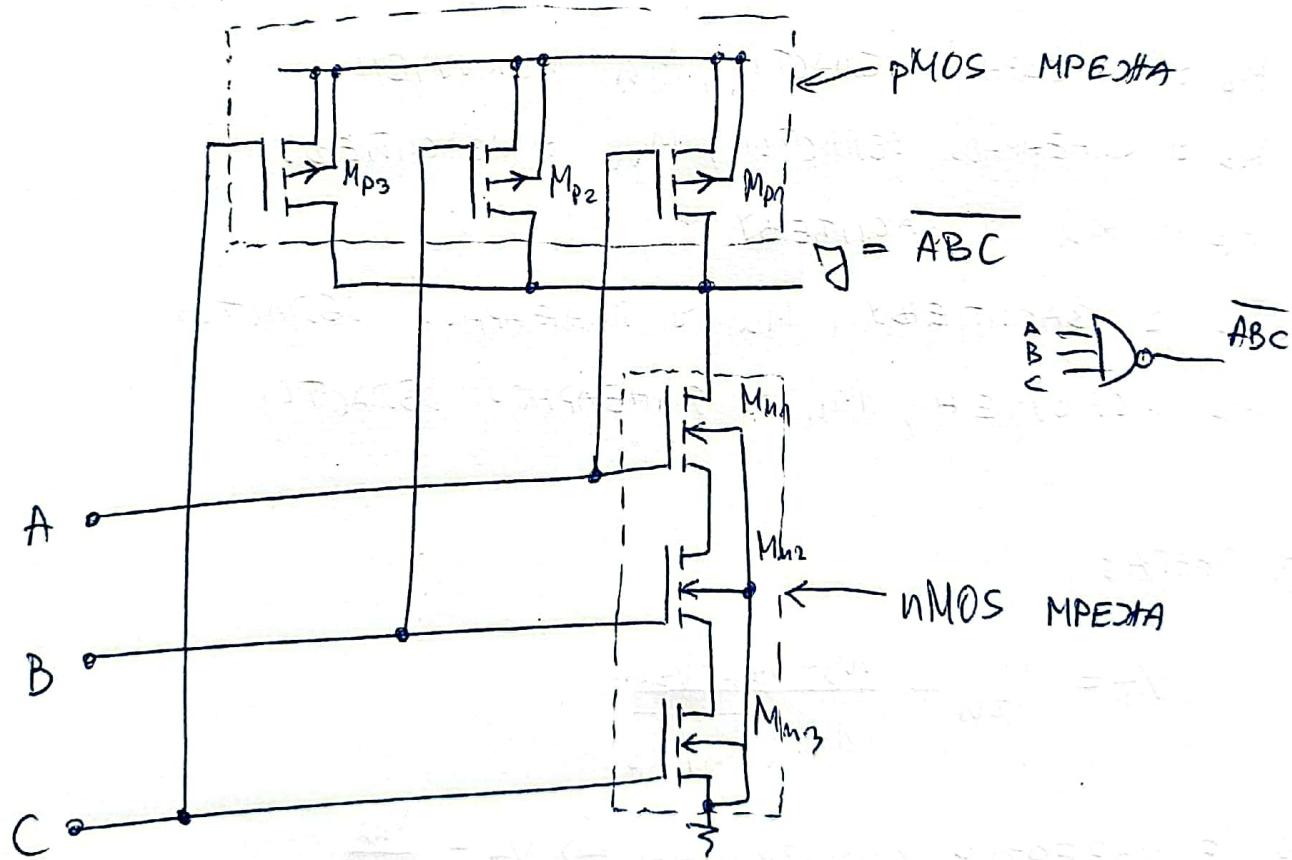
1 РЕАЛИЗОВАТИ ЛОГИЧКЕ ФУНКЦИЈЕ ТРОУЛАЗНОГ „НИ“ И „НИЈИ“  
ЛОГИЧКОГ КОДА У ПОТРЕБОМ CMOS ЛОГИКЕ.



## РЕШЕЊЕ:

ПРИЛИКОМ СИНТЕЗЕ ЛОГИЧКОГ КОЛА, ТРЕБА СЕ ПРИДРЖАВАТИ ПРАВИЈА:

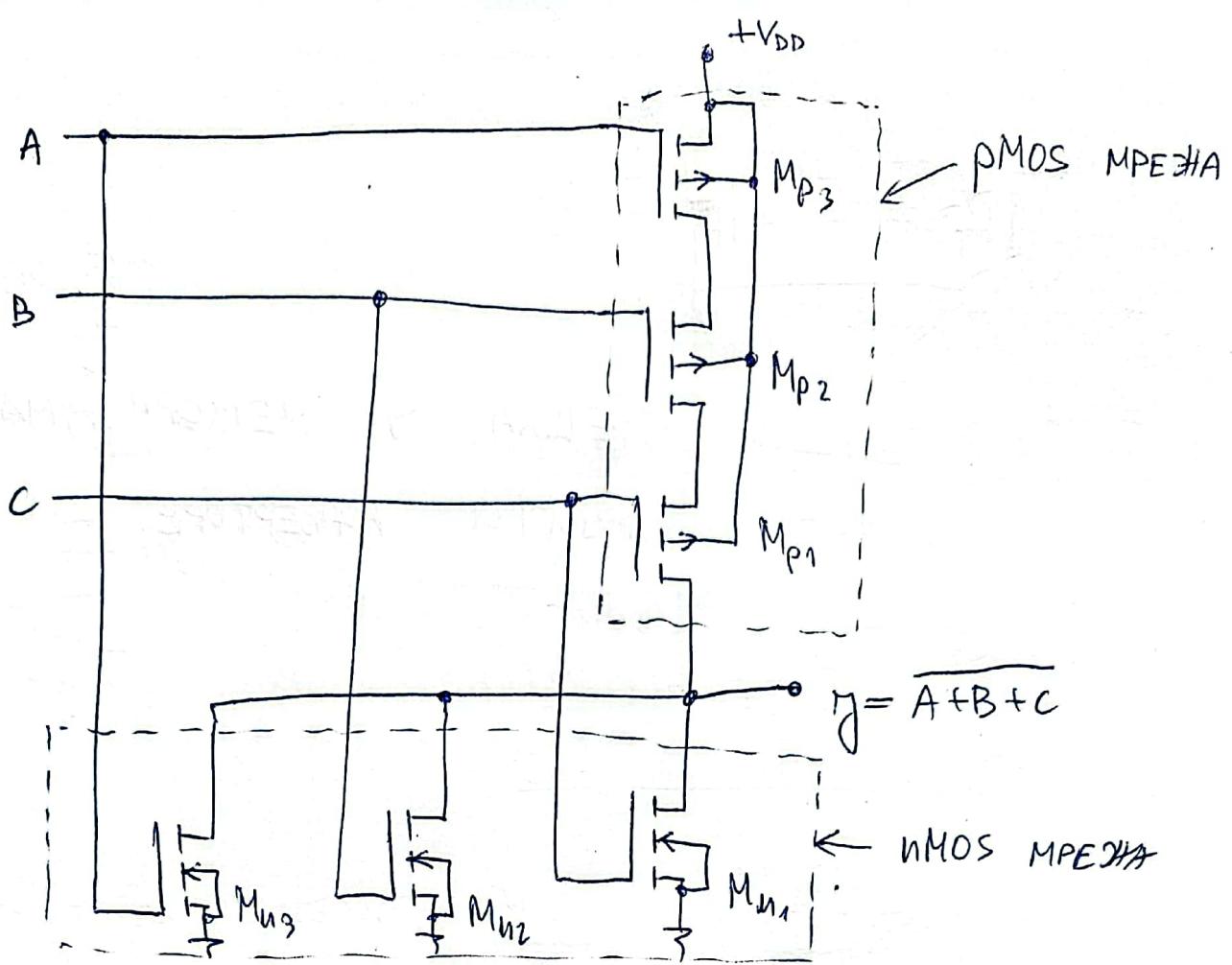
- КОЛО СЕ САСТОЈИ од nMOS и pMOS ТРАНЗИСТОРСКИХ МРЕЖ
- МРЕЖЕ су дужне, тј. СЕРПЈЈСКОЈ ВЕЗИ nMOS одговара паралелна веза pMOS транзистора и обрнуто
- ТАЧКА споја мрежа је излаз кола
- број транзистора у свакој мрежи једнак је броју улаза логичког кола
- сваком улазу приаружује се један пар CMOS транзистор



ФУНКЦИЈА nMOS МРЕЖЕ ОДРЕЂЕНА јЕ СА  $f_n = \bar{f}$ , А pMOS МРЕЖА јЕ ДУЛЈА.

DDD  
ooo

$$f = \overline{ABC} \Rightarrow f_n = ABC, f_p = A + B + C$$



$$f = \overline{A+B+C} \Rightarrow f_u = A+B+C, f_p = ABC \quad !!!$$

ЛОГИЧКО „И“ ОДГОВАРА СЕРИЈСКОЈ ВЕЗИ, ДОК ЛОГИЧКО „ИЛИ“ ОДГОВАРА ПАРАЛЕЛНОЈ ВЕЗИ.

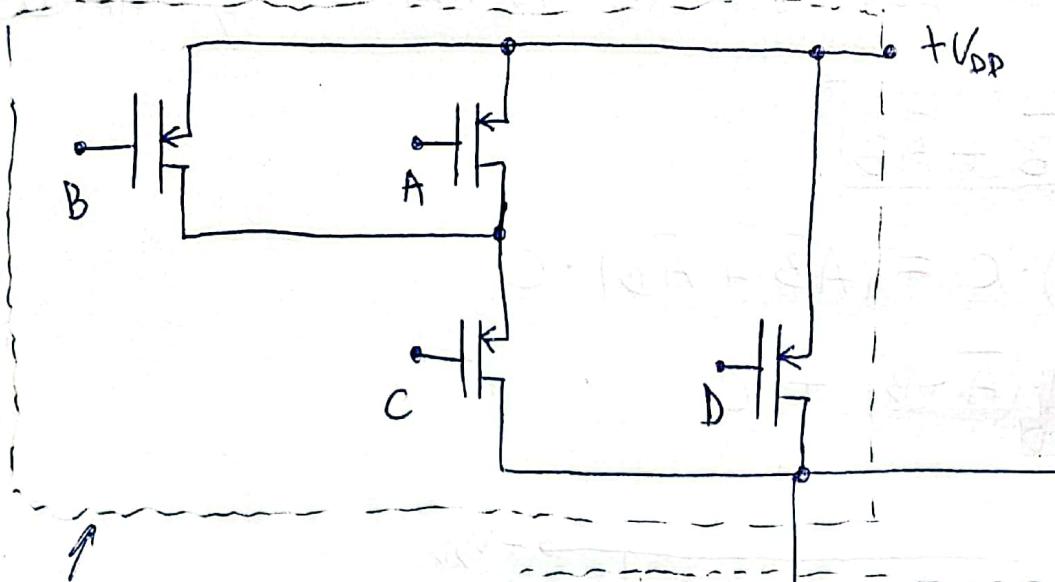
2) ИЗВРШИТИ СИНТЕЗУ ЛОГИЧКЕ ФУНКЦИЈЕ:

$$f = \overline{(AB+C)} \cdot D$$

РЕШЕЊЕ:

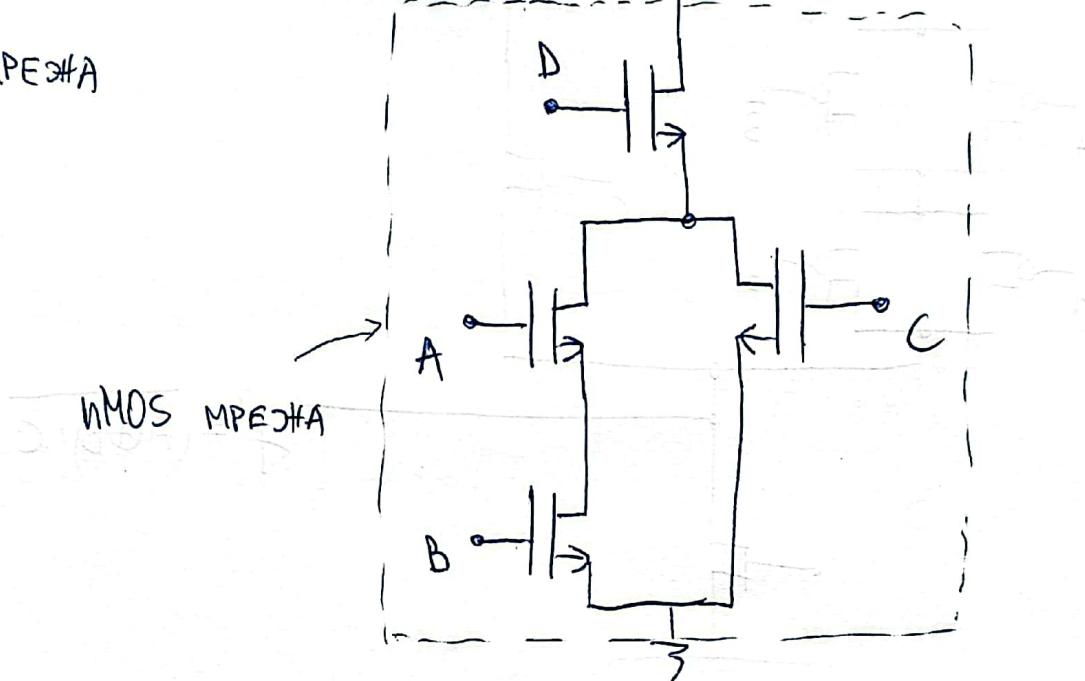
$$f_u = (AB+C)D \quad f_p = (A+B)C + D$$



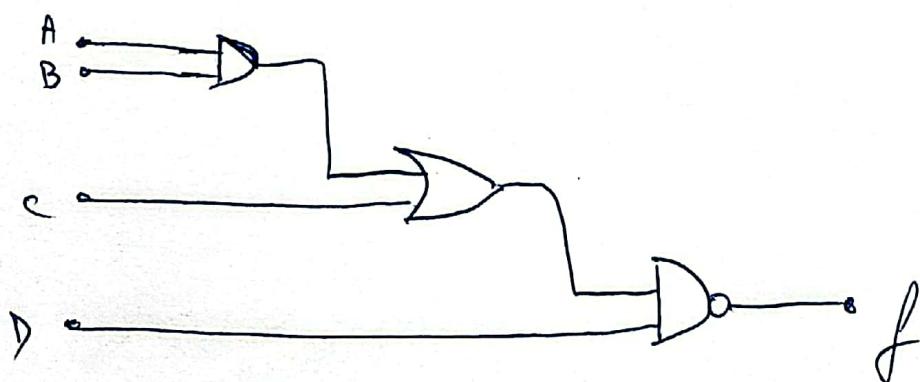


pMOS МРЕЖА

nMOS МРЕЖА



ОВАКО ЈЕ ТРАДИЦИЈА ФУНКЦИЈА РЕАЛИЗОВАНА СА МАЊИМ БРОЈЕМ ТРАНЗИСТОРА (8), НЕГО КАДА БИ БИДА РЕАЛИЗОВАНА СТАНДАРДНИМ ЛОГИЧКИМ КОЛЧУМА:



3 ИЗВРШИТИ СИНТЕЗУ ЛОГИЧКЕ ФУНКЦИЈЕ  $f = \overline{(A \oplus B) \cdot C}$

$$A \oplus B = A\bar{B} + \bar{A}B$$

$$f_u = (A \oplus B) \cdot C = (A\bar{B} + \bar{A}B) \cdot C$$

$$f_p = (A + \bar{B}) \cdot (\bar{A} + B) + C$$

