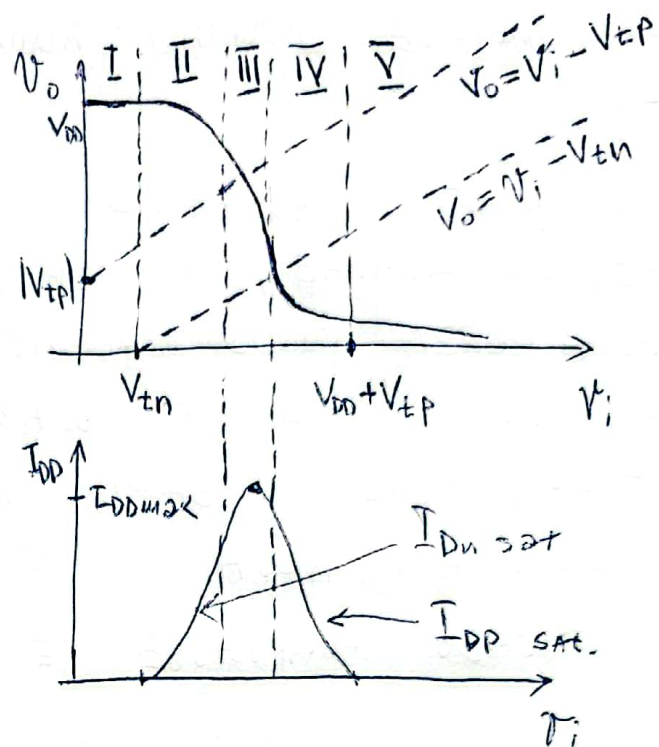
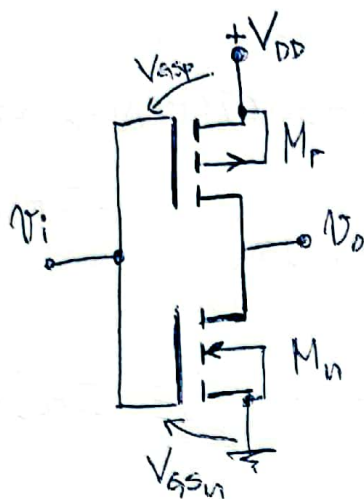


CMOS ИНВЕРТОР



- I: M_p у ЛИНЕАРНОЈ ОБЛАСТИ, M_n ИСКЛЮЧЕН
- II: M_p у ЛИНЕАРНОЈ ОБЛАСТИ, M_n у ЗАСИЩЕЊУ
- III: M_p и M_n у ЗАСИЩЕЊУ
- IV: M_p у ЗАСИЩЕЊУ, M_n у ЛИНЕАРНОЈ ОБЛАСТИ
- V: M_p ИСКЛЮЧЕН, M_n у ЛИНЕАРНОЈ ОБЛАСТИ

НАПОН ПРАГА:

$$V_T = V_{Tn} + \frac{V_{DD} + V_{Tp} - V_{Tn}}{1 + \sqrt{k_n/k_p}}$$

→ АКО ЈЕ ИНВЕРТОР СИМЕТРИЧАН ⇒ $V_T = \frac{V_{DD}}{2}$

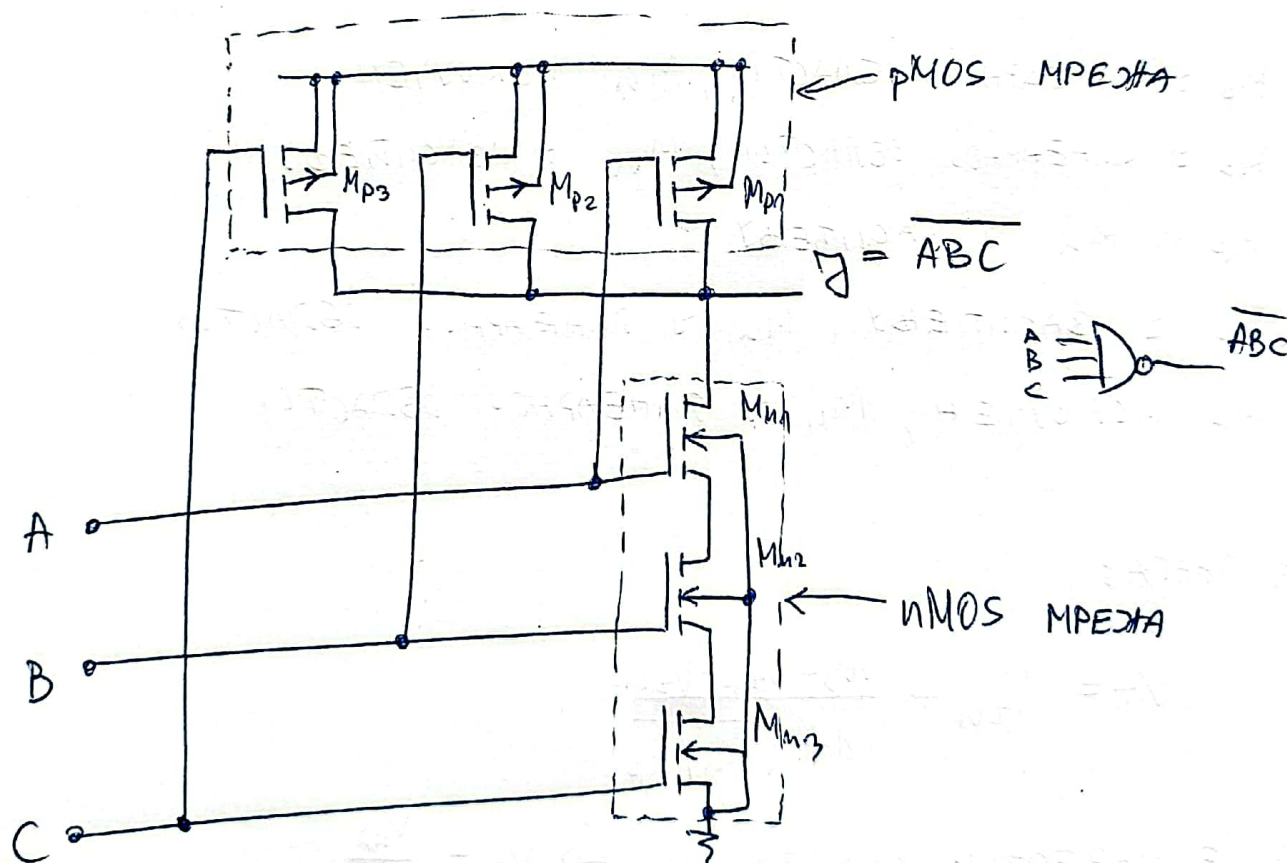
1 РЕАЛИЗОВАТИ ЛОГИЧКЕ ФУНКЦИЈЕ ТРОУГЛАЗНОГ „НИ“ И „НИЛИ“ ЛОГИЧКОГ КОДА у ПОТРЕБИ СМОС ЛОГИКЕ.



РЕШЕЊЕ:

ПРИЛИКОМ СИНТЕЗЕ ЛОГИЧКОГ КОДА, ТРЕБА СЕ ПРИДРЖАВАТИ ПРАВИЛА:

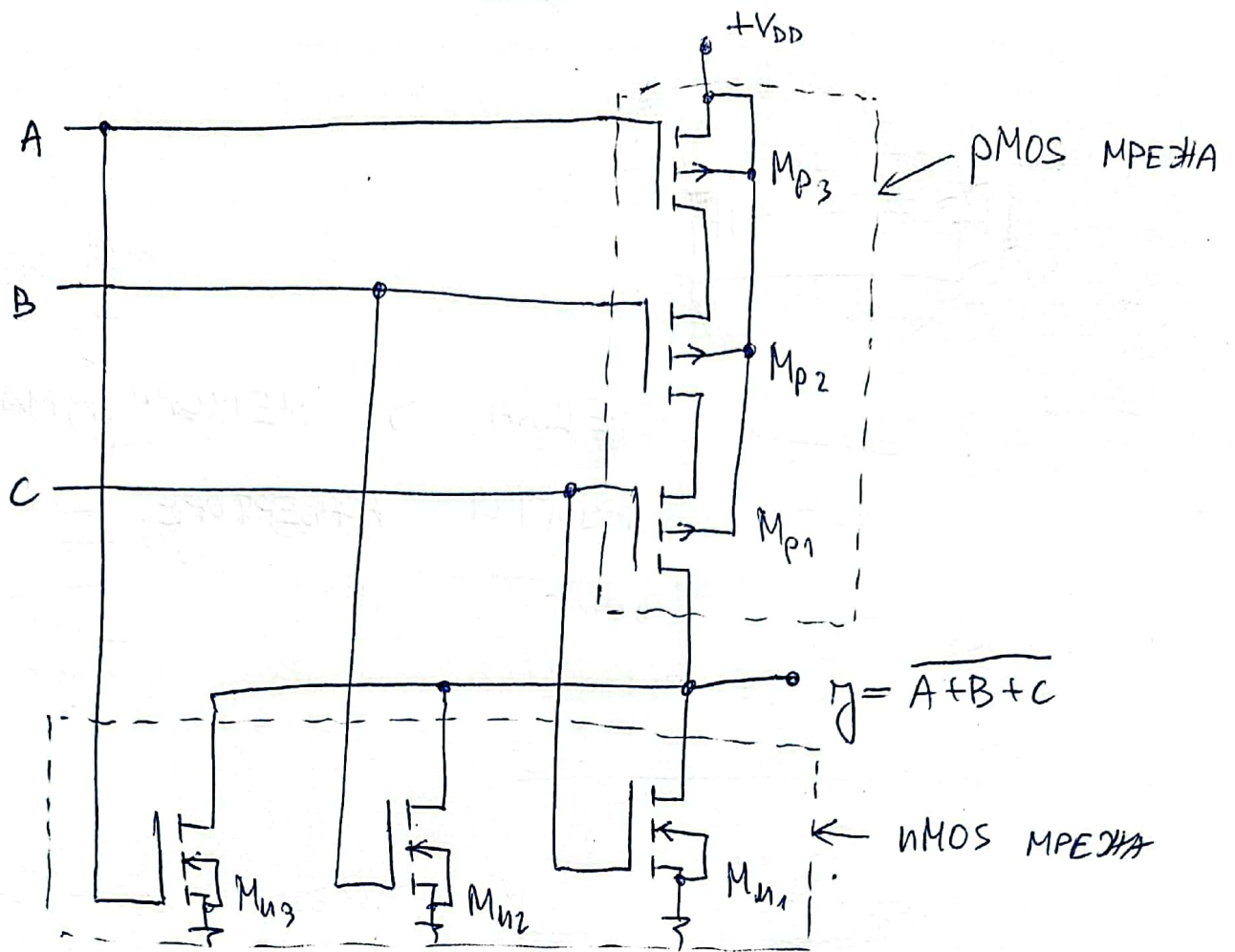
- КОЛО СЕ САСТОЈИ ОД NMOS И PMOS ТРАНЗИСТОРСКИХ МРЕЖА
- МРЕЖЕ СУ ДУАЛНЕ, ТЈ. СЕРИЈСКОЈ ВЕЗИ NMOS ОДГОВАРА ПАРАЛЕЛНА ВЕЗА PMOS ТРАНЗИСТОРА И ОБРНУТО
- ТАЧКА СПОЈА МРЕЖА ЈЕ ИЗЛАЗ КОЛА
- БРОЈ ТРАНЗИСТОРА У СВАКОЈ МРЕЖИ ЈЕДНАК ЈЕ БРОЈУ УЛАЗА ЛОГИЧКОГ КОЛА
- СВАКОМ УЛАЗУ ПРИПРУЖУЈЕ СЕ ЈЕДАН ПАР CMOS ТРАНЗИСТОРА



ФУНКЦИЈА NMOS МРЕЖЕ ОДРЕЂЕНА ЈЕ СА $f_n = \bar{f}$, А PMOS МРЕЖА ЈЕ ДУАЛНА.

!!!
ooo

$$f = \overline{ABC} \Rightarrow f_n = ABC, f_p = A+B+C$$



$$f = \overline{A+B+C} \Rightarrow f_n = A+B+C, \quad f_p = \overline{ABC} \quad !!!$$

ЛОГИЧКО "И" ОДГОВАРА СЕРИЈСКОЈ ВЕЗИ, ДОК ЛОГИЧКО "ИЛИ" ОДГОВАРА ПАРАЛЕЛНОЈ ВЕЗИ.

[2] ИЗВРШИТИ СИНТЕЗУ ЛОГИЧКЕ ФУНКЦИЈЕ:

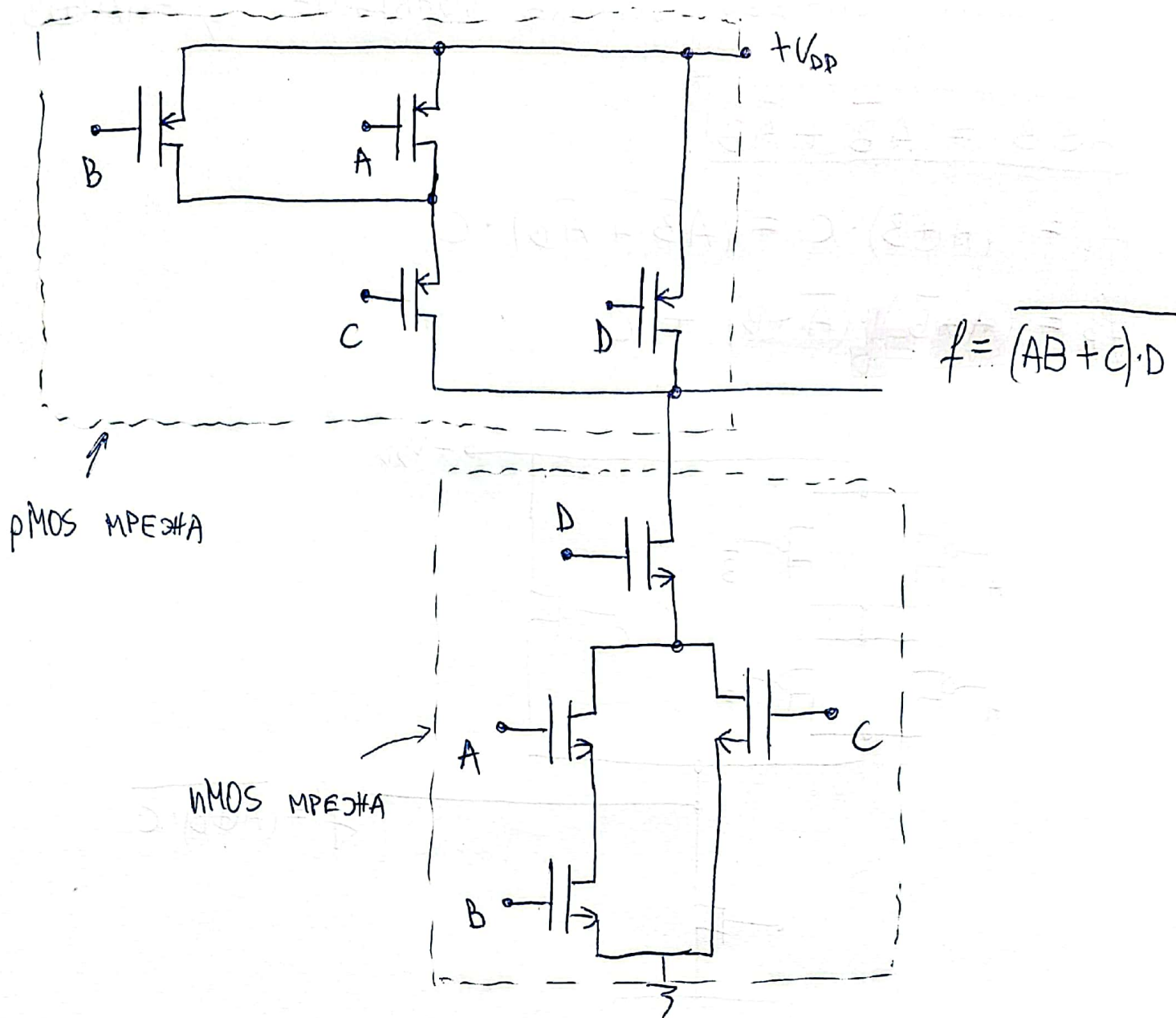
$$f = \overline{(AB+C) \cdot D}$$

РЕШЕЊЕ:

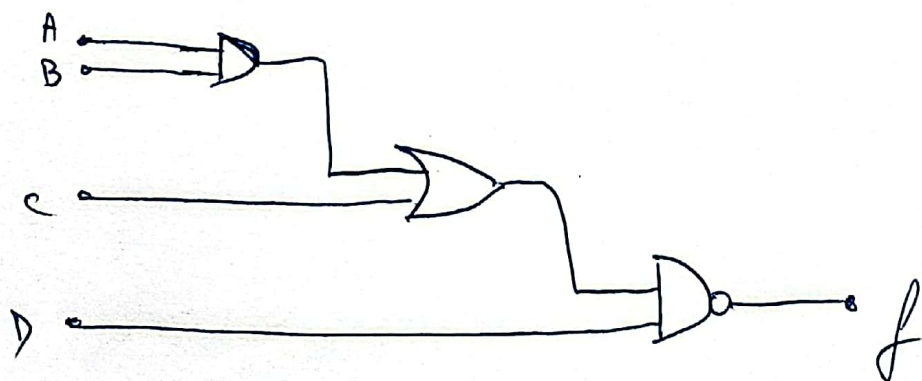
$$f_n = (AB+C)D$$

$$f_p = \overline{(AB+C)D} = (\overline{AB+C}) \cdot \overline{D} = (\overline{A} \cdot \overline{B} + \overline{C}) \cdot \overline{D}$$

→



ОВАКО ЈЕ ТРАЖЕНА ФУНКЦИЈА РЕАЛИЗОВАНА СА
 МАЊИМ БРОЈЕМ ТРАНЗИСТОРА (8), НЕГО КАДА БИ БИЛА
 РЕАЛИЗОВАНА СТАНДАРДНИМ ЛОГИЧКИМ КОЛИМА:



3. ИЗВРШИТИ СИНТЕЗУ ЛОГИЧКЕ ФУНКЦИЈЕ $f = \overline{(A \oplus B) \cdot C}$

$$A \oplus B = A\bar{B} + \bar{A}B$$

$$f_u = (A \oplus B) \cdot C = (A\bar{B} + \bar{A}B) \cdot C$$

$$f_p = (A + \bar{B}) \cdot (\bar{A} + B) + C$$

