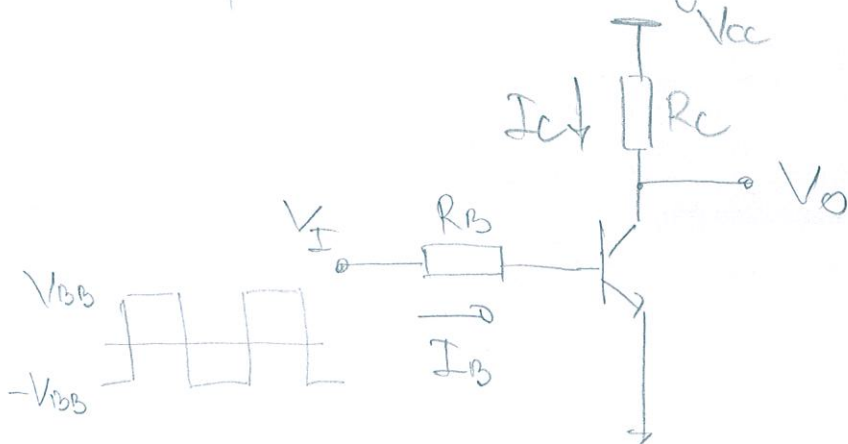


PREKIDAČKE KARAKTERISTIKE BIPOLARNOG TRANZISTORA

U impulsnim i digitalnim kolinama tranzistor se koristi kao prekidač.

Dva stanja:
— isključen (otvoren prekidač, velika otpornost)
— uključen (zatvoren prekidač, mala otpornost)

Pobuđuje se velikim signalima



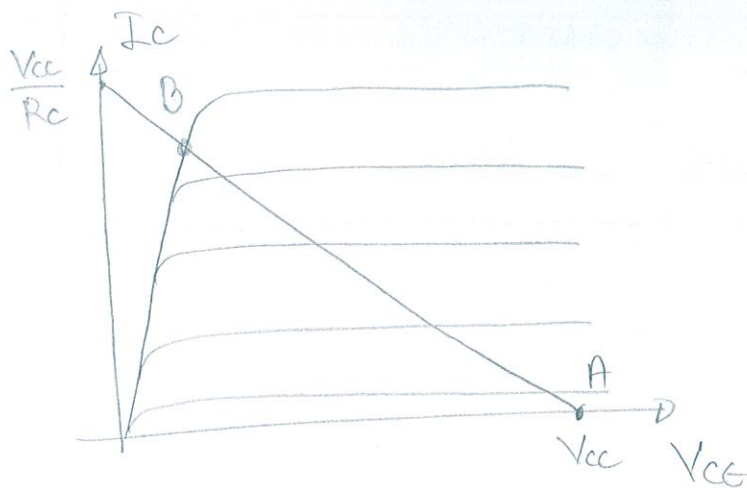
Ravna prava : $V_O = V_{CC} - R_C I_C = V_{CC}$

① Za $V_I = -V_{BB}$ BE spoj nije otvoren, tranzistor je isključen

$I_C = 0$ $V_O = V_{CC} = V_{CE}$ (tačka A)

② Za $V_I = V_{BB}$ tranzistor je uključen, u zasićenju,

pa je $V_O = V_{CES}$ $V_{CES} = (0.1 \div 0.3) V$ (tačka B)



U aktivnoj oblasti je:

$$I_C = \beta I_B$$

$$\begin{aligned} V_{BC} &= V_{BE} - V_{CE} = V_{BE} - V_{CC} + R_C I_C \\ &= V_{BE} - V_{CC} + R_C \beta I_B \end{aligned}$$

Da bi tranzistor bio u zonsenju, neophodno je da je napon između baze i kolektora veći ili jednak naponu vodjenja tog tipa

$$V_{BC} \geq V_{BCO}$$

ti

$$V_{BE} - V_{CC} + R_C \beta I_B \geq V_{BCO}$$

odakle je

$$I_B \geq \frac{V_{CC} - (V_{BE} - V_{BCO})}{\beta R_C}$$

kada je

$$V_{BE} - V_{BCO} = V_{CES}$$

$$I_B \geq \frac{V_{CC} - V_{CES}}{\beta R_C}$$

po je na granici aktivne oblasti i zonsenja

$$I_{CS} = \beta I_{BS} = \frac{V_{CC} - V_{CES}}{R_C}$$

$$I_{BS} = \frac{I_{CS}}{\beta}$$

za $I_B > I_{BS}$ tranzistor je u zasićanju

za $I_B < I_{BS}$ tranzistor je u aktivnoj oblasti

Da bi osigurali da tranzistor u uključenoj stanju radi u zasićanju, mora biti zadovoljen uslov

$$I_B > I_{BSmax}$$

gde je

$$I_{BSmax} = \frac{V_{CC} - V_{CE0}}{\beta_{min} \cdot R_C}$$

Stepen zasićanja se definiše parametrom

$$H = \frac{I_B}{I_{BS}} \geq 1 \quad \text{obikno između 1.5 i 5}$$

Za klo to daje

$$I_B = \frac{V_{BB} - V_{BEs}}{R_B}$$

$$I_{Cs} = \frac{V_{CC} - V_{CEs}}{R_C}$$

Mora da važi da je

$$I_B \geq \frac{I_{Cs}}{\beta_{min}}$$

$$\frac{V_{BB} - V_{BEs}}{R_B} \geq \frac{V_{CC} - V_{CEs}}{\beta_{min} R_C}$$

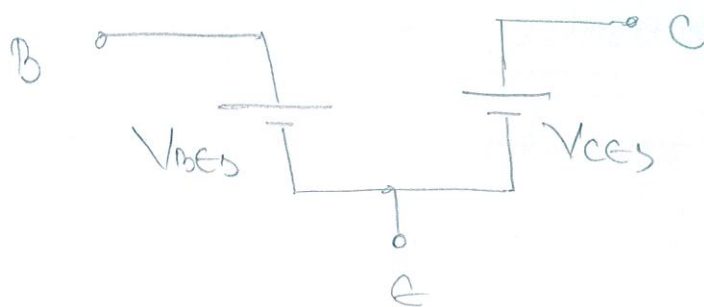
odavde je

$$R_B \leq \beta_{min} R_C \frac{V_{BB} - V_{BEs}}{V_{CC} - V_{CEs}}$$

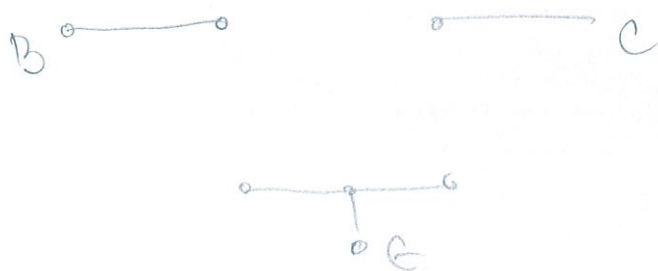
V_{BEs} je $(0.6 \pm 0.7)V$

V_{CEs} je $(0.1 \pm 0.3)V$

Model tranzistora u zastojeu je



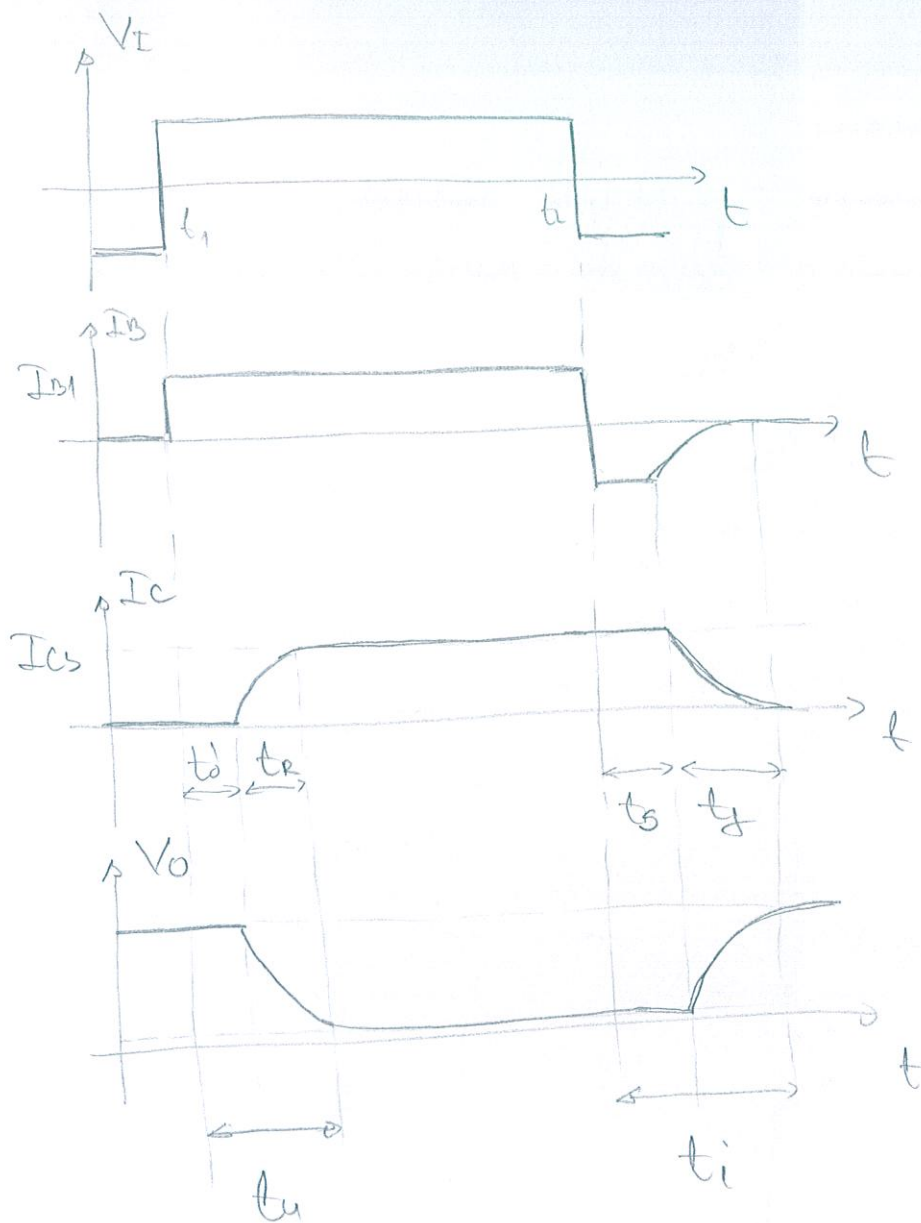
Tranzistor je u isključenom stanju ako se na ulaz dovodi napon $V_I = -V_{BB}$. Tada se dva izvora napona planiraju i može se koristiti sledeći model:



Prilikom izveštaja stanja zastojeu kroz pri spore, ali su one vrlo male i mogu se zanemariti.

Prelazni režim

Kada funkcioniše kao prekidač, tranzistor se ne uključuje i isključuje trenutno, već postoji kašnjenje, tj. kratko vreme uključivanja i isključivanja tranzistora.



t_u - время включения

$$t_u = t_d + t_r$$

t_i - время выключения

$$t_i = t_s + t_f$$

t_d время задержки включения транзистора

t_r время пролета электронов в базе

t_s время затухания

t_f время опорожнения базы

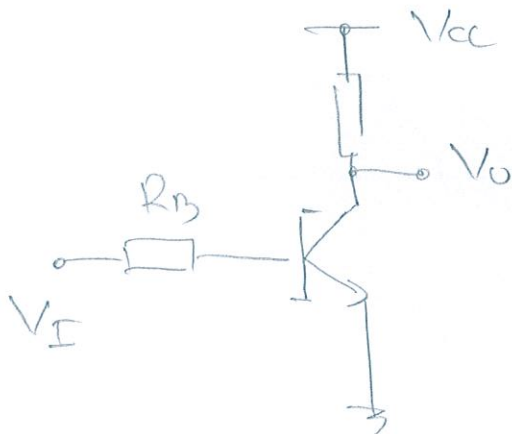
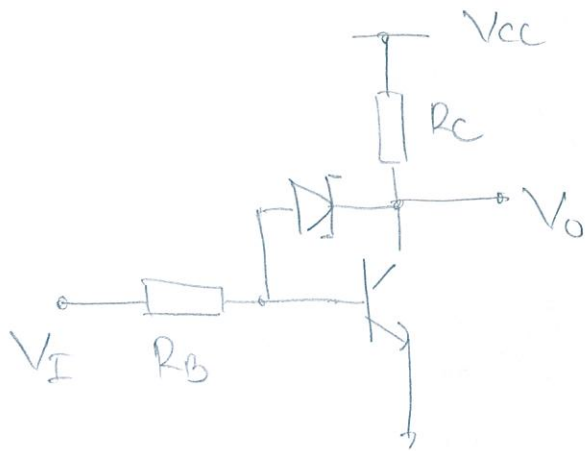
Минимальный период выходного сигнала

$$T_{\min} = t_u + t_i$$

Но би исправим всё это можем: $T_f > T_{\min}$

Nerazdruživi prekidači:

Da bi se smanjilo vreme prelaznih režima tranzistora, koriste se releji koji sprečavaju odmor tranzistora u zastoju

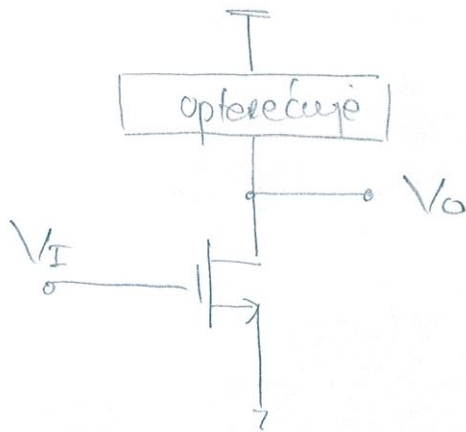


Velika brzina funkcionisanja

Velika potrošnja energije

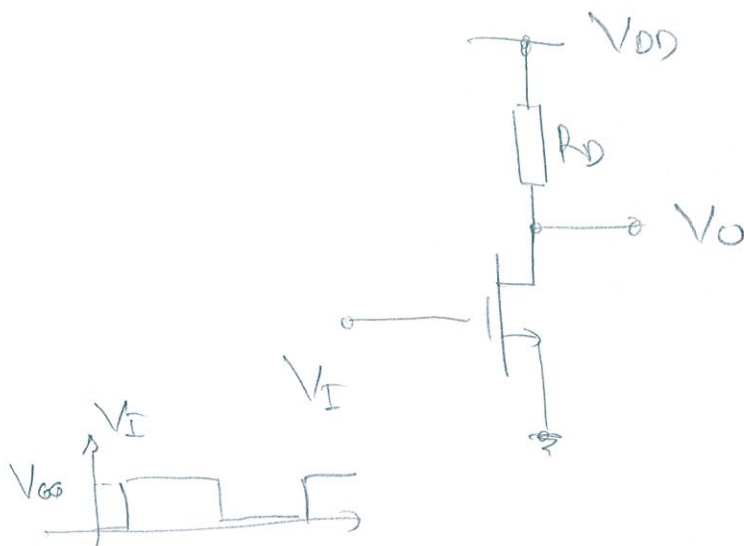
PREKIDAČKE KARAKTERISTIKE UNIPOLARNIH TRANZISTORA

Uobicno se koriste MOS tranzistori sa indukovanim kanalom, i to obicno NMOS



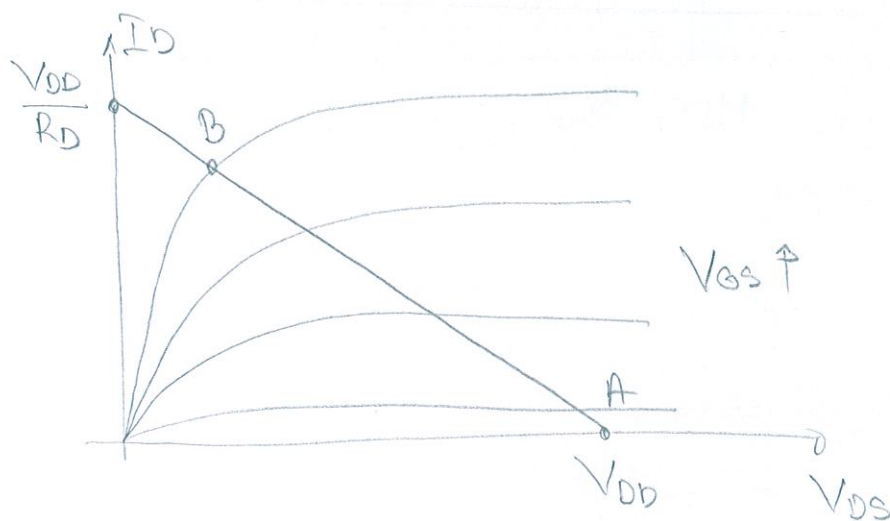
Opterećenje može biti linearno (otpornik) ili nelinearno (MOS tranzistori islog ili suprotnog tipa)

Prekidač sa linearnim opterećenjem



Racun prava

$$V_o = V_{DS} = V_{DD} - R_D I_D$$



Za $V_I = 0$ tranzistor je isključen $I_D = 0$, $V_o = V_{DD}$
 tačka A

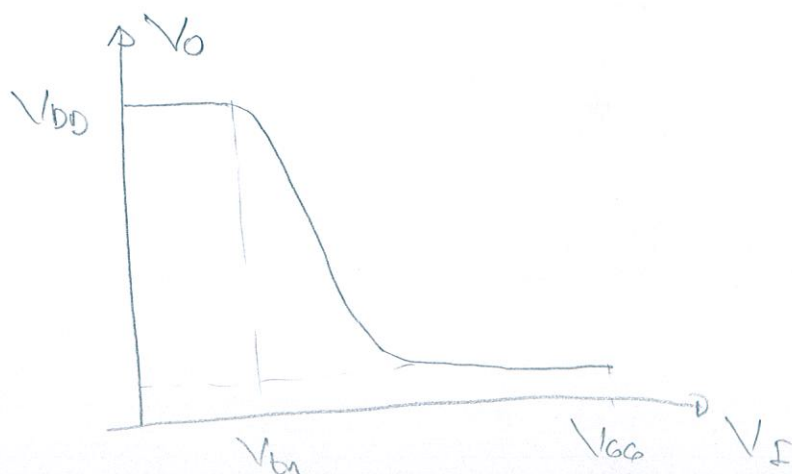
Za $V_I = V_{GS}$ tranzistor je uključen $I_D \neq 0$ $V_{GS} = V_I$

Za $V_{DS} < V_{GS} - V_{th}$ tranzistor u triodnoj oblasti

Za $V_{DS} > V_{GS} - V_{th}$ tranzistor u zasićenju

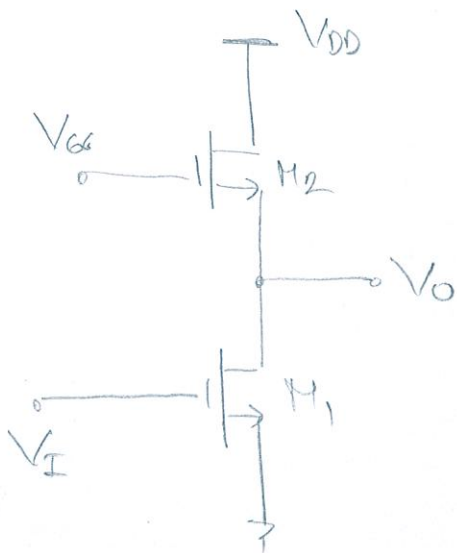
Struja dregua je :

$$I_D = \begin{cases} k_n (V_{GS} - V_{th})^2 & \text{zasićenje} \\ k_n [2(V_{GS} - V_{th})V_{DS} - V_{DS}^2] & \text{triodna oblast} \end{cases}$$

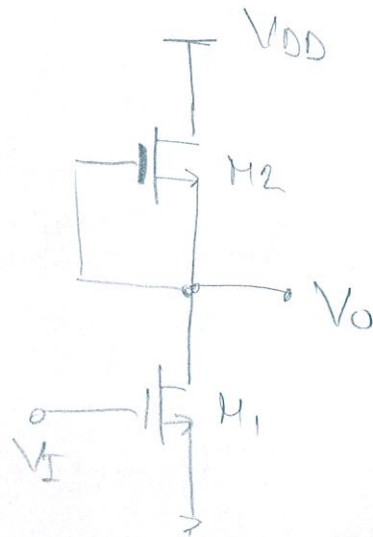


Prekidac sa nelinearnim opterećenjem

U integrisanom kola, kao opterećenje se koristi tranzistor koji može biti islog tipa ili suprotnog tipa kanala, sa induktivnim ili sa ugađenim kaudom.

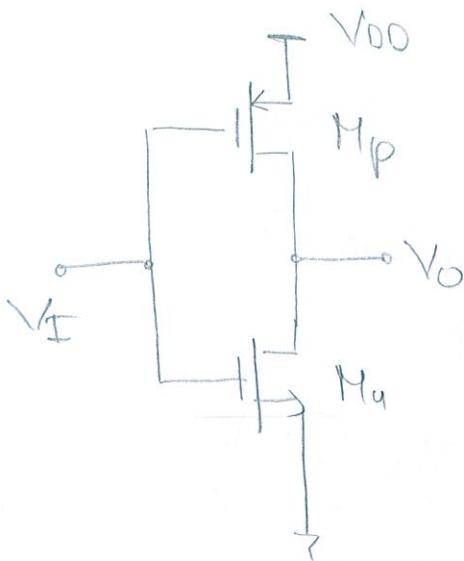


M_2 opterećenje
NMOS



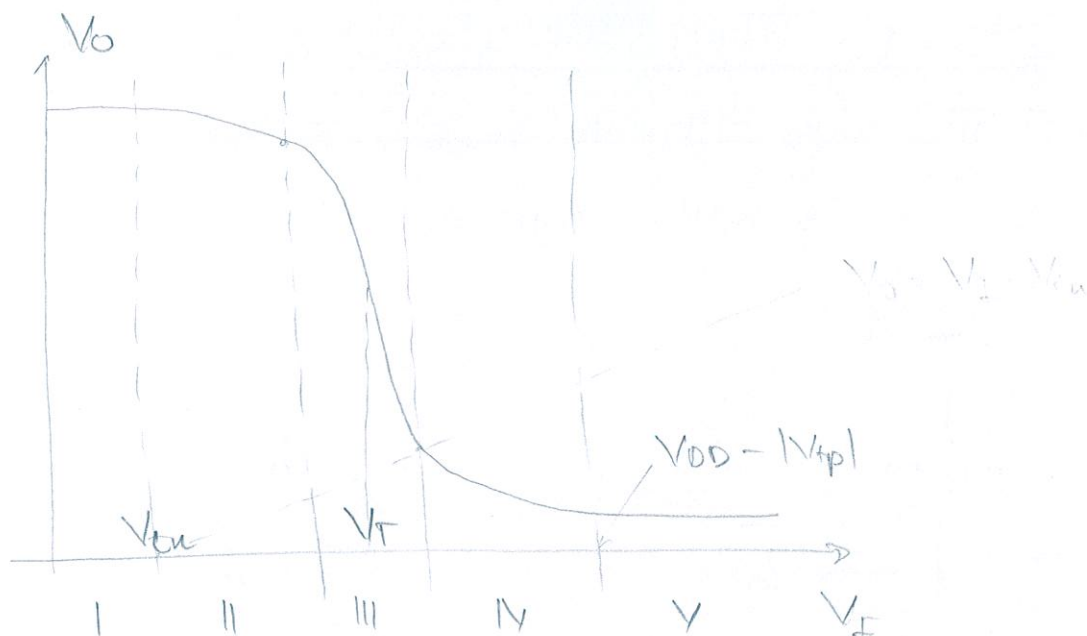
M_2 opterećenje
NMOS sa ugađenim kaudom

CMOS PREKIDAČ (CMOS inverter)



$$V_{th} \approx |V_{tp}|$$

Prevozna karakteristika:



I oblast: $0 < V_I < V_{tn}$

Na isključen M_p radi u teretnoj oblasti

$$I_{Dn} = 0 \Rightarrow |I_{Dp}| = 0$$

$$I_{Dp} = k_p [2(V_{DD} - |V_{tp}|) \cdot (V_{DD} - V_o) - (V_{DD} - V_o)^2] = 0$$

odavde sledi $V_{DD} - V_o = 0 \Rightarrow V_o = V_{DD}$

II oblast: $V_{tn} < V_I < V_o + |V_{tp}|$

Na u zračuju M_p u teretnoj oblasti

$$I_{Dn} = |I_{Dp}|$$

$$k_n (V_I - V_{tn})^2 = k_p [2(V_{DD} - V_I - |V_{tp}|) \cdot (V_{DD} - V_o) - (V_{DD} - V_o)^2]$$

odavde je

$$V_o = V_I - |V_{tp}| + \sqrt{(V_{DD} - V_I - |V_{tp}|)^2 - \frac{k_n}{k_p} (V_I - V_{tn})^2}$$

III oblast :

$$V_0 + V_{tp} < V_I < V_0 + V_{tn}$$

M_n u zasićenju

M_p u zasićenju

$$I_{on} = |I_{op}|$$

$$k_n (V_I - V_{tn})^2 = k_p (V_{DD} - V_I - |V_{tp}|)^2$$

U ovoj oblasti dešava se nagla promena stanja na ulazu
u visokog na niski nivo. Napon na ulazu pri tome se
dešava skokovita promena izlaznog napona naziva se
napon praga CMOS invertora V_T

$$V_I = V_T = \frac{V_{DD} - |V_{tp}| + \sqrt{k_n/k_p} V_{tn}}{1 + \sqrt{k_n/k_p}}$$

$$V_T \approx (0.45 \div 0.55) V_{DD}$$

Ako su tranzistori upareni $V_T = \frac{V_{DD}}{2}$

IV oblast :

$$V_0 + V_{tn} < V_I < V_{DD} + V_{tp}$$

M_n u triodnoj oblasti

M_p u zasićenju

$$I_{on} = |I_{op}|$$

$$k_n [2(V_I - V_{tn}) \cdot V_0 - V_0^2] = k_p (V_{DD} - V_0 - |V_{tp}|)^2$$

dobro je

$$V_0 = V_I - V_{tn} - \sqrt{(V_I - V_{tn})^2 - \frac{k_n}{k_p} (V_{DD} - V_0 - |V_{tp}|)^2}$$

V oblast

$$V_{DD} + V_{tp} < V_I < V_{DD}$$

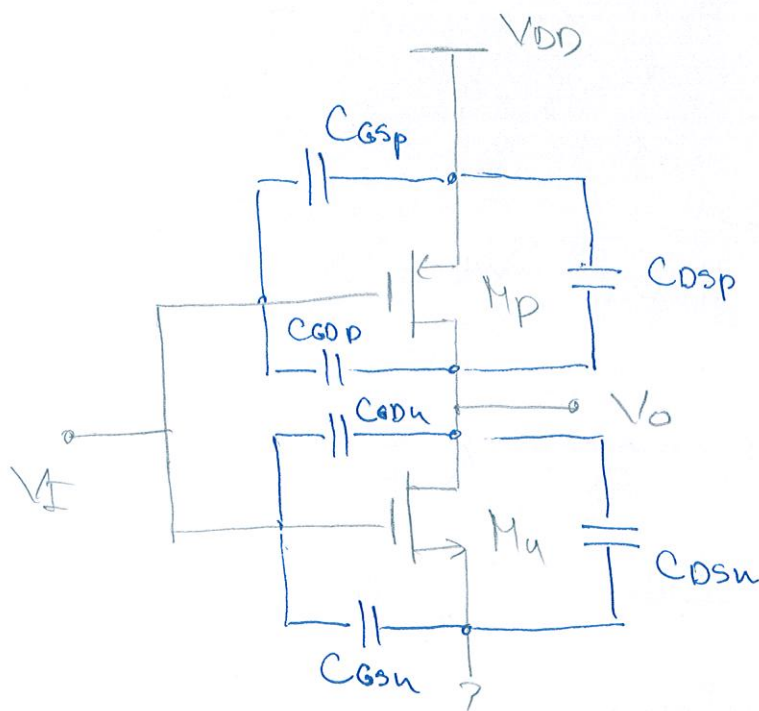
M_n u triodnoj

M_p isključen

$$|I_{Dp}| = 0 \Rightarrow V_O = 0$$

Prelazni režim

Izlazni signal je posledica i vremena kašnjenja, jer tranzistori ne reaguju trenutno na promene ulaznog signala. Tranzistori poseduju parazitne kapacitivnosti



Kao mera kašnjenja signala, mogu se uzeti vremena za koje izlazni signal padne sa V_{DD} na $V_{DD}/2$ (t_{pHL}), i za koje izlazni signal poraste sa 0 na $V_{DD}/2$.

Ukupno vreme kašnjenja je

$$t_p = (t_{pHL} + t_{pLH}) / 2$$

Минимальный период сигнала должен быть

$$T_{\text{мин}} = t_{\text{PHL}} + t_{\text{PLH}} = 2t_p$$

а максимальная частота переключения

$$f_{\text{max}} = \frac{1}{T_{\text{мин}}} = \frac{1}{2t_p}$$

