

Универзитет у Бањој Луци

Електротехнички факултет

Катедра за електронику

Четврта лабораторијска вјежба из предмета

Основи електронике и дигиталне технике

Напомена: Као резултат успјешно урађене лабораторијске вјежбе неопходно је предати документ у *.pdf* или *.docx* формату са урађеним задацима из припреме и резултатима задатака за самостални рад. У извјештају јасно назначити име и презиме студента и број индекса. Сви графици који се захтјевају у припреми за вјежбу могу бити нацртани руком и стављени у извјештај као слике. Резултате задатака из вјежбе коментарисати у извјештају.

Припрема за вјежбу

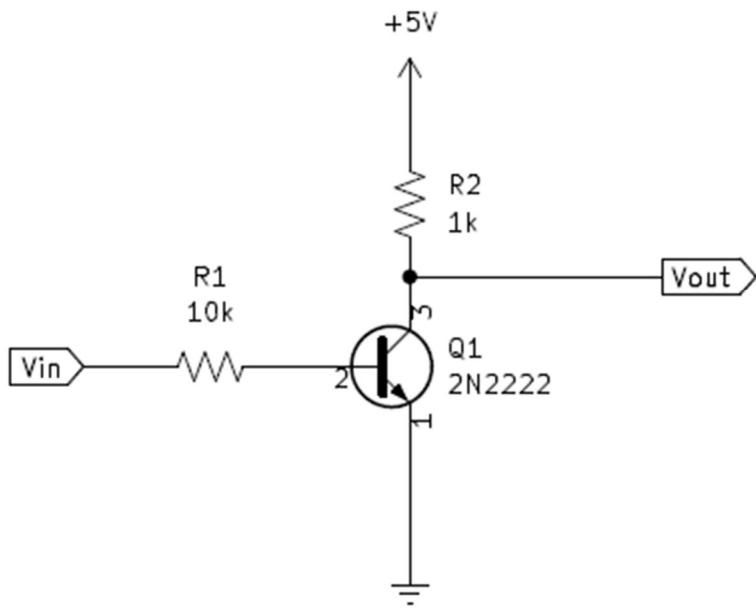
1. Навести изразе за времена укључења и искључења биполарног транзистора.
2. Нацртати преносну карактеристику *CMOS* инвертора и објаснити принцип рада *CMOS*-а.

Задаци

Задатак 1. За коло приказано на Слици 1 у програмском пакету *LTspice* одредити:

- 1) преносну карактеристику, напон прага V_T , напон високог (V_{OH}) и ниског (V_{OL}) логичког нивоа.
- 2) времена укључења и искључења транзистора. Улазни генератор потребно је подесити тако да на свом излазу даје поворку правоугаоних импулса (опција *PULSE* у напредним подешавањима напонског генератора), амплитуде 5V, периода 5μs и времена трајања високог логичког нивоа 2μs.

За одређивање преносне карактеристике користити *DC Sweep* тип анализе. Варијати улазни сигнал V_{in} од 0V до 5V са кораком 0.01, те за приказивање преносне карактеристике након покретања симулације приказати напон колектор-емитор.



Слика 1

Задатак 2. За *CMOS* коло приказано на Слици 2 у програмском пакету *LTspice* одредити:

- 1) преносну карактеристику, напон прага V_T , напон високог (V_{OH}) и ниског (V_{OL}) логичког нивоа.
- 2) динамичке параметре *CMOS* инвертора t_{PLH} , t_{PHL} . Улазни генератор потребно је подесити тако да на свом излазу даје поворку правоугаоних импулса (опција *PULSE* у напредним подешавањима напонског генератора), амплитуде 5V, периода 5μs и времена трајања високог логичког нивоа 2μs.

При састављању *CMOS* инвертора у *LTspice* програмском пакету параметризовати транзисторе са следећом *spice* командом (опција *SPICE Directive*)

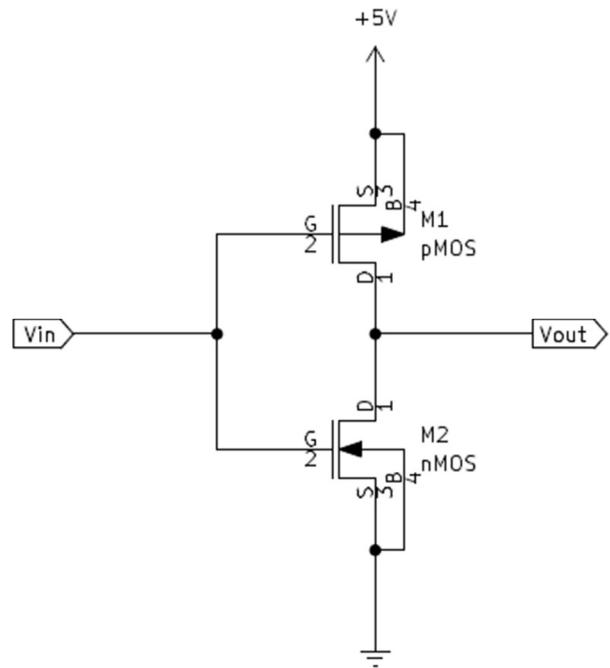
```
.MODEL NMOS NMOS LEVEL = 3
+ TOX =200E-10
+ PHI =0.7
+ UO =650
+ KP =120E-6
+ RSH =0
+ XJ =500E-9
+ CGDO =200E-12
+ CJ =400E-6
+ CJSW =300E-12
+NSUB =1E17 VTO =1 ETA = 3.0E-6 VMAX =1E5 NFS =1E12
+LD = 100E-9 CGSO =200E-12 PB =1 MJSW =0.5
+GAMMA = 0 DELTA = 3.0 THETA = 0.1
+KAPPA = 0.3 TPG =1 CGBO =1E-10 MJ =0.5
```

```

.MODEL PMOS PMOS LEVEL = 3
+ TOX =200E-10
+ PHI =0.7
+ UO =250
+ KP =40E-6
+ RSH =0
+ XJ =500E-9
+ CGDO =200E-12
+ CJ =400E-6
+ CJSW =300E-12
+NSUB =1E17 VTO =-1 ETA = 0 VMAX =5E4 NFS =1E12
+LD = 100E-9 CGSO =200E-12 PB =1 MJSW =0.5
+GAMMA = 0.6 DELTA = 0.1 THETA = 0.1
+KAPPA = 1 TPG =-1 CGBO =1E-10 MJ =0.5

```

Обратити пажњу на орјентацију *MOS* транзистора. При избору компоненти током састављања шеме користити *nmos4* и *pmos4*, те приликом постављања на радну површину *pMOS* транзистор прво ротирати за π (*Ctrl+R* два пута), а за тим окренути (*Mirror* опција, *Ctrl+E*).



Слика 2