

# LOGIČKA IKOLA

60-tih godina 20. veka proizvodena su prva integrisana kola (IC) i prve familije integrisanih kola.

Familija logičkih kola – skup logičkih kola proizveden istom tehnologijom ili istom kombinacijom tehnologija.

IC se mogu klasifikovati na osnovu nivoa ili stepena integracije. Kod digitalnih IC, za osnovni stepen integracije se koristi broj osnovnih logičkih kola ili gejtova.

stepen integracije	broj gejtova
Mali stepen integracije (SSI)	do 100
Srednji stepen integracije (MSI)	od 100 do 1000
Veliki stepen integracije (LSI)	od 1000 do 10000
Veoma veliki stepen integracije (VLSI)	preko 10000

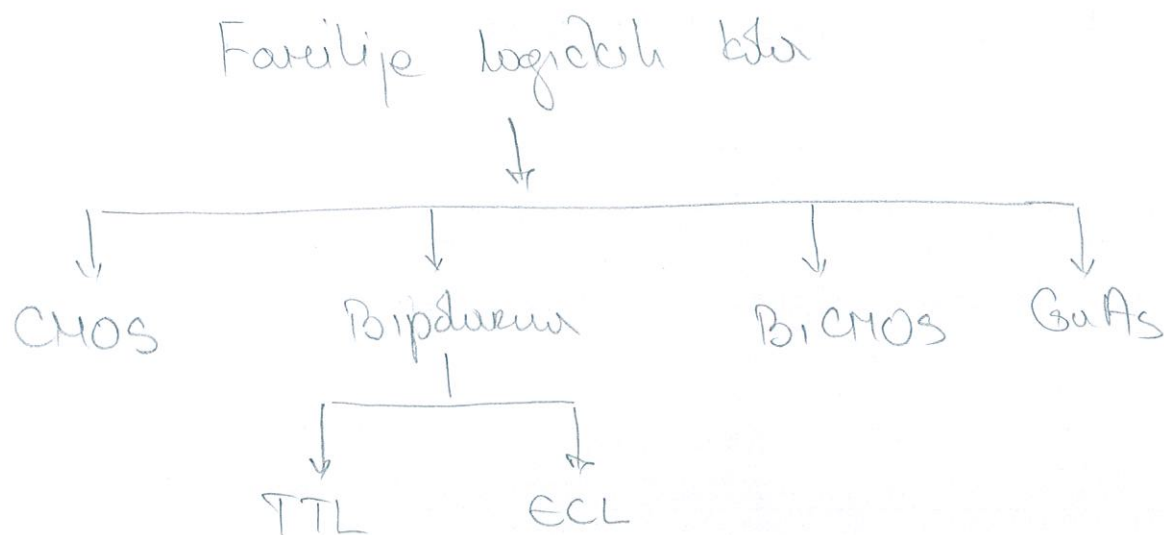
SSI : osnovna logička kola i flip floпови

MSI : složena kombinaciona i sekvencijalna kola i male memorije

LSI : specijalizovani digitalni sistemi, memorije i mali mikrop procesori

VLSI : velike memorije, složeni mikrop procesori, FPGA i CPLD

Povećanje broja integracije je zadovoljavajući smanjenje dimenzija komponenti. To je dovelo i do povećanja brzine rada, ali i do povećanja snage disipacije (velika se snaga troši na porazivanje i korišćenje hladnjaka za odvođenje toplote).



U početku su bila bipolarna logička kola, posebno TTL a zatim ECL. TTL se i danas koristi za male sisteme, a odlikuju se velikom brzinom rada.

ECL - karakteristični su u aktivnoj oblasti, velike brzine rada, ali i velika potrošnja.

CMOS je kasnije razvijeno, a njegove prednosti u odnosu na bipolarnu tehnologiju su:

- ⊗ mala disipacija
- ⊗ velika ulazna otpornost koju je omogućila povećana razlika između nivoa logičke 1 i 0
- ⊗ vrlo veliki stepen integracije
- ⊗ niska cena.

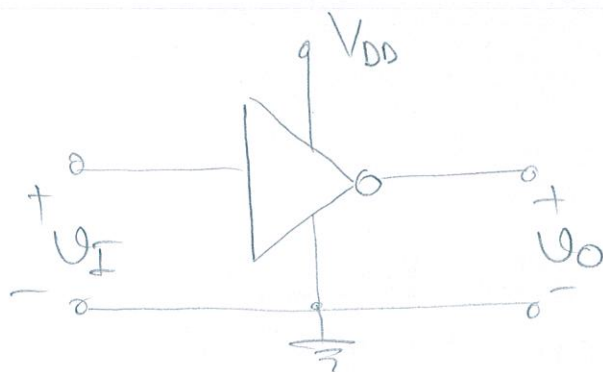
B<sub>1</sub>CMOS : kombinovane bipolarnе i CMOS tehnologije su ciljem da se iskoristi velika brzina rada bipolarnih tranzistora i nula disipacija snage i druge dobre karakteristike MOS tehnologije.

GoAs : velika pokretljivost elektrona u GoAs omogućava veoma velike brzine rada.

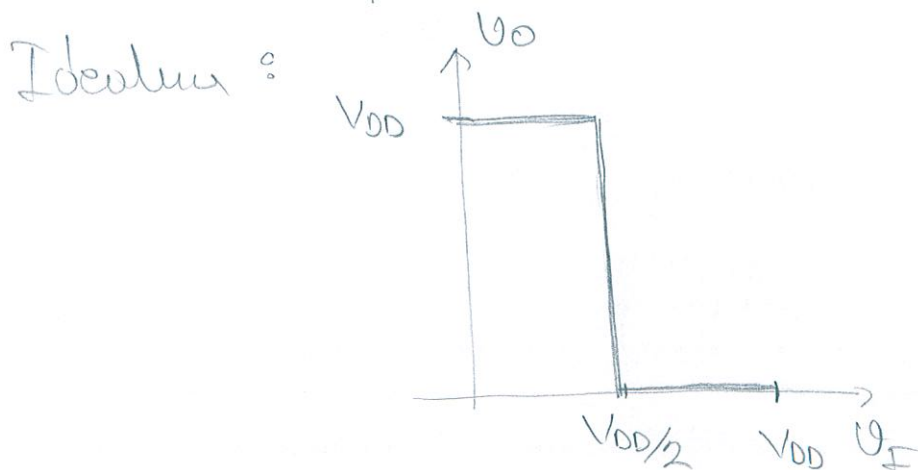
Danas se dominantno koriste CMOS logička kola.

## KARAKTERISTIKE LOGIČKIH KOLA

Logički invertor je osnovni gradivni element logičkih kola

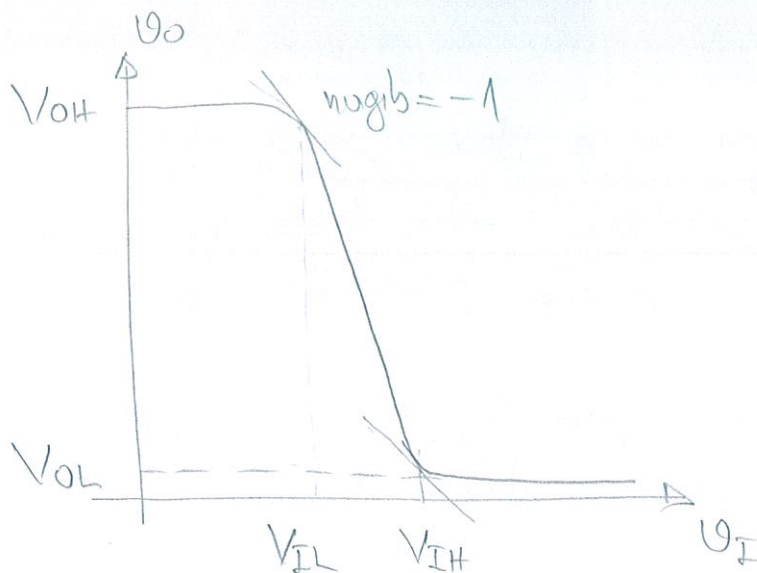


### 1° Naponska prenosna karakteristika





Realna



$V_{IL}$  - maksimalni ulazni napon koji se tretira kao "0"

$V_{IH}$  - minimalni ulazni napon koji se tretira kao "1"

$V_{OL}$  - maksimalni nivo "0" na izlazu

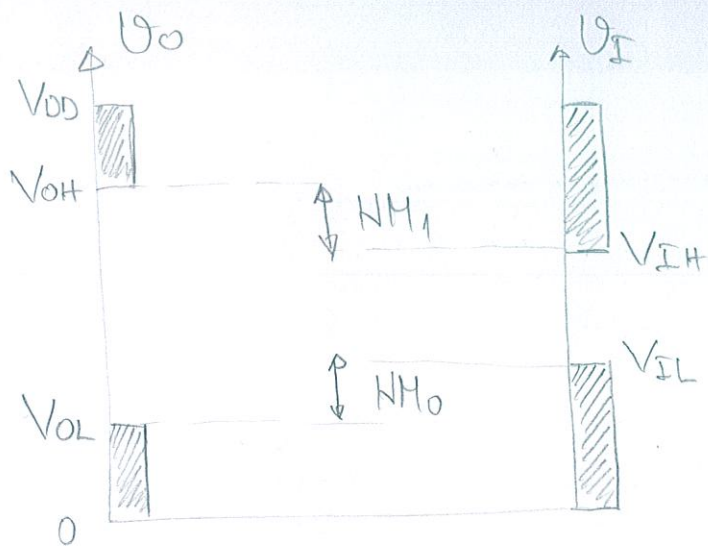
$V_{OH}$  - minimalni nivo "1" na izlazu

## 2° Margine suma

Kod složenih sistema, izlaz jednog logičkog kola pobuđuje ulaze drugih logičkih kola. Da bi sistem ispravno funkcionisao, neophodno je da je:

$$V_{OL} < V_{IL} \quad ; \quad V_{OH} > V_{IH}$$

Neosetljivost izlaza logičkog kola na promene naponskog nivoa na ulazu, ako su promene u izvesnim granicama, jedna je od ključnih karakteristika logičkih kola.  
(velika prednost u odnosu na analognu kolu)



napovni nivoi  
logičkih stanja u  
izlazu i ulazu

Margina šuma za logičku jedinicu ("1"):

$$NM_1 = V_{OH} - V_{IH}$$

Margina šuma za logičku nulu ("0"):

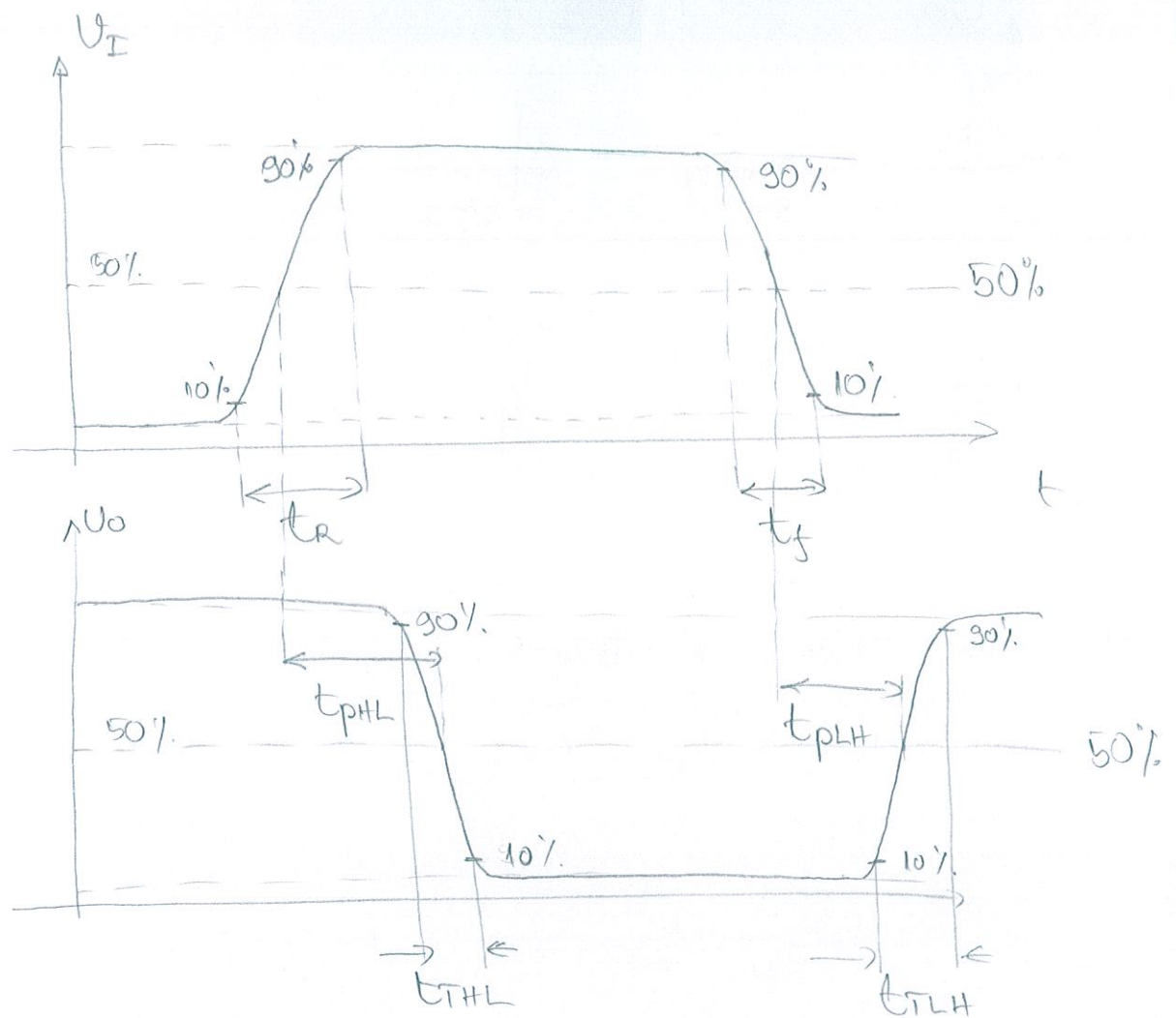
$$NM_0 = V_{IL} - V_{OL}$$

Može se definirati i logička amplituda:

$$LA = V_{OH} - V_{OL}$$

### 3° Dinamičke karakteristike

Prelaz invertora iz jednog u drugo logičko stanje ved se postavlja kroz prelaznu zonu između "0" i "1". Ovaj prelaz se ve ved trenutno zbog unutarnjih kapacitivnosti čiji se napori menjaју po eksponencijalnom zakonu.



Vlazi signal je realni pravougaoni impuls, koji ima končno vreme rasta ( $t_r$ ) i končno vreme opadanja ( $t_f$ )

$t_{PHL}$  - vreme kašnjenja opadajuće ivice

$t_{PLH}$  - vreme kašnjenja rastuće ivice

Vreme kašnjenja :

$$t_p = \frac{t_{PHL} + t_{PLH}}{2}$$

maksimalna frekvencija

$$f = \frac{1}{2t_p}$$

Izlazni signal ima končno vreme prelaza sa niskog na visoki nivo ( $t_{TLH}$ ) i sa visokog na niski nivo ( $t_{THL}$ )



#### 4° Disipacija i kašnjenje logičkih kola

Disipacija (ili snaga disipacije) definiše se kao proizvod napona napajanja i srednje vrednosti struje napajanja

$$P_D = V_{DD} \cdot I_{se}$$

Zahteva se mala potrošnja! (malo disipacije)

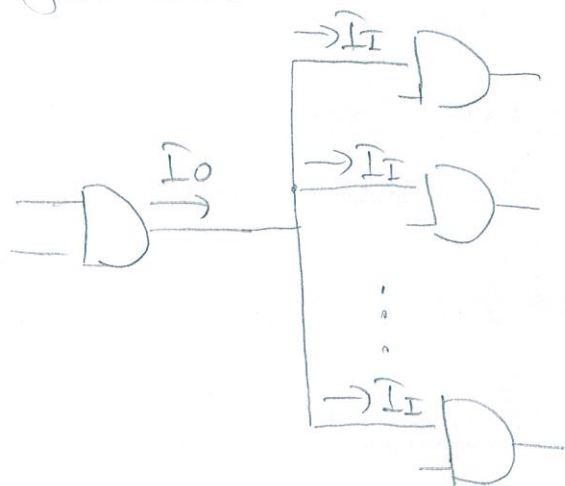
Od logičkih kola se zahteva velika brzina rada, odnosno malo kašnjenje  $t_p$ , što je kontradiktorno maloj disipaciji. Zato se definiše proizvod PDP (Power Delay Product) potrošnje i kašnjenja

$$PDP = P_D \cdot t_p \quad (\text{J - džul})$$

pri čemu se teži da ovaj proizvod bude što manji.

#### 5° Faktor grananja

To je problem koji kaže koliko se istih logičkih kola može paralelno vezati na izlaz jednog logičkog kola, a da ono i dalje ispravno funkcioniše



Faktor grananja se određuje iz uslova:

$$I_0 \geq n \cdot I_I$$

odnosno

$$n \leq \frac{I_0}{I_I}$$

a maksimalni faktor grananja je:

$$n_{\max} = \frac{I_0}{I_I}$$

Kod logičkih kolo se definišu ulazna  $I_I$  i izlazni stepeni  $I_0$  za dva logička stepena

za "0" :  $I_I^0$  i  $I_0^0$

za "1" :  $I_I^1$  i  $I_0^1$

pa se faktor opterećenja određuje za dva stepena:

$$n^0 \leq \frac{I_0^0}{I_I^0} \quad n^1 \leq \frac{I_0^1}{I_I^1}$$

Uzima se najmanji od ova dva rezultata

$$n = \min \{n^0, n^1\}$$

Ovo je stvarni faktor grananja. Postoji i dimenzijski, koji je najmanji zbog uticaja parazitnih kapacitativnosti.

U praksi je  $n \in (5, 8)$ .

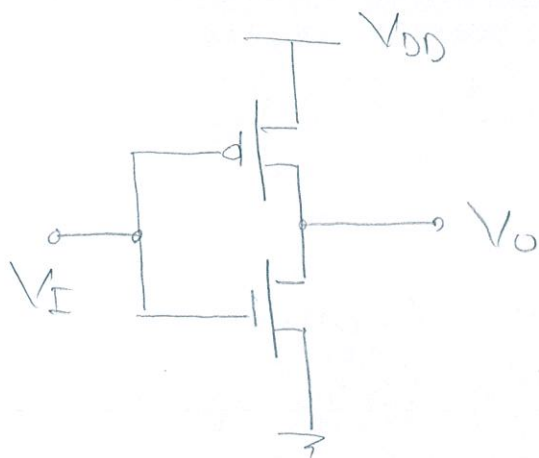


# CMOS LOGIČKA KOLA

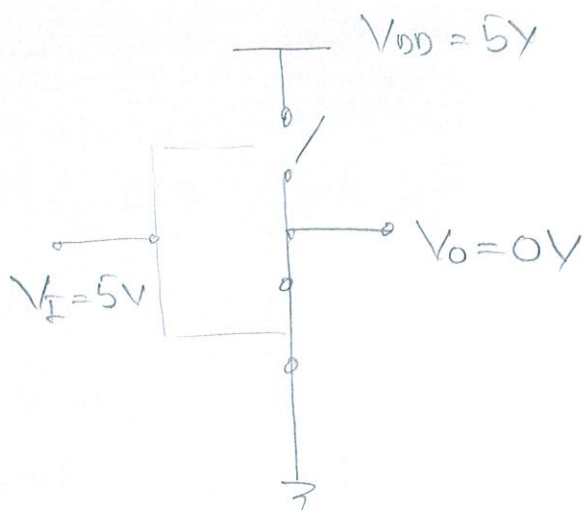
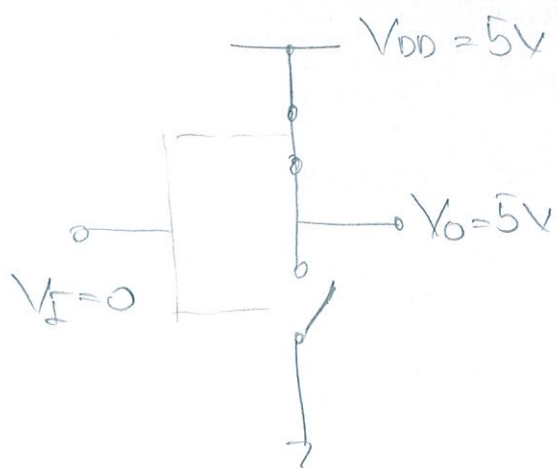
CMOS danas predstavlja dominantnu tehnologiju za proizvodnju digitalnih kola. Osnovni razlog zbog kojih je CMOS tehnologija zamijenila bipolarnu tehnologiju u proizvodnji digitalnih kola su:

- ⊗ CMOS logička kola disipiraju manju snagu od bipolarnih, pa se na jednom čipu može smjestiti više CMOS kola nego bipolarnih;
- ⊗ Velika ulazna otpornost MOS tranzistora omogućuje da se za privremeno radovanje koristi naponska i odgovarajuća kapacitivnost, tako kod digitalnih kola, tako i kod memorija.
- ⊗ Zahvaljujući stalnom smanjivanju dimenzija MOS tranzistora (dužine kanala i naizmjenično od 22  $\mu\text{m}$ ), omogućen je veliki stepen integracije i proizvodnja mikroprocссора koji sadrže preko 5 milijardi tranzistora po čipu.
- ⊗ Velika je neosjetljivost na smetnje
- ⊗ Velika temperaturna stabilnost
- ⊗ Mali PDP

Osnovna logika klo je CMOS invertor (kjer smo ravno radili). V digitalnem krmiljenju oz. tranzistorje mora biti i



Ako tranzistorje razmišljamo kao idealne prekidače:



vodi PMOS, NMOS isklučen

Medutim, u realnim tranzistorima, tranzistorje koji vodi radi u triodnoj oblasti i ima neki, ali konacan otpor:

$$r_{osn} = \frac{1}{2k_n(V_{gs} - V_{tn})} \quad \text{i} \quad r_{osp} = \frac{1}{2k_p(V_{gs} - |V_{tp}|)}$$

pa se tranzistorje koji vodi ne moze baštini svržen već otpornik  $r_{os}$ .



Ua CMOS invertre važi:

- ⊗  $V_{OH} = V_{DD}$  i  $V_{OL} = 0$ , pa je logička amplituda maksimalno moguća
- ⊗ statička disipacija invertora je jednaka nuli u dva logička stanja
- ⊗ postoji mala otpornost između ulaza i nase kada je na ulazu visok naponski nivo i mala otpornost između ulaza i porobljara kada je na ulazu visok naponski nivo
- ⊗ mala ulazna otpornost omogućava veliki strujni kapacitet ulaza i tako čini napre osetljivim na smetnje
- ⊗ velika ulazna otpornost omogućava da se na ulaz punog invertora može vezati veliki broj istih invertora, a da ne dođe do promene nivoa ulaznog signala

## Disipacija

Statička disipacija je jednaka nuli, jer kod CMOS invertora nema struje kada je ulaz u punog od logičkih stanja

Kada CMOS invertor prelazi iz punog logičkog stanja u drugo, kroz tranzistore teče struja punjenja i praznjenja kondenzatora (ulaznih i porobljara) koje možemo zamisliti ekvivalentnim kondenzatorom  $C$ .



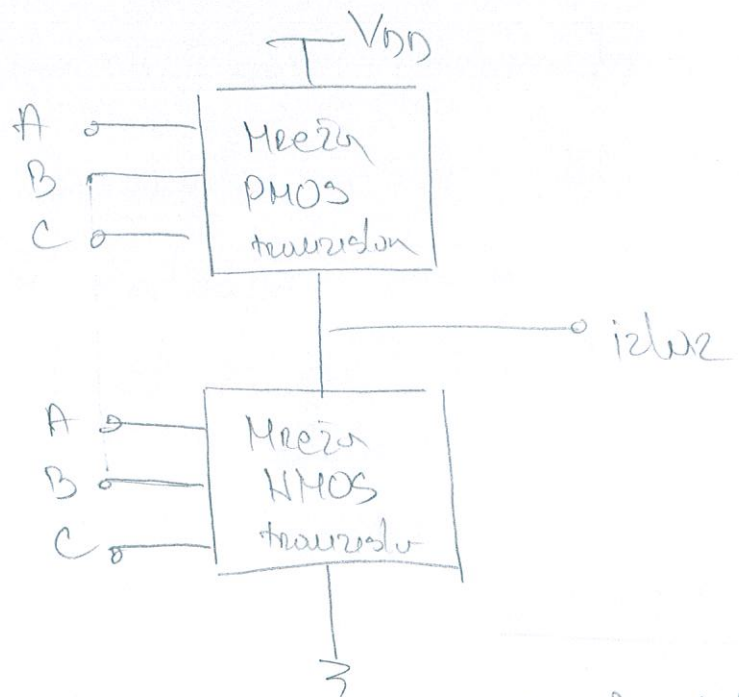
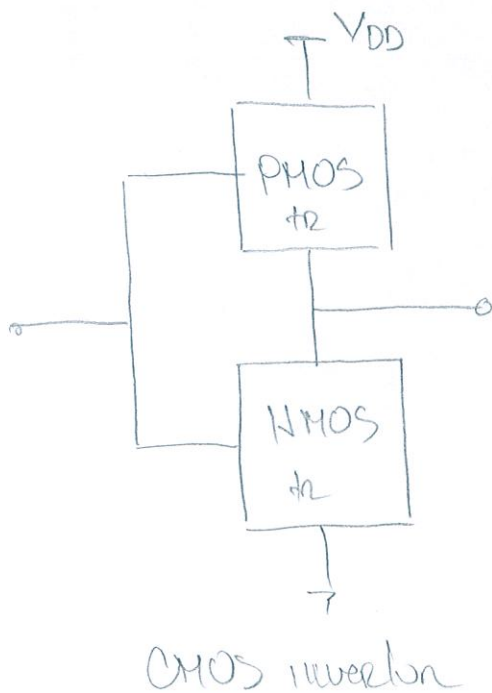
Pogleda stupa kroz tranzistore tako invertira prelazi iz jednog u drugo logičko stanje dovodi do dinamičke disipacije, koja se može odrediti kao:

$$P_D = f \cdot C \cdot V_{DD}^2$$

gde je  $f$  frekvencija promene logičkih stanja.

## Osnovna i složena CMOS logička kola

CMOS invertor je najjednostavnije logičko kolo

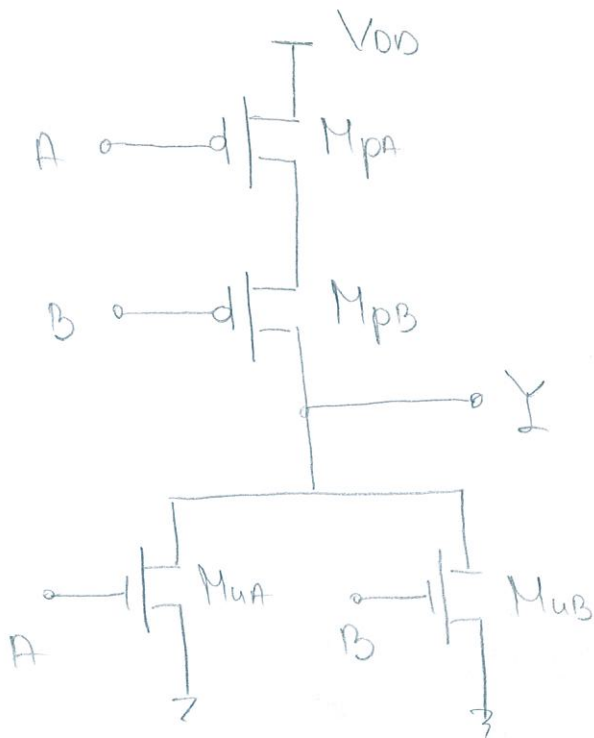


složeno CMOS logičko kolo

Prostirivajući CMOS invertora dobija se složeno CMOS kolo. NMOS i PMOS mreže su komplementarne!

## CMOS NILI kolo

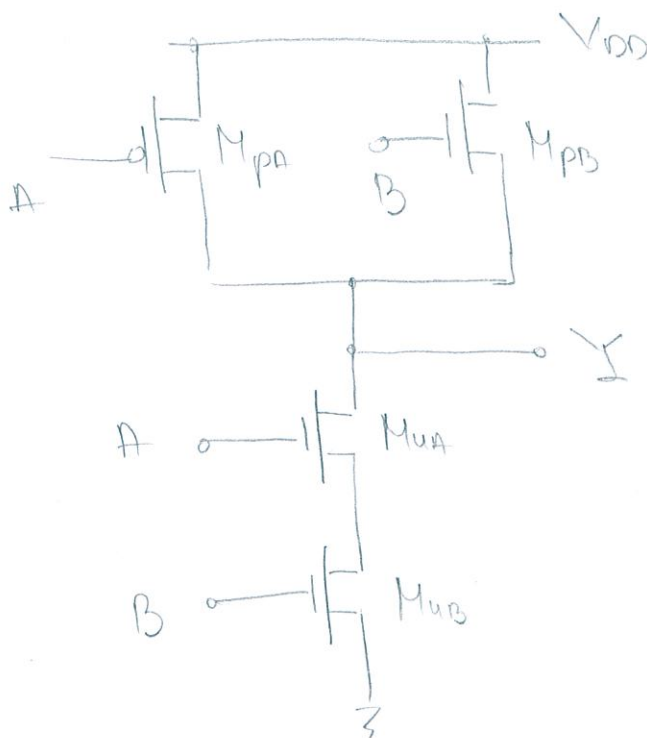
$$Y = \overline{A + B} = \bar{A} \cdot \bar{B}$$



Dodatkovým logickým me-  
střím na vstup vždy kdu  
může se docí do CMOS ILI  
kdu.

## CMOS NI kolo

$$Y = \overline{A \cdot B} = \bar{A} + \bar{B}$$



Primer složene CMOS koda:

$$Y = \overline{A(B+CD)}$$

Komplementaciju se dobija

$$\bar{Y} = A(B+CD)$$

Odatle se dobija NMOS mreža:

$$Y = 0 \text{ ako je } A=1 \text{ i li } B=1 \text{ li } CD=1$$

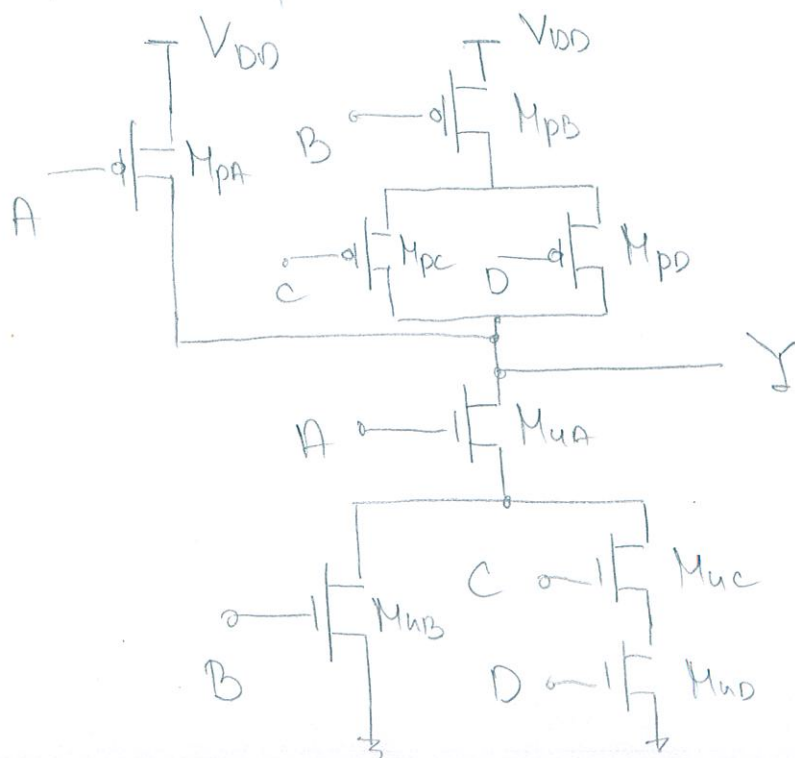
tj. ako  $C=1, D=1$

Da bi došli do PMOS mreže, potrebno je  $Y$  izraziti kao funkciju komplementiranih promenljivih. Primenom De Morganove teoreme, dobija se

$$Y = \bar{A} + \bar{B} + \bar{C}D = \bar{A} + \bar{B} \cdot \bar{C}D = \bar{A} + \bar{B}(\bar{C} + \bar{D})$$

Odatle se vidi da je

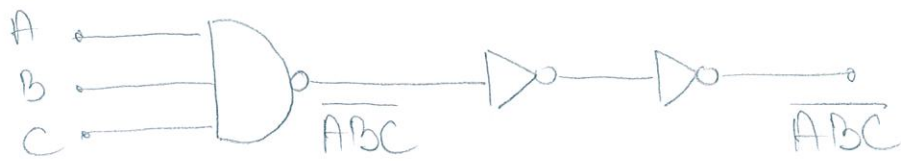
$$Y = 1 \text{ ako je } A=0 \text{ li } B=0 \text{ i } C=0 \text{ i } D=0$$





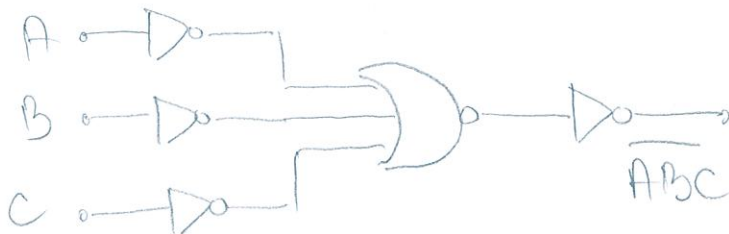
## Bajerovana CMOS logička kola

CMOS logička kola imaju izlazu otpornost koja zavisi od naponske pozicije tranzistora. Da bi se to izbeglo, veći se bajerovane:

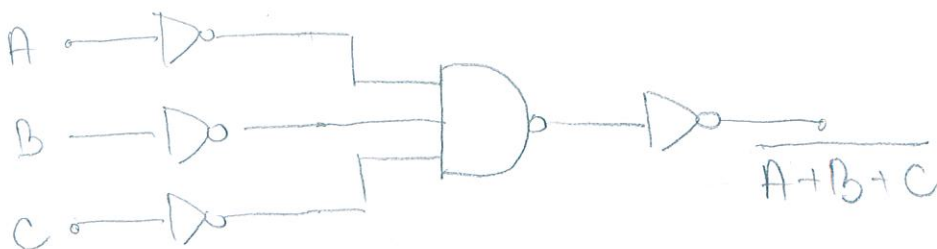


Izlazna otpornost zavisi od izlaznog naponskog nivoa, a ne od ulaza.

Bajerovane se može izvesti i na sledeći način

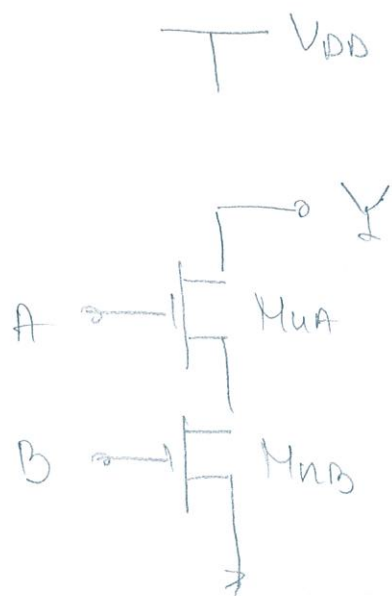


ili



## Kola sa otvorenim izlaskom

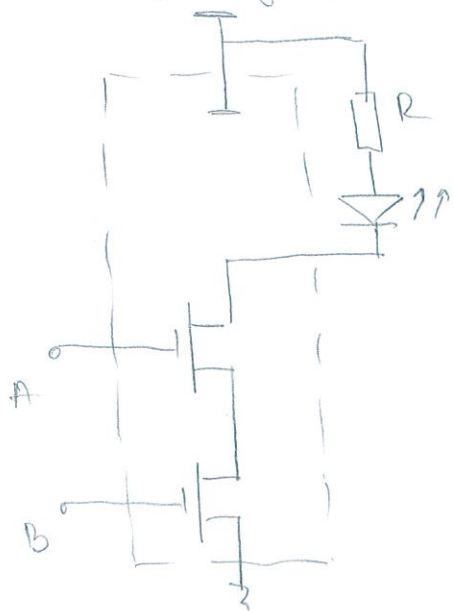
Ako se postavi CMOS mreža u, na primer, NI kolu, dolazi se do kola sa otvorenim izlaskom



A	B	Y
0	0	otvoren
0	1	otvoren
1	0	otvoren
1	1	0



Da bi kolo sa otvorenim izlaskom ispodlo svoju fzy potrebno je između izlaza kola i napajanja postaviti otpornik. Ovaj otpornik se zove pull-up.  
Za upravljanje LED-om:

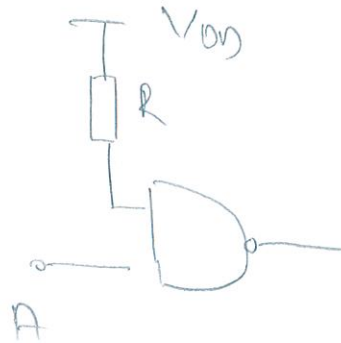


Ako je na bilo kom ulazu "0", tranzistori neće voditi i izlaz neće omogućavati struju diodi. Tek kad su dva ulaza na "1", dva tranzistora vode, kroz diodu protiče struja i ona svetli.

## Neiskorišćeni ulazi logičkih kola

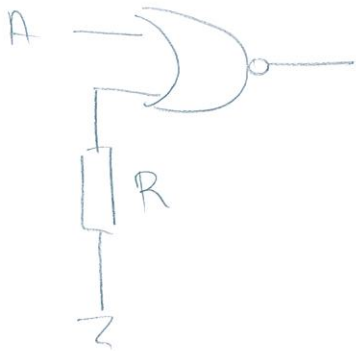
Čest je slučaj da se ne iskoriste svi raspoloživi ulazi logičkog kola. Neiskorišćeni ulazi kola ne smiju se ostaviti nepovezani ili da budu "plivajući".

Za NI logička kola:



Neiskorišćeni ulazi se spajaju na korišćenim ili preko otpornika na napajanje.

Za NILI logička kola:



Neiskorišćeni ulaz se preko otpornika spaja na masu.

Povezivanje na napajanje vrši se preko pull-up otpornika, a na masu preko pull-down otpornika.

Vrednosti ovih otpornosti su od 1 do 10 kΩ i jedan otpornik se može iskoristiti za povezivanje većeg broja neiskorišćenih ulaza.



