

Prva laboratorijska vježba

Osnovi računarske tehnike

UVOD

Ova laboratorijska vježba za cilj ima upoznavanje studenata sa osnovnim logičkim kolima, njihovim tabelama istinitosti, simbolima, načinom projektovanja, odnosno njihovog funkcionalnog opisa u *Verilog* jeziku za opis hardvera i njihovom simulacijom u programskom paketu *Quartus*. Za demonstraciju je dat primjer “AND” logičkog kola.

U nastavku su navedeni zadaci kao priprema za laboratorijsku vježbu, nakon koje je prikazan primjer opisa i simulacije “AND” logičkog kola.

PRIPREMA

Prikazati tabele istinitosti, logičke funkcije i simbole sljedećih logičkih kola:

1. NAND,
2. OR i
3. NOR.

Napomena: Urađenu pripremu, na listu papira, donijeti sa sobom na termin laboratorijske vježbe. Ukoliko ne donesete pripremu, nećete moći prisustvovati laboratorijskoj vježbi.

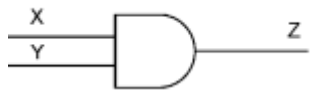
“AND” LOGIČKO KOLO

Logičko “AND” (I) kolo (engl: *AND gate*) obavlja logičku operaciju “I” (konjunkcija). “AND” logičko kolo može imati 2 ili više ulaza. Na izlazu kola je logičko stanje “1” samo ako su svi ulazi u logičkom stanju “1”. Ako je na bilo kojem ulazu kola logičko stanje “0”, tada je i na izlazu kola logičko stanje “0”.

Logičko “AND” kolo sa 2 ulaza (A i B) i izlazom Z se opisuje sljedećom logičkom funkcijom:

$$Z = A * B.$$

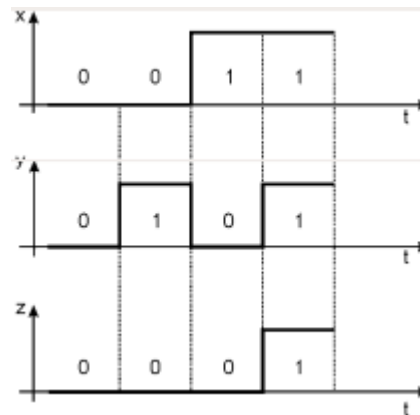
Na slici 1, 2 i 3 su prikazani simbol dvoulaznog “AND” logičkog kola, njegova tabela istinitosti i naponski oblici na njegovim ulazima i izlazu, respektivno.



Slika 1. Simbol “AND” logičkog kola

| X | Y | Z |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Slika 2. Table istinitosti dvoulaznog “AND” logičkog kola



Slika 3. Naponski nivoi na ulazima i izlazu dvoulaznog “AND” logičkog kola.

Opis dvoulaznog “AND” logičkog kola korišćenjem *Verilog* jezika za opis hardvera je dato ispod:

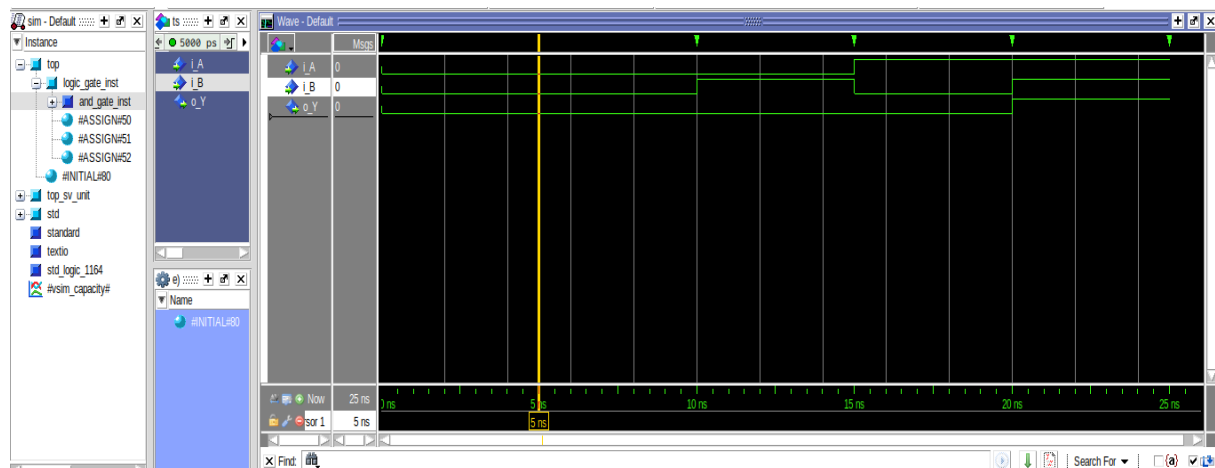
```
module and_gate(input i_A, input i_B, output o_Y);
    assign o_Y = i_A & i_B;
endmodule
```

Napomena: Nazivi ulaznih i izlaznih portova su proizvoljni i mogu da se razlikuju od naziva korišćenih u teoretskom razmatranju.

SIMULACIJA

U nastavku su prikazani rezultati simulacije u tekstualnom i grafičkom obliku:

```
# ORT-2023: =====
# ORT-2023: Logic gate: AND -> Y = A & B
# ORT-2023: =====
# ORT-2023: -----
# ORT-2023: | A | B | Y |
# ORT-2023: -----
# ORT-2023: | 0 | 0 | 0 |
# ORT-2023: -----
# ORT-2023: | 0 | 1 | 0 |
# ORT-2023: -----
# ORT-2023: | 1 | 0 | 0 |
# ORT-2023: -----
# ORT-2023: | 1 | 1 | 1 |
# ORT-2023: -----
# ORT-2023: =====
# ORT-2023: FINAL – OK
```



Slika 4. Logički nivoi na ulazima i izlazu dvoulaznog “AND” logičkog kola.

RAD U LABORATORIJI

Zadatak 1: Dvoulazno “NAND” logičko kolo

Koristeći tekstualni editor *Notepad/Notepad++* otvoriti tekstualni fajl **nand_gate.v** koji se nalazi unutar vašeg repozitorijuma na putanji “lab_1/hdl/nand_gate/”. Unijeti logičku funkciju “NAND” logičkog kola. Pokrenuti simulaciju, prikazati ulaze i izlaz “NAND” logičkog kola i prokomentarisati dobijene rezultate.

Zadatak 2: Dvoulazno “OR” logičko kolo

Koristeći tekstualni editor *Notepad/Notepad++* otvoriti tekstualni fajl **or_gate.v** koji se nalazi unutar vašeg repozitorijuma na putanji “lab_1/hdl/or_gate/”. Unijeti logičku funkciju “OR” logičkog kola. Pokrenuti simulaciju, prikazati ulaze i izlaz “OR” logičkog kola i prokomentarisati dobijene rezultate.

Zadatak 3: Dvoulazno “NOR” logičko kolo

Koristeći tekstualni editor *Notepad/Notepad++* otvoriti tekstualni fajl **nor_gate.v** koji se nalazi unutar vašeg repozitorijuma na putanji “lab_1/hdl/nor_gate/”. Unijeti logičku funkciju “NOR” logičkog kola. Pokrenuti simulaciju, prikazati ulaze i izlaz “NOR” logičkog kola i prokomentarisati dobijene rezultate.

DODATAK

Pokretanje simulacije

Simulacija se pokreće na sljedeći način.

Nakon što ste uspješno preuzeli materijale za izradu laboratorijske vježbe (tako što ste uradili *clone* vašeg repozitorijuma ili *pull* unutar vašeg već *clone*-iranog repozitorijuma) pozicionirajte se unutar *sim* direktorijuma na sljedeći način:

Iz vašeg radnog direktorijuma **ort-<vaš_broj_indeksa>** (npr. ako je vaš broj indeksa 1234/56, naziv vašeg radnog direktorijuma je **ort-123456**) u **command prompt**-u izvršite niz sljedećih naredbi:

```
cd lab_1
cd sim
dir
```

Nakon izlistavanja sadržaja **sim** direktorijuma, trebalo bi da imate slj. ispis (Napomena: Prikazani ispis je djelimičan, moguće je da će se još fajlova nalaziti unutar **sim** direktorijuma):

| | | |
|---------------------|-------|----------------------------|
| 10/29/2023 09:35 AM | <DIR> | . |
| 10/29/2023 09:35 AM | <DIR> | .. |
| 10/29/2023 09:35 AM | | 48 clean.sh |
| 10/29/2023 09:35 AM | <DIR> | lists |
| 10/29/2023 09:35 AM | | 286 run_and.do |
| 10/29/2023 09:35 AM | | 287 run_nand.do |
| 10/29/2023 09:35 AM | | 286 run_nor.do |
| 10/29/2023 09:35 AM | | 285 run_or.do |
| 10/29/2023 09:35 AM | <DIR> | waves |
| 6 File(s) | | 1,478 bytes |
| 4 Dir(s) | | 405,903,982,592 bytes free |

Nakon što ste se uspješno pozicionirali unutar **sim** direktorijuma, simulaciju ćete pokrenuti tako što ćete izvršiti sljedeću komandu:

- Za “AND” logičko kolo
`vsim -do run_and.do`
- Za “NAND” logičko kolo
`vsim -do run_nand.do`
- Za “OR” logičko kolo
`vsim -do run_or.do`
- Za “NOR” logičko kolo
`vsim -do run_nor.do`

Verilog operatori

U tabeli 1. su dati *bit-wise* operatori u *Verilog*-u

| Operator | Opis |
|----------|-------------------------|
| ~ | Negacija ("NOT", "NE") |
| & | "AND" – Bitski "I" (*) |
| | "OR" – Bitsko "ILI" (+) |