

АРХИТЕКТУРА РАЧУНАРА

- повезивање процесорског интерфејса и меморијског модула на системску магистралу -

Задатак 1 – Мем-8

Адресни простор неког рачунара је 4МВ, и испуњен је са једним модулом капацитета 4МВ и чија је ширина меморијске речи 8 бита. Меморијски модул је повезан на линије D_{7..0} магистрале података и на линије A_{21..0} адресне магистрале. Адресирање је на нивоу података дужине 8 и 16 бита. Подаци дужине 16 бита се у меморију смештају тако да се на нижу адресу смешта нижи бајт. Меморијски систем и интерфејс процесора према магистрали омогућавају:

- приступ (упис/читање) до једног бајта податка, на меморијској локацији било са парном било са непарном адресом, у трајању једног циклуса на магистрали.

- приступ (упис/читање) до два бајта податка почев од меморијске локације са било парном било са непарном адресом у трајању два циклуса на магистрали.

а) Потребно је пројектовати описани меморијски систем и интерфејс процесора према магистрали. На располагању су меморијски чип са контролним улазима **RD**, **WR** и **CS**, и потребна логичка кола.

б) Који опсег адреса обухвата коришћени меморијски модул?

в) Нацртати дијаграм тока управљачких сигнала фазе извршења инструкција STOREB, STOREW, LOADB и LOADW. Претпоставити да циклус уписа/читања траје једну периоду сигнала такта.

Напомена:

Уколико се ради о операцијама над подацима дужине 8 бита податак се налази у нижих 8 бита регистра MDR, а уколико се ради о операцији над 16 битним подацима нижи бајт податка се налази у нижих 8 бита регистра MDR, а виших 8 бита податка у виших 8 бита регистра MDR.

Решење:

а) Да би се пројектовао описани меморијски систем потребно је утврдити шта је све од ресурса неопходно и у којим би се ситуацијама ти ресурси користили.

У тексту задатка је речено да је адресни простор 4МВ и да је ширина меморијске речи 8 бита. Можемо закључити да је број бита који је потребан за адресирање унутар описаног адресног простора 22. Ово даје да је адресни регистар меморије MAR дужине 22 бита.

Пошто је потребно обезбедити да се приступа меморији (операције уписа и читања) подацима до два бајта, дужина прихватног регистра податка меморије MDR треба да буде дужине 16 бита. Пошто је могуће обављати приступ подацима који су дужине један или два бајта потребно је обезбедити независан приступ и до вишег и до нижег бајта регистра MDR, због тога ћемо регистар MDR поделити на регистре MDRL и MDRH. Уколико се ради о подацима дужине 8 бита они се увек смештају у MDRL, а уколико се ради о 16 битним подацима нижи бајт се смешта у регистар MDRL, а виши бајт у регистар MDRH.

Приликом уписа/читања два бајта из меморије потребно је приступити до две суседне меморијске локације. На пример приликом уписа речи 1234h на парну меморијску локацију

10h, потребно је обезбедити да се бајт 12h упише на локацију 11h, а да се бајт 34h упише на локацију 10h. На располагању је један меморијски модул капацитета 4MB који покрива читав меморијски простор. Меморијски модул је повезан на 8 бита магистрале података D_{7..0}.

На основу претходног разматрања, закључује се да се регистар MDR састоји из делова MDRL и MDRH којима се може независно приступати и да се меморија састоји из једног меморијског модула M. Како би се обезбедио приступ морају се утврдити све ситуације у којима се приступа појединим деловима регистра MDR и меморији. Ситуације које треба разматрати се односе на то да ли се приступа податку дужине 8/16 бита који се налази на парној/непарној адреси.

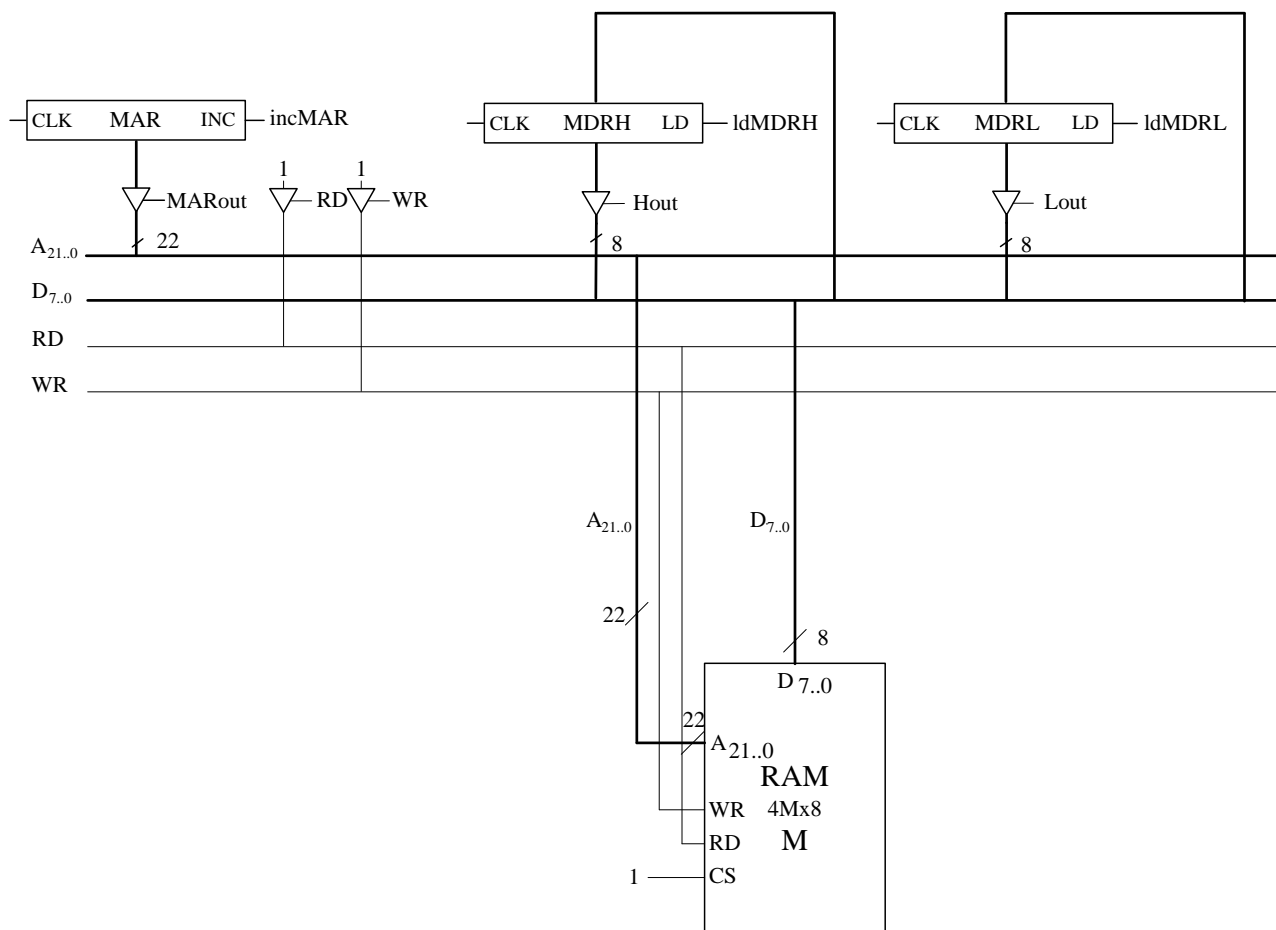
Ситуација 1: У меморију се уписује податак дужине 8 бита. Да би се остварио поменути трансфер потребно је да се у регистар MAR постави адреса, и да се у регистар MDRL поставити 8 битни податак који је потребно уписати у меморију. Податак из регистра MDRL треба уписати у меморијски модул M. Да би се ово остварило потребно је садржај регистра MDRL поставити на D_{7..0}, садржај регистра MAR поставити на адресну магистралу A_{21..0} и на линију WR поставити активну вредност.

Ситуација 2: У меморију се уписује податак дужине 16 бита. Да би се остварио поменути трансфер потребно је да се у регистар MAR постави адреса, и да се у регистар MDRL поставити нижих 8 бита податак, а у регистар MDRH виших 8 бита податка који је потребно уписати у меморију. Нижи бајт податка из регистра MDRL треба уписати на нижу меморијску локацију која се налази у модулу M, а виши бајт податка из регистра MDRH треба уписати на вишу меморијску локацију која се налази у модулу M. Овај трансфер треба обавити у два циклуса на магистрали. У првом циклусу потребно је садржај регистра MDRL поставити на D_{7..0}, садржај регистра MAR поставити на адресну магистралу A_{21..0} и на линију WR активну вредност. Како би се обезбедило да се приступи следећој адреси садржај регистра MAR треба **увећати** за један пре уписа вишег бајта у меморију. У другом циклусу потребно је садржај регистра MDRH поставити на D_{7..0}, садржај регистра MAR поставити на адресну магистралу A_{21..0} и на линију WR поставити активну вредност.

У случају да се ради о операцији читања из меморије постоје такође две ситуације које се од наведених разликују само по томе што се уместо генерисања сигнала за упис генеришу сигнали за читање.

На основу разматрања случајева закључује се и да оба регистара MDRL и MDRH имају могућност да податак постављају/примају са 8 битне магистрале података.

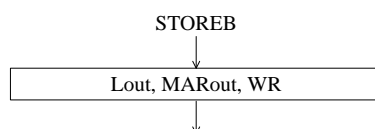
На Слика 1.1 је приказан описани меморијски систем, као и интерфејс процесора према системској магистрали.



Слика 1.1 - начин повезивања процесорског интерфејса и меморијског модула на системску магистралу

б) Адресе које овај модул обухвата представља цео адресни простор:
M: 0h, 1h, ..., 3FFFFFFh.

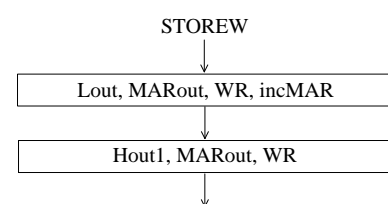
в) Код операције STOREB, пре почетка циклуса на магистрали 8 битни податак је потребно сместити у регистар MDR, а адресу у регистар MAR. Пошто се ради о податку дужине 8 бита, он се налази у нижих 8 бита регистра MDR (MDRL). Како би се садржај регистра MDRL поставио на линије D_{7..0} магистрале података потребно је да управљачки сигнал Lout буде активан. Поред овог сигнала потребно је и да сигнал MARout буде активан, као и сигнал којим се обавља операција уписа WR. На - **Инструкција STOREB** Слика 1.2 приказан је дијаграм тока инструкције STOREB.



Слика 1.2 - Инструкција STOREB

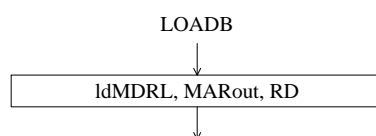
Код операције STOREW, пре почетка циклуса на магистрали, 16 битни податак је потребно сместити у регистар MDR, а адресу у регистар MAR. Податак се смешта на две сукцесивне меморијске локације, при чему се нижи бајт податка смешта на нижу меморијску

локацију, а виши бајт податка на вишу меморијску локацију. Пошто се ради о податку дужине 16 бита, у нижих 8 бита регистра MDR (MDRL) се налази нижих 8 бита податка, а у виших 8 бита регистра MDR (MDRH) се налази виших 8 бита податка. Операцију уписа је потребно реализовати у два циклуса. У првом циклусу је потребно нижи бајт податка (MDRL) сместити на нижу меморијску локацију, а у другом циклусу виши бајт податка (MDRH) на вишу меморијску локацију. У првом циклусу како би се садржај регистра MDRL поставио на линије D_{7..0} магистрале података на које је повезан модул М потребно је да управљачки сигнал Lout буде активан. Поред ових сигнала потребно је и да сигнал MARout буде активан, сигнал којим се обавља операција уписа WR, као и сигнал incMAR којим се тренутна адреса увећала за један, како би се формирала адреса за виши бајт податка. У другом циклусу како би се садржај регистра MDRH поставио на линије D_{7..0} магистрале података на које је повезан модул М потребно је да управљачки сигнал Hout1 буде активан. Поред ових сигнала потребно је и да сигнал MARout буде активан, као и сигнал којим се обавља операција уписа WR. На Слика 1.3 приказан је дијаграм тока инструкције STOREW.



Слика 1.3 - Инструкција STOREW

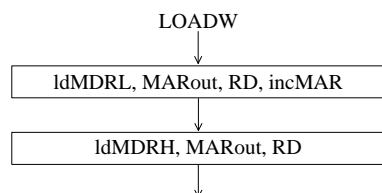
Код операције LOADB, пре почетка циклуса на магистрали, адресу 8 битног податка потребно је сместити у регистар MAR, а након завршетка циклуса на магистрали, у регистру MDR је потребно сместити прочитани податак. Пошто се ради о податку дужине 8 бита, њега је потребно сместити у нижих 8 бита регистра MDR (MDRL). Како би се у регистар MDRL уписао податак са линија магистрале података D_{7..0}, потребно је да сигнали ldMDRL и MARout буду активни, као и сигнал којим се обавља операција читања RD. На Слика 1.4 приказан је дијаграм тока инструкције LOADB.



Слика 1.4 - Инструкција LOADB

Код операције LOADW, пре почетка циклуса на магистрали, адресу 16 битног податка потребно је сместити у регистар MAR, а након завршетка циклуса на магистрали, у регистру MDR потребно је сместити прочитани податак. Податак се чита са две сукцесивне меморијске локације, при чему је нижи бајт податка смештен на нижу меморијску локацију, а виши бајт податка на вишу меморијску локацију. Пошто се ради о податку дужине 16 бита, у нижих 8 бита регистра MDR (MDRL) треба сместити нижих 8 бита податка, а у виших 8 бита регистра MDR (MDRH) виших 8 бита податка. Ову операцију читања потребно је реализовати у два циклуса. У првом циклусу је потребно прочитати нижи бајт податка из меморијског модула М и сместити га у нижи бајт регистра MDR (MDRL), а у другом циклусу потребно је прочитати виши бајт податка из меморијског модула М и сместити га у виши бајт регистра MDR (MDRH).

У првом циклусу, податак је потребно прочитати из меморијског модула М, који је повезан на линије D_{7..0} магистрале података. Како би се у регистар MDRL уписао податак са линија D_{7..0} магистрале података, потребно је да сигнали ldMDRL и MARout, сигнал којим се обавља операција читања RD буду активни, као и сигнал incMAR којим се тренутна адреса увећава за један како би се прочитао следећи бајт податка. У другом циклусу податак је потребно прочитати из меморијског модула М, који је повезан на линије D_{7..0} магистрале података. Како би се у регистар MDRH уписао податак са линија D_{7..0} магистрале података потребно је да сигнали ldMDRH и MARout буду активни, као и сигнал којим се обавља операција читања RD. На Слика 1.5 приказан је дијаграм тока инструкције LOADW.



Слика 1.5 - Инструкција LOADW

Задатак 2 – Мем-8/16

Адресни простор неког рачунара је 4MB, и испуњен је са два модула од којих је сваки капацитета 2MB и чија је ширина меморијске речи 8 бита. Један меморијски модул (M0) је повезан на линије D_{7..0}, а други меморијски модул (M1) на линије D_{15..8} магистрале података. Адресирање је на нивоу података дужине 8 и 16 бита. Подаци дужине 16 бита се у меморију смештају тако да се на нижу адресу смешта нижи бајт. Меморијски систем и интерфејс процесора према магистралама омогућавају:

- приступ (упис/читање) до једног бајта податка, на меморијској локацији било са парном било са непарном адресом, у трајању једног циклуса на магистралама,
- приступ (упис/читање) до два бајта податка почев од меморијске локације са парном адресом у трајању једног циклуса на магистралама,
- приступ (упис/читање) до два бајта податка почев од меморијске локације са непарном адресом у трајању два циклуса на магистралама,
- постављање идентификације, користећи посебну линију магистрале (W), да ли се ради о приступу до једног бајта или до два суседна бајта смештена у меморији почев од парне адресе.

а) Потребно је пројектовати описани меморијски систем и интерфејс процесора према магистралама. На располагању су меморијски чипови са контролним улазима **RD**, **WR** и **CS**, и потребна логичка кола.

б) Који опсег адреса обухвата сваки од коришћених меморијских модула?

в) Нацртати дијаграм тока управљачких сигнала фазе извршења инструкција STOREB, STOREW, LOADB и LOADW који обухвата оба случаја уписа на парну и на непарну адресу. Претпоставити да циклус уписа/читања траје једну периоду сигнала такта.

Напомена:

Уколико се ради о операцијама над подацима дужине 8 бита, податак се налази у нижих 8 бита регистра MDR, а уколико се ради о операцији над 16 битним подацима, нижи бајт податка се налази у нижих 8 бита регистра MDR, а виших 8 бита податка у виших 8 бита регистра MDR.

Решење:

а) Да би се пројектовао описани меморијски систем потребно је утврдити шта је све од ресурса неопходно и у којим би се ситуацијама ти ресурси користили.

У тексту задатка је речено да је адресни простор 4MB и да је ширина минималне меморијске речи 8 бита. Одавде може да се закључи да је број бита који је потребан за адресирање унутар описаног адресног простора 22. Ово даје да је адресни регистар меморије MAR дужине 22 бита.

Пошто је потребно обезбедити да се приступ меморији за операције уписа и читања до два бајта почев од меморијске локације са парном адресом траје један циклус на магистралама, дужина прихватног регистра податка меморије MDR треба да буде дужине 16 бита. Пошто је могуће обављати приступ подацима који су дужине један или два бајта потребно је обезбедити независан приступ и до вишег и до нижег бајта регистра MDR, због тога ћемо регистар MDR поделити на регистре MDRL и MDRH.

Приликом уписа/читања два бајта из меморије потребно је приступити до две суседне меморијске локације. На пример приликом уписа речи 1234h на парну меморијску локацију 10h потребно је обезбедити да се бајт 12h упише на локацију 11h, а да се бајт 34h упише на локацију 10h. Треба приметити да се адресе ових двеју локација разликују само у једном, најнижем биту адресе. Како би се обезбедило да се ова два уписа обаве у паралели потребно је раздвојити ове адресе у два меморијска модула којима је могућ паралелан приступ. Један модул би био одговоран за парне адресе M0, а други модул за непарне адресе M1. Укупна

величина ових модула треба да буде таква да у потпуности покрије меморијски адресни простор (4MB), одавде следи да сваки од модула треба да буде величине 2MB и да ширина меморијске локације треба да буде један бајт. Да би се адресирало унутар модула потребно је користити 21 бит адресе. Пошто најнижи бит адресе одређује да ли се ради о парној или непарној адреси, из тог разлога овај бит не би требало да се користи приликом адресирања унутар модула, већ је у том случају потребно користити само виших 21 бита адресе.

Како би се омогућио паралелан приступ меморијским модулима потребно је обезбедити да сваки од модула буде повезан на различите линије магистрале података. Одавде следи да магистрала података треба да буде ширине максималног податка који може да се паралелно уписује/чита у модуле, односно 16 бита.

На основу претходног разматрања добија се да се регистар MDR састоји из делова MDRL и MDRH којима се може независно приступати и да се меморија састоји из два меморијска модула M0 и M1 којима је могуће независно приступати. Како би се обезбедио паралелни приступ морају се утврдити све ситуације у којима се приступа појединим деловима регистра MDR и меморије. Ситуације које треба разматрати се односе на то да ли се приступа податку дужине 8 или 16 бита и на то да ли се податак налази на парној или непарној адреси.

Ситуација 1: У меморију се уписује податак дужине 8 бита почев од парне адресе. Да би се остварио поменути трансфер потребно је да се у регистар MAR постави адреса код које најнижи бит има вредност 0, и да се у регистар MDRL поставити 8 битни податак који је потребно уписати у меморију. Податак из регистра MDRL треба уписати у меморијски модул M0. Да би се ово остварило, потребно је садржај регистра MDRL поставити на D_{7..0}, садржај регистра MAR поставити на адресну магистралу A_{21..0} и на линију WR поставити активну вредност. Пошто се у овом случају се ради о упису једног бајта, на линију W треба поставити вредност 0.

Ситуација 2: У меморију се уписује податак дужине 8 бита почев од непарне адресе. Да би се остварио поменути трансфер потребно је да се у регистар MAR постави адреса код које најнижи бит има вредност 1, и да се у регистар MDRL поставити 8 битни податак који је потребно уписати у меморију. Податак из регистра MDRL треба уписати у меморијски модул M1. Да би се ово остварило, потребно је садржај регистра MDRL поставити на D_{15..8}, садржај регистра MAR поставити на адресну магистралу A_{21..0} и на линију WR поставити активну вредност. Пошто се у овом случају ради о упису једног бајта, на линију W треба поставити вредност 0.

Ситуација 3: У меморију се уписује податак дужине 16 бита почев од парне адресе. Да би се остварио поменути трансфер потребно је да се у регистар MAR постави адреса код које најнижи бит има вредност 0, и да се у регистар MDRL поставити нижих 8 бита податак, а у регистар MDRH виших 8 бита податка који је потребно уписати у меморију. Код описаног рачунара се подаци дужине 16 бита у меморију смештају тако да се на нижу адресу смешта нижи бајт, а на вишу адресу виши бајт. Ово значи да нижи бајт податка из регистра MDRL треба уписати на нижу, парну, меморијску локацију која се налази у модулу M0, а да виши бајт податка из регистра MDRH треба уписати на вишу, непарну, меморијску локацију која се налази у модулу M1. Да би се ово остварило потребно је садржај регистра MDRL поставити на D_{7..0}, а садржај регистра MDRH поставити на D_{15..8}, садржај регистра MAR поставити на адресну магистралу A_{21..0} и на линију WR поставити активну вредност. Пошто се у овом случају ради о упису два бајта на линију W треба поставити вредност 1.

Ситуација 4: У меморију се уписује податак дужине 16 бита почев од непарне адресе. Да би се остварио поменути трансфер потребно је да се у регистар MAR постави адреса код које најнижи бит има вредност 1, и да се у регистар MDRL поставити нижих 8 бита податак, а у регистар MDRH виших 8 бита податка који је потребно уписати у меморију. Нижи бајт податка из регистра MDRL треба уписати на нижу, непарну, меморијску локацију која се налази у модулу M1, а да виши бајт податка из регистра MDRH треба уписати на вишу, парну, меморијску локацију која се налази у модулу M0. Пошто се непарна и парна локација

којима се приступа могу разликовати за више од једног бита, овај трансфер треба обавити у два циклуса на магистралаи. У првом циклусу потребно је садржај регистра MDRL поставити на D_{15..8}, садржај регистра MAR поставити на адресну магистралу A_{21..0} и на линију WR треба поставити активну вредност. Пошто се у овом случају ради о упису **једног** бајта на линију W треба поставити вредност 0. Како би се обезбедило да се приступа следећој парној адреси садржај регистра MAR треба **увек** за један пре уписа вишег бајта у меморију. У другом циклусу потребно је садржај регистра MDRH поставити на D_{7..0}, садржај регистра MAR поставити на адресну магистралу A_{21..0} и на линију WR треба поставити активну вредност. Пошто се у овом случају ради о упису **једног** бајта на линију W треба поставити вредност 0.

У случају да се ради о операцији читања из меморије постоје такође 4 ситуације које се од наведених разликују само по томе што се уместо генерисања сигнала за упис генеришу сигнали за читање и обрнуто.

На основу разматрања случајева закључује се да и регистар MDRL и MDRH имају могућност да податак поставља/прима и са виших и са нижих 8 бита магистрале података.

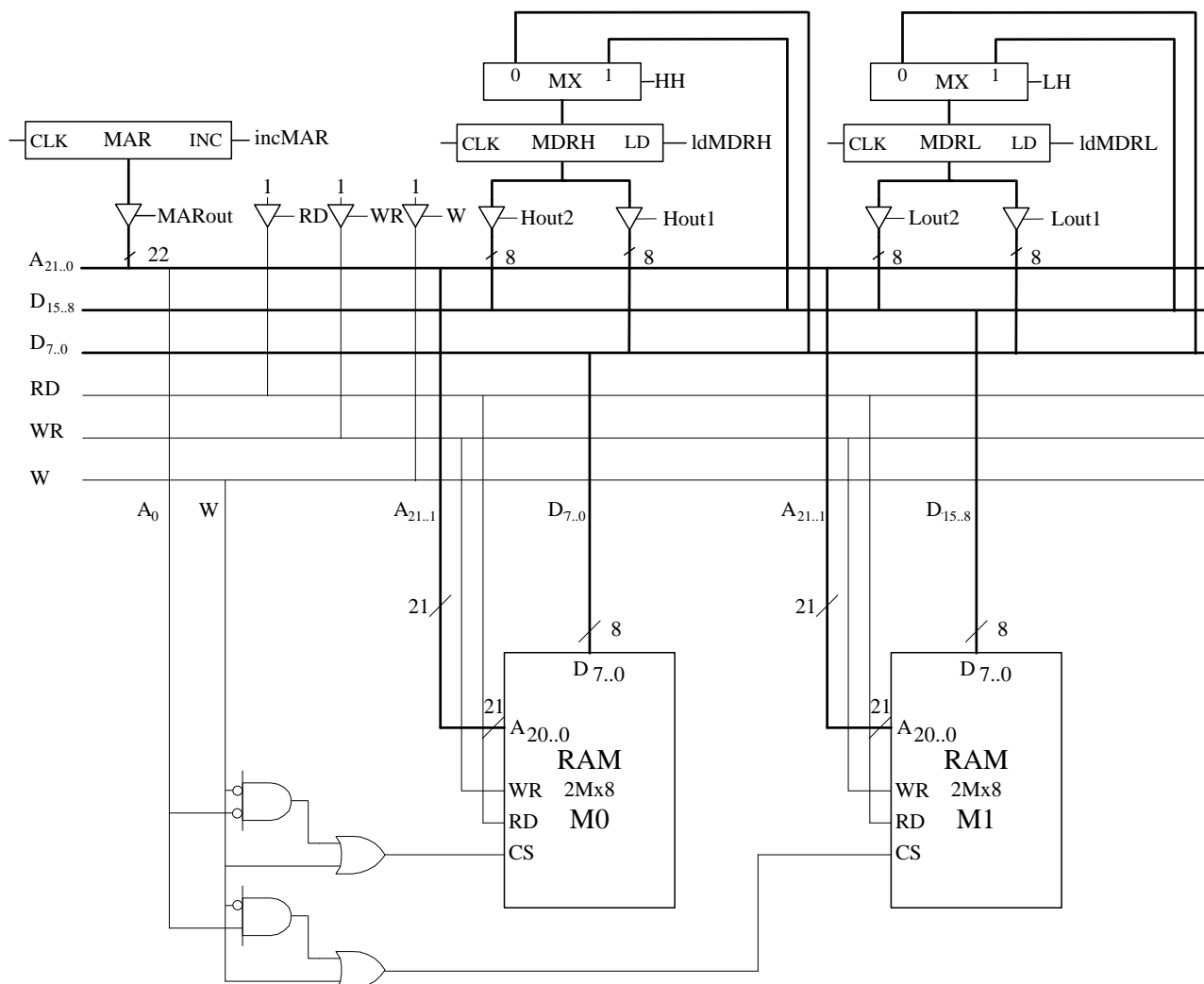
Меморијски модул M0 треба одабрати за приступ у ситуацијама: или кад се ради о приступу до једног бајта са парне адресе ($\overline{W} \cdot \overline{A_0}$) или када се ради о приступу до оба бајта у паралели (W), што се може описати изразом:

$$CS_M0 = W + \overline{W} \cdot \overline{A_0}$$

Меморијски модул M1 треба одабрати за приступ у ситуацијама: или кад се ради о приступу до једног бајта са непарне адресе ($\overline{W} \cdot A_0$) или када се ради о приступу до оба бајта у паралели (W), што се може описати изразом:

$$CS_M1 = W + \overline{W} \cdot A_0$$

На Слика 2.1 је приказан описани меморијски систем, као и интерфејс процесора према системској магистралаи.



Слика 2.1 - начин повезивања процесорског интерфејса и меморијског модула на системску магистралу

Дискусија 1: Сажимањем израза за сигнале селекције меморијских модула M0 и M1 се добија:

$$CS_M0 = W + \overline{A_0}$$

и

$$CS_M1 = W + A_0$$

Дискусија 2: У наставку је Табела 2.1 која приказује када је потребно активирати који модул у случајевима када се приступа парној/непарној адреси и када се при том приступа подацима које дужине (две речи или једне речи).

M0	једна реч	две речи
парна адреса	1	1
непарна адреса		

M1	једна реч	две речи
парна адреса		1
непарна адреса	1	1

Табела 2.1 - Приступ модулу M0 и модулу M1 - број један представља приступ модулу у првом циклусу на магистралу.

Могуће је дефинисати неке услове из таблице помоћу сигнала са шеме.

\overline{A}_0 - парна адреса

A_0 - непарна адреса

W - парна адреса, две речи

На основу услова могуће је закључити следеће:

$$CS_M0 = \overline{A}_0$$

и

$$CS_M1 = W + A_0$$

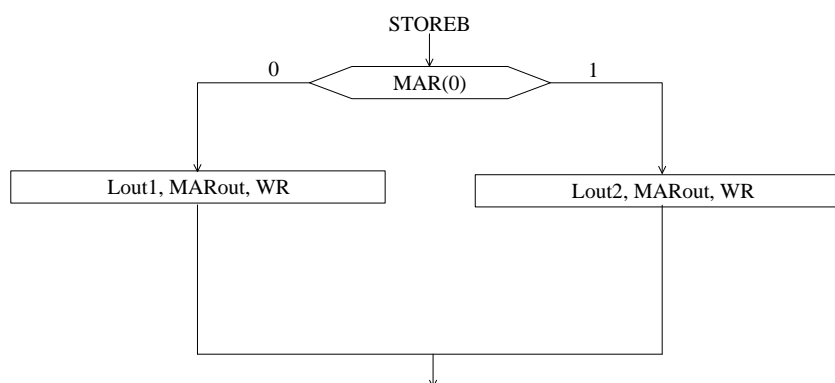
б) У претходној тачки је речено да M0 садржи парне адресе, а M1 непарне адресе. При томе се бити 21...1 адресе користе за интерно адресирање локације унутар модула. Адресе које ови модули обухватају су тако:

M0: 0h, 2h, ..., 3FFFFEh (парне адресе), M1: 1h, 3h, ..., 3FFFFFh (непарне адресе).

в) Код операције STOREB пре почетка циклуса на магистрали 8 битни податак потребно је сместити у регистар MDR, а адресу у регистар MAR. Пошто се ради о податку дужине 8 бита, он се налази у нижих 8 бита регистра MDR (MDRL). Када се ради о операцији уписа једног бајта податка у меморију може се разликовати ситуација у којима се податак уписује на прану адресу и ситуација у којој се податак уписује на непарну адресу.

Уколико се податак уписује на парну адресу, бит нула регистра MAR има вредност 0. Ово значи да је податак потребно уписати у меморијски модул M0, који је повезан на линије D7..0 магистрале података. Како би се садржај регистра MDRL поставио на линије D7..0 магистрале података, потребно је да управљачки сигнал Lout1 буде активан. Поред овог сигнала потребно је и да сигнал MARout буде активан, као и сигнал којим се обавља операција уписа WR.

Уколико се податак уписује на непарну адресу, бит нула регистра MAR има вредност 1. Ово значи да је податак потребно уписати у меморијски модул M1, који је повезан на линије D15..8 магистрале података. Како би се садржај регистра MDRL поставио на линије D15..8 магистрале података потребно је да управљачки сигнал Lout2 буде активан. Поред овог сигнала потребно је и да сигнал MARout буде активан, као и сигнал којим се обавља операција уписа WR. На Слика 2.2 - **Инструкција STOREB** приказан је дијаграм тока инструкције STOREB.



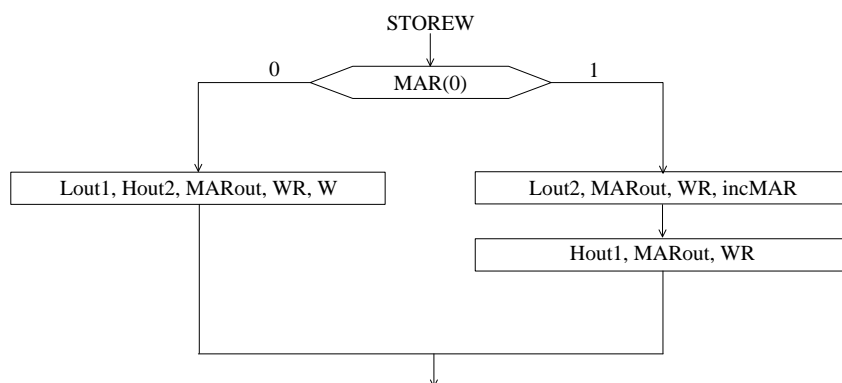
Слика 2.2 - Инструкција STOREB

Код операције STOREW, пре почетка циклуса на магистрали, 16 битни податак потребно је сместити у регистар MDR, а адресу у регистар MAR. Податак се смешта на две

сукцесивне меморијске локације, при чему се нижи бајт податка смешта на нижу меморијску локацију, а виши бајт податка на вишу меморијску локацију. Пошто се ради о податку дужине 16 бита, у нижих 8 бита регистра MDR (MDRL) се налази нижих 8 бита податка, а у виших 8 бита регистра MDR (MDRH) се налази виших 8 бита податка. Када се ради о операцији уписа два бајта податка у меморију, може се разликовати ситуација у којима се податак уписује на прану адресу и ситуација у којој се податак уписује на непарну адресу.

Уколико се податак уписује на парну адресу, бит нула регистра MAR има вредност 0. Податак се смешта на две сукцесивне меморијске локације почев од парне адресе. Ове две адресе се разликују само у биту 0, док су сви остали бити исти. Приликом смештања нижи бајт податка (MDRL) се смешта на нижу меморијску локацију (модул M0), а виши бајт податка (MDRH) на вишу меморијску локацију (модул M1). Како би се садржај регистра MDRL поставио на линије D_{7..0} магистрале података на које је повезан модул M0 потребно је да управљачки сигнал Lout1 буде активан. Како би се садржај регистра MDRH поставио на линије D_{15..8} магистрале података на које је повезан модул M1 потребно је да управљачки сигнал Hout2 буде активан. Поред овог сигнала потребно је и да сигнал MARout буде активан, као и сигнал којим се обавља операција уписа WR, као и сигнал W како би се специфицирало да се ради о операцији уписа 16 бита у паралели.

Уколико се податак уписује на непарну адресу, бит нула регистра MAR има вредност 1. Податак се смешта на две сукцесивне меморијске локације почев од непарне адресе. Ове две адресе се могу разликовати у више од једног бита и операцију уписа је потребно реализовати у два циклуса. У првом циклусу је потребно нижи бајт податка (MDRL) сместити на нижу меморијску локацију (модул M1), а у другом циклусу, виши бајт податка (MDRH) на вишу меморијску локацију (модул M0). У првом циклусу како би се садржај регистра MDRL поставио на линије D_{15..8} магистрале података на које је повезан модул M1 потребно је да управљачки сигнал Lout2 буде активан. Поред ових сигнала потребно је и да сигнал MARout буде активан, сигнал којим се обавља операција уписа WR, као и сигнал incMAR којим се адреса на коју је потребно сместити следећи бајт податка увећава за један. У другом циклусу, како би се садржај регистра MDRH поставио на линије D_{7..0} магистрале података на које је повезан модул M0, потребно је да управљачки сигнал Hout1 буде активан. Поред овог сигнала потребно је и да сигнал MARout буде активан, као и сигнал којим се обавља операција уписа WR. Сигнал W не треба да буде активан ни у првом, ни у другом циклусу, јер се у оба циклуса ради о операцији уписа податка дужине 8 бита. На Слика 2.3Слика 2.2 - **Инструкција STOREB** приказан је дијаграм тока инструкције STOREW.



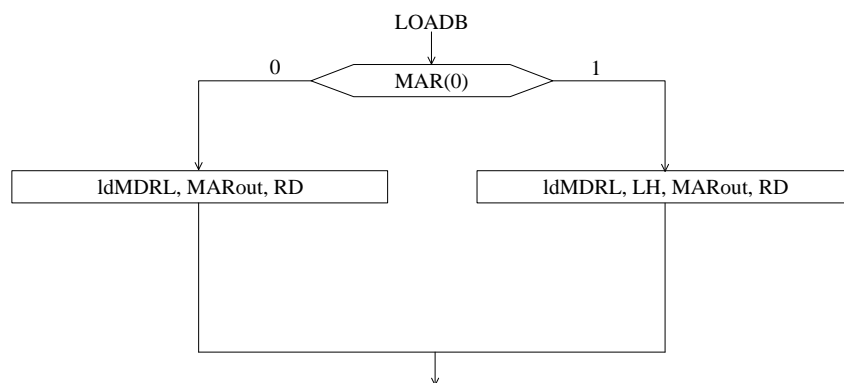
Слика 2.3- Инструкција STOREW

Код операције LOADB, пре почетка циклуса на магистрали, адресу 8 битног податка потребно је сместити у регистар MAR, а након завршетка циклуса на магистрали у регистру

MDR потребно је сместити прочитани податак. Пошто се ради и податку дужине 8 бита њега је потребно сместити у нижих 8 бита регистра MDR (MDRL). Када се ради о операцији читања једног бајта податка из меморије, може се разликовати ситуација у којима се податак чита са пране адресе и ситуација у којој се податак чита са непарне адресе.

Уколико се податак чита са парне адресе, бит нула регистра MAR има вредност 0. Ово значи да је податак потребно прочитати из меморијског модула M0, који је повезан на линије D7..0 магистрале података. Како би се у регистар MDRL уписао податак са линија D7..0 магистрале података потребно је да управљачки сигнал LH буде неактиван. Поред овог сигнала потребно је и да сигнали ldMDRL и MARout буду активни, као и сигнал којим се обавља операција читања RD.

Уколико се податак чита са непарне адресе, бит нула регистра MAR има вредност 1. Ово значи да је податак потребно прочитати из меморијског модула M1, који је повезан на линије D15..8 магистрале података. Како би се у регистар MDRL уписао податак са линија D15..8 магистрале података потребно је да управљачки сигнал LH буде активан. Поред овог сигнала потребно је и да сигнали ldMDRL и MARout буду активни, као и сигнал којим се обавља операција читања RD. На Слика 2.4Слика 2.3Слика 2.2 - **Инструкција STOREB** приказан је дијаграм тока инструкције LOADB.



Слика 2.4 - Инструкција LOADB

Код операције LOADW, пре почетка циклуса на магистрали, адресу 16 битног податка потребно је сместити у регистар MAR, а након завршетка циклуса на магистрали у регистру MDR потребно је сместити прочитани податак. Податак се чита са две сукцесивне меморијске локације, при чему је нижи бајт податка смештен на нижу меморијску локацију, а виши бајт податка на вишу меморијску локацију. Пошто се ради о податку дужине 16 бита, у нижих 8 бита регистра MDR (MDRL) треба сместити нижих 8 бита податка, а у виших 8 бита регистра MDR (MDRH) виших 8 бита податка. Када се ради о операцији читања два бајта податка из меморије може се разликовати ситуација у којима се податак чита са пране адресе и ситуација у којој се податак чита са непарне адресе.

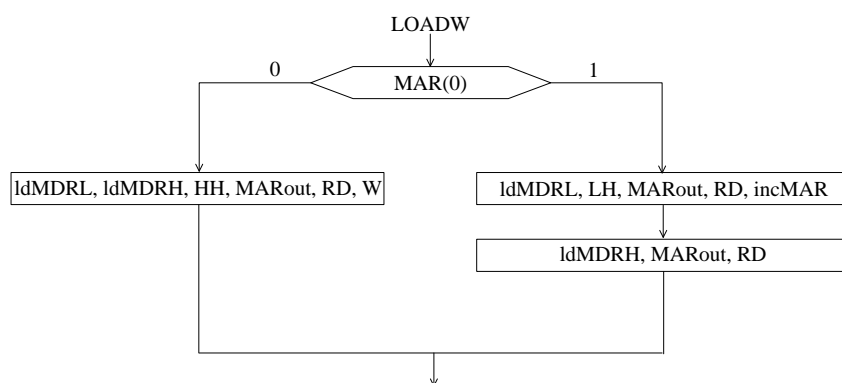
Уколико се податак чита са парне адресе, бит нула регистра MAR има вредност 0. Податак је смештен на две сукцесивне меморијске локације почев од парне адресе. Ове две адресе се разликују само у биту 0, док су сви остали бити исти. Приликом читања нижи бајт податка (MDRL) се чита са ниже меморијске локације (модул M0), а виши бајт податка (MDRH) са више меморијске локације (модул M1).

Како би се у регистар MDRL уписао податак са линија D7..0 магистрале података, потребно је да управљачки сигнал LH буде неактиван, као и да сигнал ldMDRL буде активан. Како би се у регистар MDRH уписао податак са линија D15..8 магистрале података, потребно је да управљачки сигнал HH буде активан, као и да сигнал ldMDRH буде активан. Поред ових сигнала потребно је и да сигнал MARout буде активан, сигнал којим се обавља

операција уписа RD, као и сигнал W како би се специфицирало да се ради о операцији читања 16 бита у паралели.

Уколико се податак чита са непарне адресе, бит нула регистра MAR има вредност 1. Податак се чита са две сукцесивне меморијске локације почев од непарне адресе. Ове две адресе се могу разликовати у више од једног бита и операцију читања је потребно реализовати у два циклуса. У првом циклусу, потребно је прочитати нижи бајт податка из меморијског модула M1 и сместити га у нижи бајт регистра MDR (MDRL), а у другом циклусу потребно је прочитати виши бајт податка из меморијског модула M0 и сместити га у виши бајт регистра MDR (MDRH).

У првом циклусу, податак је потребно прочитати из меморијског модула M1, који је повезан на линије D_{15..8} магистрале података. Како би се у регистар MDRL уписао податак са линија D_{15..8} магистрале података, потребно је да управљачки сигнал LH буде активан. Поред овог сигнала потребно је и да сигнали ldMDRL и MARout буду активни, сигнал којим се обавља операција читања RD, као и сигнал incMAR којим се адреса са које је потребно прочитати следећи бајт податка увећава за један. У другом циклусу, податак је потребно прочитати из меморијског модула M0, који је повезан на линије D_{7..0} магистрале података. Како би се у регистар MDRH уписао податак са линија D_{7..0} магистрале података потребно је да управљачки сигнал LH буде неактиван. Поред овог сигнала потребно је и да сигнали ldMDRH и MARout буду активни, као и сигнал којим се обавља операција читања RD. Сигнал W не треба да буде активан ни у првом, ни у другом циклусу, јер се у оба циклуса ради о операцији читања податка дужине 8 бита. На Слика 2.5Слика 2.4Слика 2.3Слика 2.2 - **Инструкција STOREB** приказан је дијаграм тока инструкције LOADW.



Слика 2.5 - Инструкција LOADW

Задатак 3 – Мем-8/16 - ВЕ

Адресни простор неког рачунара је 4МВ, и испуњен је са два модула од којих је сваки капацитета 2МВ и чија је ширина меморијске речи 8 бита. Један меморијски модул (М0) је повезан на линије D_{7..0}, а други меморијски модул (М1) на линије D_{15..8} магистрале података. Адресирање је на нивоу података дужине 8 и 16 бита. Подаци дужине 16 бита, у меморију се смештају тако да се на нижу адресу смешта нижи бајт. Меморијски систем и интерфејс процесора према магистрали омогућавају:

- приступ (упис/читање) до једног бајта податка, на меморијској локацији било са парном било са непарном адресом, у трајању једног циклуса на магистрали,
- приступ (упис/читање) до два бајта податка почев од меморијске локације са парном адресом у трајању једног циклуса на магистрали,
- приступ (упис/читање) до два бајта податка почев од меморијске локације са непарном адресом у трајању два циклуса на магистрали,
- постављање идентификације да се ради о приступу меморијском модулу М0 помоћу сигнала ВЕ0, идентификација да се ради о приступу меморијском модулу М1 помоћу сигнала ВЕ1.

а) Потребно је пројектовати описани меморијски систем и интерфејс процесора према магистрали. На располагању стоје меморијски чипови са контролним улазима **RD**, **WR** и **CS**, и потребна логичка кола.

б) Који опсег адреса обухвата сваки од коришћених меморијских модула?

в) Нацртати дијаграм тока управљачких сигнала фазе извршења инструкција STOREB, STOREW, LOADB и LOADW који обухвата оба случаја уписа на парну и на непарну адресу. Претпоставити да циклус уписа/читања траје једну периоду сигнала такта.

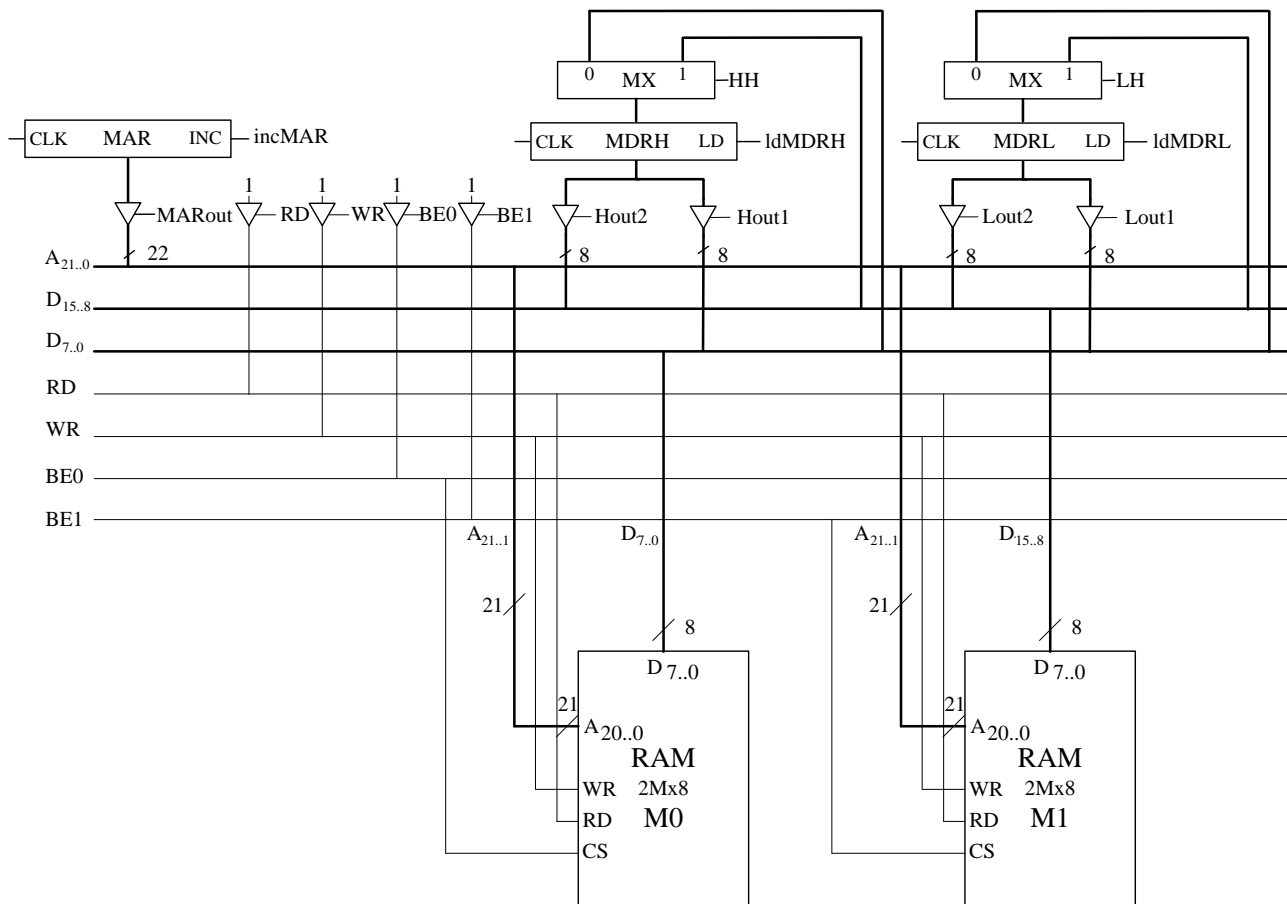
Напомена:

Уколико се ради о операцијама над подацима дужине 8 бита податак се налази у нижих 8 бита регистра MDR, а уколико се ради о операцији над 16 битним подацима нижи бајт податка се налази у нижих 8 бита регистра MDR, а виших 8 бита податка у виших 8 бита регистра MDR.

Решење:

а) На исти начин као у претходном задатку одређује се ширина магистрале и начин повезивања процесора, магистрале и меморијских модула. Једина разлика у односу на претходни задатак је да се уместо комбинације сигнала А0 и линије W сада користе две линије ВЕ0 и ВЕ1 како би се одредило ком меморијском модулу се приступа.

На Слика 3.1 је приказан описани меморијски систем, као и интерфејс процесора према системској магистрали.



Слика 3.1 - начин повезивања процесорског интерфејса и меморијског модула на системску магистралу

Дискусија: Пошто се у пројектованом меморијском систему нигде не користи линија А0 адресне магистрале ову линију је могуће уклонити са магистрале. У овом случају број линија магистрале је исти као у претходном задатку, са тим што је реализација меморијског система једноставнија. У овом примеру је комплетна логика одлучивања да ли се приступа парним или непарним адресама са меморијског система пребачена на стану процесора.

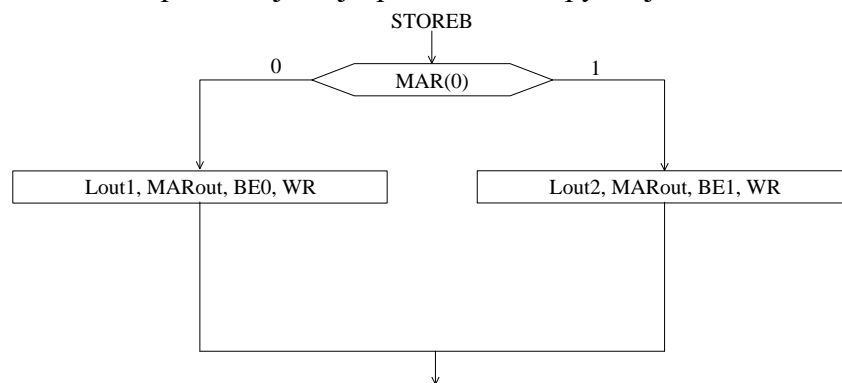
б) У претходној тачки је речено да М0 садржи парне адресе, а М1 непарне адресе. При томе се бити 21...1 адресе користе за интерно адресирање локације унутар модула. Адресе које ови модули обухватају су тако:

М0: 0h, 2h, ..., 3FFFFFFh (парне адресе), М1: 1h, 3h, ..., 3FFFFFFh (непарне адресе).

в) Код операције STOREB, пре почетка циклуса на магистрали 8 битни податак потребно је сместити у нижих 8 бита регистра MDR (MDRL), а адресу у регистар MAR. Уколико се податак уписује на парну адресу, бит нула регистра MAR има вредност 0. Ово значи да је податак из регистра MDRL потребно уписати у меморијски модул М0. Како би се садржај регистра MDRL поставио на линије D7..0 магистрале података, потребно је да управљачки сигнал Lout1 буде активан, као и сигнал BE0 који одређује да се ради о меморијском модулу М0. Поред овог сигнала потребно је и да сигнал MARout буде активан, као и сигнал којим се обавља операција уписа WR.

Уколико се податак уписује на парну адресу, бит нула регистра MAR има вредност 1. Ово значи да је податак из регистра MDRL потребно уписати у меморијски модул М1. Како би се садржај регистра MDRL поставио на линије D15..8 магистрале података, потребно је да

управљачки сигнал Lout2 буде активан, као и сигнал BE1 који одређује да се ради о меморијском модулу M1. Поред овог сигнала потребно је и да сигнал MARout буде активан, као и сигнал којим се обавља операција уписа WR. На Слика 3.2Слика 2.4Слика 2.3Слика 2.2 - **Инструкција STOREB** приказан је дијаграм тока инструкције STOREB.

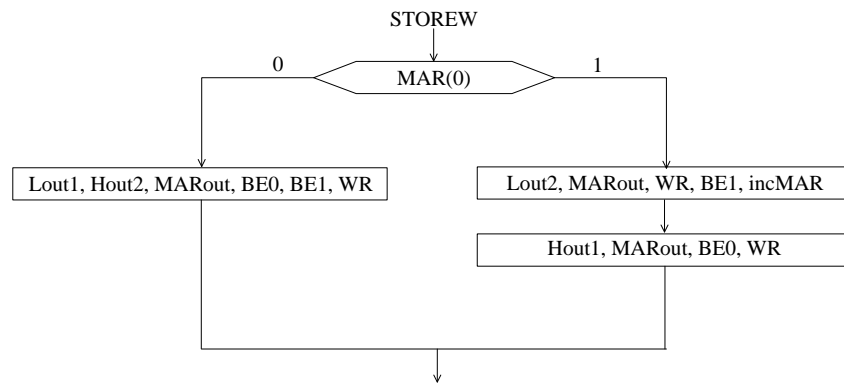


Слика 3.2 - Инструкција STOREB

Код операције STOREW пре почетка циклуса на магистрали, у нижих 8 бита регистра MDR (MDRL) потребно је сместити нижих 8 бита податка, а у виших 8 бита регистра MDR (MDRH) виших 8 бита податка, а адресу у регистар MAR. Податак се смешта на две сукцесивне меморијске локације, при чему се нижи бајт податка смешта на нижу меморијску локацију, а виши бајт податка на вишу меморијску локацију.

Уколико се податак уписује на парну адресу, бит нула регистра MAR има вредност 0. Податак се смешта на две сукцесивне меморијске локације почев од парне адресе. Како би се садржај регистра MDRL поставио на линије D_{7..0} магистрале података на које је повезан модул M0, потребно је да управљачки сигнал Lout1 буде активан као и сигнал BE0. Како би се садржај регистра MDRH поставио на линије D_{15..8} магистрале података на које је повезан модул M1, потребно је да управљачки сигнал Hout2 буде активан, као и сингла BE1. Поред ових сигнала потребно је и да сигнал MARout буде активан, као и сигнал којим се обавља операција уписа WR.

Уколико се податак уписује на непарну адресу, бит нула регистра MAR има вредност 1. Податак се смешта на две сукцесивне меморијске локације почев од непарне адресе. Ове две адресе се могу разликовати у више од једног бита и операцију уписа је потребно реализовати у два циклуса. У првом циклусу како би се садржај регистра MDRL поставио на линије D_{15..8} магистрале података на које је повезан модул M1, потребно је да управљачки сигнал Lout2 буде активан као и сигнал BE1. Поред ових сигнала потребно је и да сигнал MARout буде активан, сигнал којим се обавља операција уписа WR, као и сигнал incMAR којим се адреса на коју је потребно сместити следећи бајт податка увећава за један. У другом циклусу како би се садржај регистра MDRH поставио на линије D_{7..0} магистрале података на које је повезан модул M0, потребно је да управљачки сигнал Hout1 буде активан као и сигнал BE0. Поред ових сигнала потребно је и да сигнал MARout буде активан, као и сигнал којим се обавља операција уписа WR. На Слика 3.3Слика 3.2Слика 2.4Слика 2.3Слика 2.2 - **Инструкција STOREB** приказан је дијаграм тока инструкције STOREW.

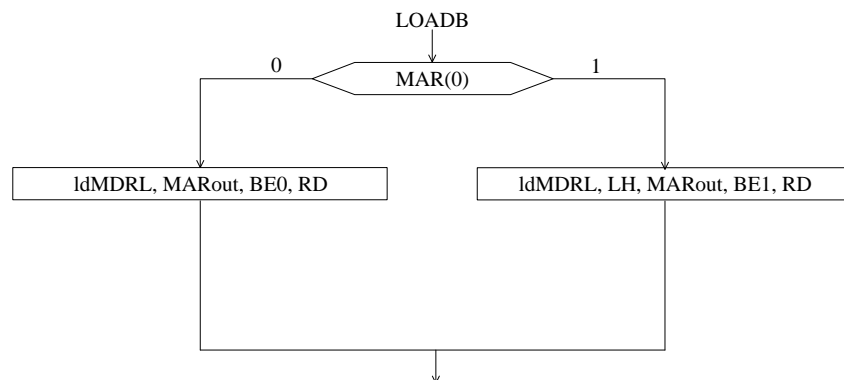


Слика 3.3 - Инструкција STOREW

Код операције LOADB, пре почетка циклуса на магистрали, адресу 8 битног податка потребно је сместити у регистар MAR, а након завршетка циклуса на магистрали, у регистру MDR (MDRL) потребно је сместити прочитани податак.

Уколико се податак чита са парне адресе, бит нула регистра MAR има вредност 0. Како би се у регистар MDRL уписао податак са линија D_{7..0} магистрале података, потребно је да управљачки сигнал LH буде неактиван као и сигнал BE0. Поред овог сигнала потребно је и да сигнали ldMDRL и MARout буду активни, као и сигнал којим се обавља операција читања RD.

Уколико се податак чита са непарне адресе, бит нула регистра MAR има вредност 1. Како би се у регистар MDRL уписао податак са линија D_{15..8} магистрале података, потребно је да управљачки сигнал LH буде активан као и сигнал BE1. Поред овог сигнала потребно је и да сигнали ldMDRL и MARout буду активни, као и сигнал којим се обавља операција читања RD. На Слика 3.4 приказан је дијаграм тока инструкције LOADB.



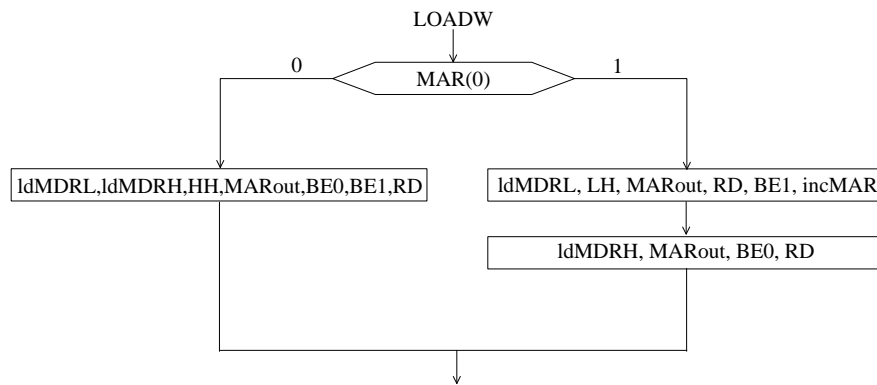
Слика 3.4 - Инструкција LOADB

Код операције LOADW, пре почетка циклуса на магистрали, адресу 16 битног податка потребно је сместити у регистар MAR, а након завршетка циклуса на магистрали у регистру MDR је потребно сместити прочитани податак и то у нижих 8 бита регистра MDR (MDRL) треба сместити нижих 8 бита податка, а у виших 8 бита регистра MDR (MDRH) виших 8 бита податка. Податак се чита са две сукцесивне меморијске локације, при чему је нижи бајт податка смештен на нижу меморијску локацију, а виши бајт податка на вишу меморијску локацију.

Уколико се податак чита са парне адресе, бит нула регистра MAR има вредност 0. Како би се у регистар MDRL уписао податак са линија D_{7..0} магистрале података, потребно је да управљачки сигнал LH буде неактиван, као и да сигнали ldMDRL и BE0 буду активни. Како би се у регистар MDRH уписао податак са линија D_{15..8} магистрале података потребно је да управљачки сигнал HH буде активан, као и да сигнали ldMDRH и BE1 буду активни.

Поред ових сигнала потребно је и да сигнал MARout буде активан, сигнал којим се обавља операција уписа RD.

Уколико се података чита са непарне адресе, бит нула регистра MAR има вредност 1 и операцију је потребно реализовати у два циклуса. У првом циклусу, податак је потребно прочитати из меморијског модула M1, који је повезан на линије D_{15..8} магистрале података. Како би се у регистар MDRL уписао податак са линија D_{15..8} магистрале података, потребно је да управљачки сигнал LH буде активан као и сигнал BE1. Поред овог сигнала, потребно је и да сигнали ldMDRL и MARout буду активни, сигнал којим се обавља операција читања RD, као и сигнал incMAR којим се адреса са које је потребно прочитати следећи бајт податка увећава за један. У другом циклусу, податак је потребно прочитати из меморијског модула M0, који је повезан на линије D_{7..0} магистрале података. Како би се у регистар MDRH уписао податак са линија D_{7..0} магистрале података, потребно је да управљачки сигнал LH буде неактиван, а да сигнал BE0 буде активан. Поред овог сигнала потребно је и да сигнали ldMDRH и MARout буду активни, као и сигнал којим се обавља операција читања RD. На Слика 3.5Слика 3.4 приказан је дијаграм тока инструкције LOADW.



Слика 3.5 - Инструкција LOADW