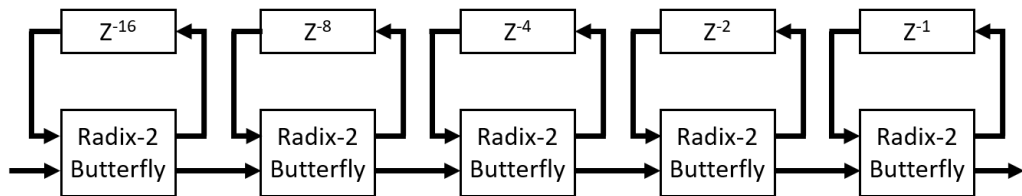


VLSI Signal Processing Homework #1

R07943175 電子所碩一 黃家翰

I. Circuit Architecture

a. Overview

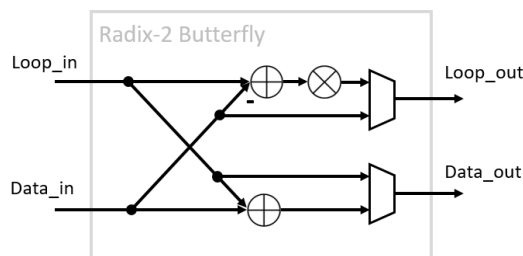


本設計為 32-point single path delay feedback FFT 電路。使用 Radix-2 Butterfly 電路實作，並將乘法器置於 Butterfly 電路內部以縮短 critical path。Delay block 部分以 shift register 實作。在 Output 端有一 Rearrangement 電路使輸出資料順序符合測試要求。計算時使用 fixed point 進行小數部分運算。小數部分佔有 6 bit。

b. Twiddle Factor

為了在硬體上有較良好的計算效率，本設計的 twiddle factor 使用 8bit fixed point 運算。即 1 sign bit, 1 integer bit, 6 decimal bit。由於 twiddle factor 為常數，電路中以 look up table 實作。Look up table code 使用 python 之 numpy 套件計算出浮點數之 twiddle factor 後乘上 2^6 ，四捨五入後轉為二進位生成。

c. Butterfly Circuit



Butterfly 電路如上圖所示，採用 Radix-2 之形式。圖中 Data_in 與 Data_out 分別表示來自上一級 Butterfly 電路與傳至下一級 butterfly 電路之資料。Loop_out 與 Loop_in 分別表示進出 delay block 的資料。為了縮短 critical path，本設計將乘法器自 Data_out 端移至 loop_out 之多工器

前，避免多級 butterfly 間的乘法器串聯使得 critical path 變長。改為此設計後，乘法器後方只接了多工器後資料便進入 register 儲存，使 critical path 較短。

d. Rearrangement Circuit

為了節省電路面積，在本設計中將用於重新排列輸出資料之 register，與用作 delay block 之 register 共用。由於第一筆輸出資料之輸出時間為第 31 個 cycle，而最後一筆資料離開第一個 delay block 的時間為第 32 個 cycle。因此在本設計中只需多加一個 register 儲存第一筆輸出資料，其餘皆可將 delay block 重複使用。在輸出端，使用一個 bit-reversal counter 與 decoder 之組合依序將資料從 register 中取出，即完成重新排列的輸出。

II. Simulation Result

Output SNR

Dataset	1	2	3	4	5
SNR [dB]	40.63	42.28	41.44	41.04	41.86

Design Properties

Average SNR [dB]	41.444
Clock Period [ns]	20
Clock Frequency [MHz]	50
Latency [cycle]	32
Simulation Time [ns]	10100
Total Cell Area [μm^2]	288090.937088
Total Power [mW]	15.6
Total Energy Consumption [J]	1.5756×10^{-7}
Energy-Area Product [$\text{J} \cdot \mu\text{m}^2$]	4.5391618×10^{-2}

III. Architectural Transformation Exploration

依照題目假設，baseline 之設計運作於 $V_{\text{on}}=0.4$, $\alpha=2$, $V_{\text{DD}}=1.8$ 的狀態下。而

a. Parallelism

假設將 baseline 電路設計為兩倍平行化電路，則 clk 頻率可降為原本的一半。並由講義假設，可得到 $V_{\text{DD,para}} = V_{\text{DD,base}}/1.7 = 1.06$ ， $C_{\text{par}} = 2.15C_{\text{base}}$ 。由功率公式 $P = fCV^2$ 可以得到功率約 baseline 之 0.372 倍。而由於在兩倍平行化之下，處理一筆資料的時間可以為原本的兩倍，故 latency 增加一。而依講義假設，面積增為約 3.4 倍。

b. Pipeline

假設在 **baseline** 電路中多加一級 **pipeline**，則 **clk** 頻率不需改變。並由講義假設，可得到 $V_{DD,para} = V_{DD,base}/1.7 = 1.06$ ， $C_{par} = 1.15C_{base}$ 。由功率公式 $P = fCV^2$ 可以得到功率約 **baseline** 之 0.398 倍。而由於多插了一級 **pipeline register**，**latency** 增加一。而依講義假設，面積增為約 1.3 倍。

c. Summary

	Output SNR [dB]	V_{DD} [V]	f_{clk} [MHz]	Latency [cycle]	Power [mW]	Area [μm^2]	PAP [mW· μm^2]
Baseline	41.444	1.8	50	32	15.3	288091	4407792
Parallel	41.444	1.06	25	33	5.69	979551	5573408
Pipeline	41.444	1.06	50	33	6.09	374518	2280815