

# VERİLOG İLE HİYERARŞİK MODELLEME

## ÖRNEKLEME (INSTANTIATION)

Bir Verilog projesinde, aynı anda çok sayıda modülle çalışmanız gerekebilir. Kullanacağınız modüller birbirine tellerle bağlı olabileceği gibi, bir modülün birden çok alt modül içermesi de mümkündür (örneğin **Tam Toplayıcı** modülü, iki adet **Yarım Toplayıcı** modülü içermektedir).

Verilog HDL, tanımlamış olduğunuz bir modülün bir kopyasını başka bir modül içinde oluşturmaya olanak sağlar. Buna “örnekleme”(instantiation) adı verilir. Bu özellik, kodunuzun daha sade ve modüler hale gelmesini sağlamakla kalmayıp, aynı birimin çok sayıda kullanıldığı tasarımlarda yazım kolaylığı sağlar.

Tasarımınızın içinde önceden kodlamış olduğunuz bir modülü örneklemek için kodunuza aşağıda kutu içinde verilen satırları ekleyin:

```
<modul> <isim>      (.input1(wire1),  
                      .input2(wire2),  
                      .input3(wire3),  
                      .output1(wire4),  
                      .output2(wire5)  
);
```

**modul:** Örneklemek istediğiniz modülün ismi (ilk deneydeki "Adder3bit" gibi).

**isim:** Örneklediğiniz modüle vereceğiniz isim.

**input1-3:** Örneklediğiniz modülün giriş pinleri

**output1-2:** Örneklediğiniz modülün çıkış pinleri.

**wire1-5:** Eklenen modüle bağlanacak kabloları belirtir.

Örneklenecek modül aynı zamanda aşağıdaki gibi de tanımlanabilir:

```
<modul> <isim> (wire1, wire2, wire3, wire4, wire5);
```

Böyle bir durumda wire1-5 kabloları, örneklediğiniz modüle, o modülde giriş ve çıkışları tanımladığınız sırada bağlanacaktır. Eğer eksik sayıda bağlantı yapmışsanız, eklenen modülün son pinleri boşta kalacak ve uyarı alacaksınız. Eğer fazla sayıda bağlantı yapmışsanız program hata verecektir.

Örneğin, üç-bitlik **sayi1** ve **sayi2** girişlerine ve dört-bitlik **toplam** çıkışına sahip "Adder3bit" modülünü başka bir modül içinde aşağıdaki gibi örnekleyebilirsiniz:

```
wire [2:0] s_1, s_2, s_3;
wire [3:0] t_1, t_2;

Adder3bit adder_1 (
    .sayi1 (s_1),
    .sayi2 (s_2),
    .toplam (t_1)
);

Adder3bit adder_2(s_1, s_3, t_2);
```