



## BİL264L - Mantıksal Devre Tasarımı Laboratuvarı Lab 9

### DAVRANIŞSAL MODELLEME TEKRAR LABI

Bu derste iki adet işaretli 8 bitlik sayının toplamını 7 Segment Display aygıtını, farklarını ise LED'leri kullanarak gösteren bir uygulama yazmanız beklenmektedir. Bu iki 8 bitlik sayının toplama ve çıkarma işlemi için IP Kataloğu > Math Functions > Adder & Subtractor 'ı kullanmalısınız.

- **[Gerçekleştirme]** Verilog ile Davranışsal Modelleme yaparak gerçekleştireceğiniz modülün ismi "addSub" olmalıdır. Bu modülün, iki adet 8 bitlik "a" ve "b" isminde girişi, "clk" isminde saat girişi, 1 bitlik "ayarla" ve 1 bitlik "degistir" girişleri olacaktır. Ayrıca 9 bitlik "toplam" ve 8 bitlik "fark" çıkışları bulunmalıdır.

Modülünüzdeki "ayarla" sinyali mantık-1 olduğunda girdi olan sayılar ile bir sonraki saat vuruşunda toplam ve fark hesaplanmalıdır. Ayarla sinyali aktif değilken son ayarlı sayıların toplam ve farkı bulunmalıdır. Ayrıca "değiştir" sinyali aktif olduğunda saatin her yükselen kenarında ilk sayı 1 arttırılmalı, ikinci sayı ise 1 azaltılmalıdır. Değiştir sinyali ikinci kez geldiğinde artırma ve azalma yapılması durdurulmalıdır.

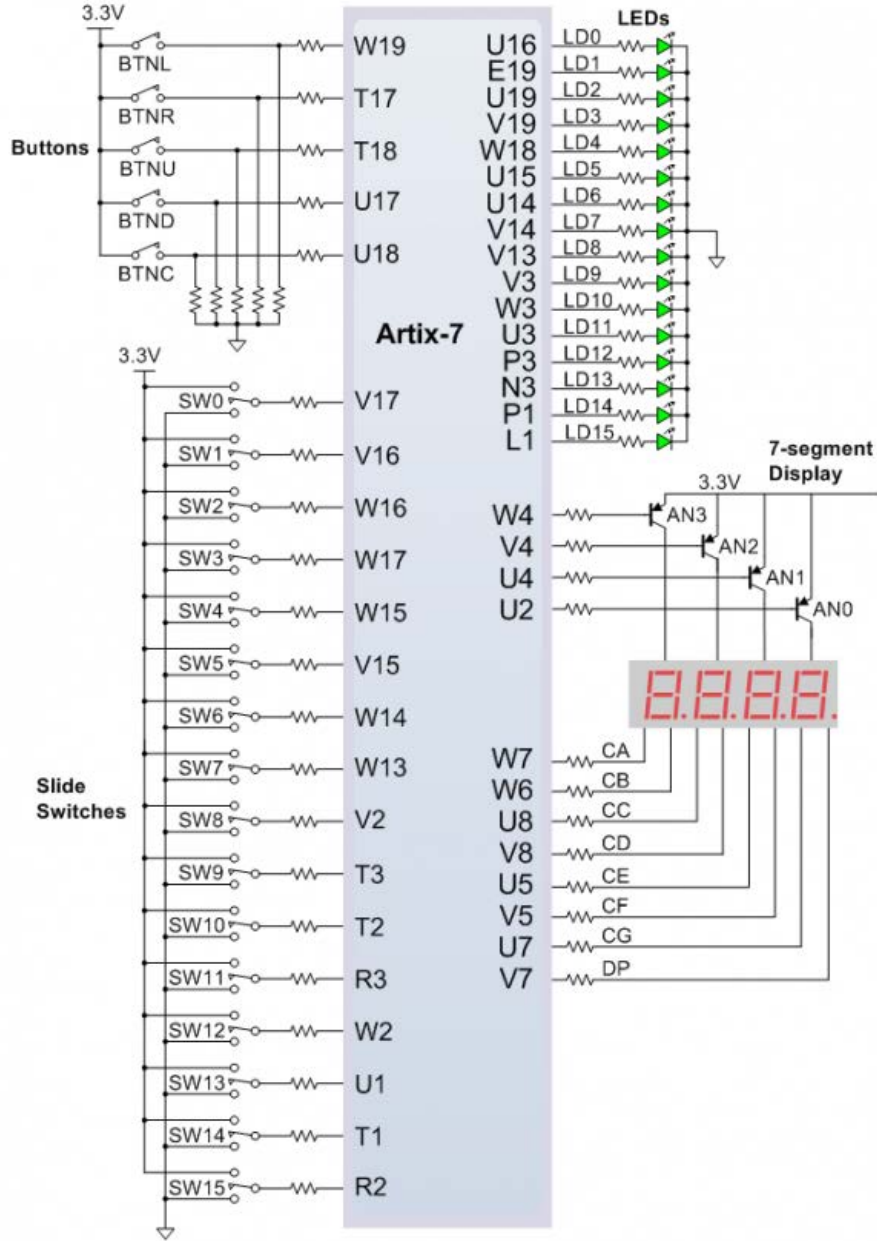
Modül saatin **her yükselen kenarında** işlem yapmalıdır.

- **[Simülasyon]** Gerçekleştirmiş olduğunuz "addSub" modülünün toplam ve fark çıkışlarının doğru değerleri verdiğinden emin olmak için, bu modülü test eden "tb\_addSub" adlı testbench kodunu yazın. Vivado yazılımını kullanarak modülün simülasyonunu yapıp, karedalga (Waveform) görünümünden modülün doğru çalıştığını kontrol edin.
- **[FPGA Kartı ile Deneme]** Simülasyon yaparak doğru çalıştığından emin olduğunuz "addSub" modülünü kullanarak aşağıda belirtilen maddeleri sağlayan "FPGA\_addSub" isimli bir uygulama yazınız. Uygulamanızda,
  - 1 bitlik "clk" girişi,
  - 8 bitlik "a" ve "b" girişleri (bu girişler Switch'leri kullanarak belirlenmelidir),
  - 1 bitlik "btnU" (ayarla sinyali yukarı butonu basılınca mantık-1 olmalıdır),
  - 1 bitlik "btnD" (degistir sinyali aşağı butonu basılınca mantık-1 olmalıdır),
  - 7 bitlik "seg" çıkışı (7 Segment Display'de yanan değerleri göstermelidir, toplam değeri bu çıkıştan gösterilmelidir),
  - 3 bitlik "an" çıkışı (En sağdaki 3 7-Segment Display aygıtını belirlemelidir),
  - 8 bitlik "led" çıkışı (fark değeri bu çıkış kullanılarak ikilik tabanda gösterilmelidir)
  - "ledler" çıkışını en sağdaki 8 LED'i kullanarak gösteriniz.
  - "clk" girişine bir saat bağlayınız.
  - Butonlara bastığımız zaman ne kadar kısa süre bile basmış olsak, FPGA'in frekansı bizim tepki süremizden yüksek olduğu için 1'den çok sinyal gitmektedir. Bunu engellemek için bir sayaç tutarak her sayaç sonunda basılı olup olmadığını kontrol edebilirsiniz.



## BİL264L - Mantıksal Devre Tasarımı Laboratuvarı Lab 9

Uygulamanız için bir Bitstream üretin. FPGA kartınızın 7-Segment Display'inde toplam değerini ve LED'lerinde fark değerinin yandığını gözlemleyin.



Figür 1 Basys3 Girdi/Çıktı Diyagramı