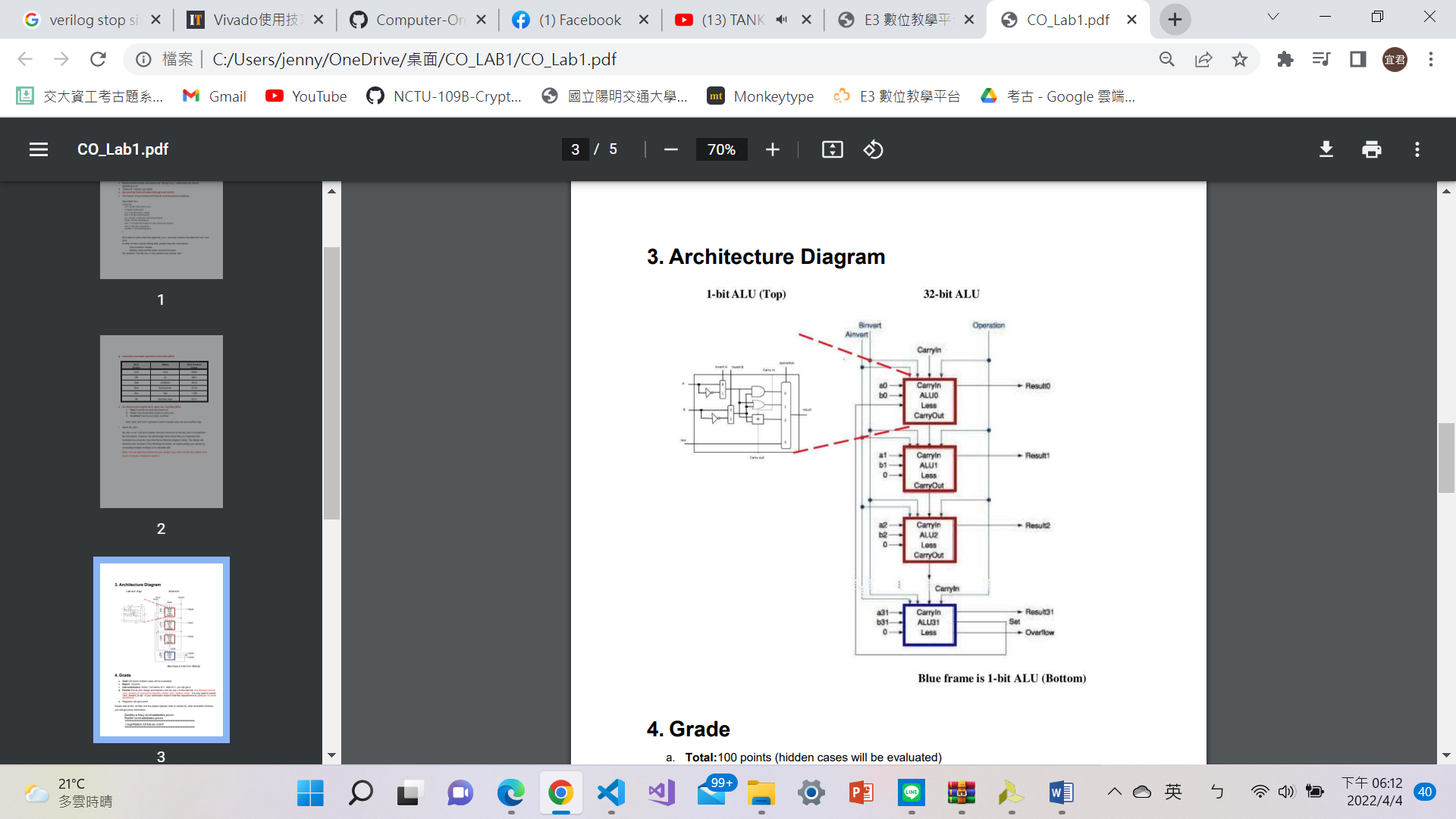
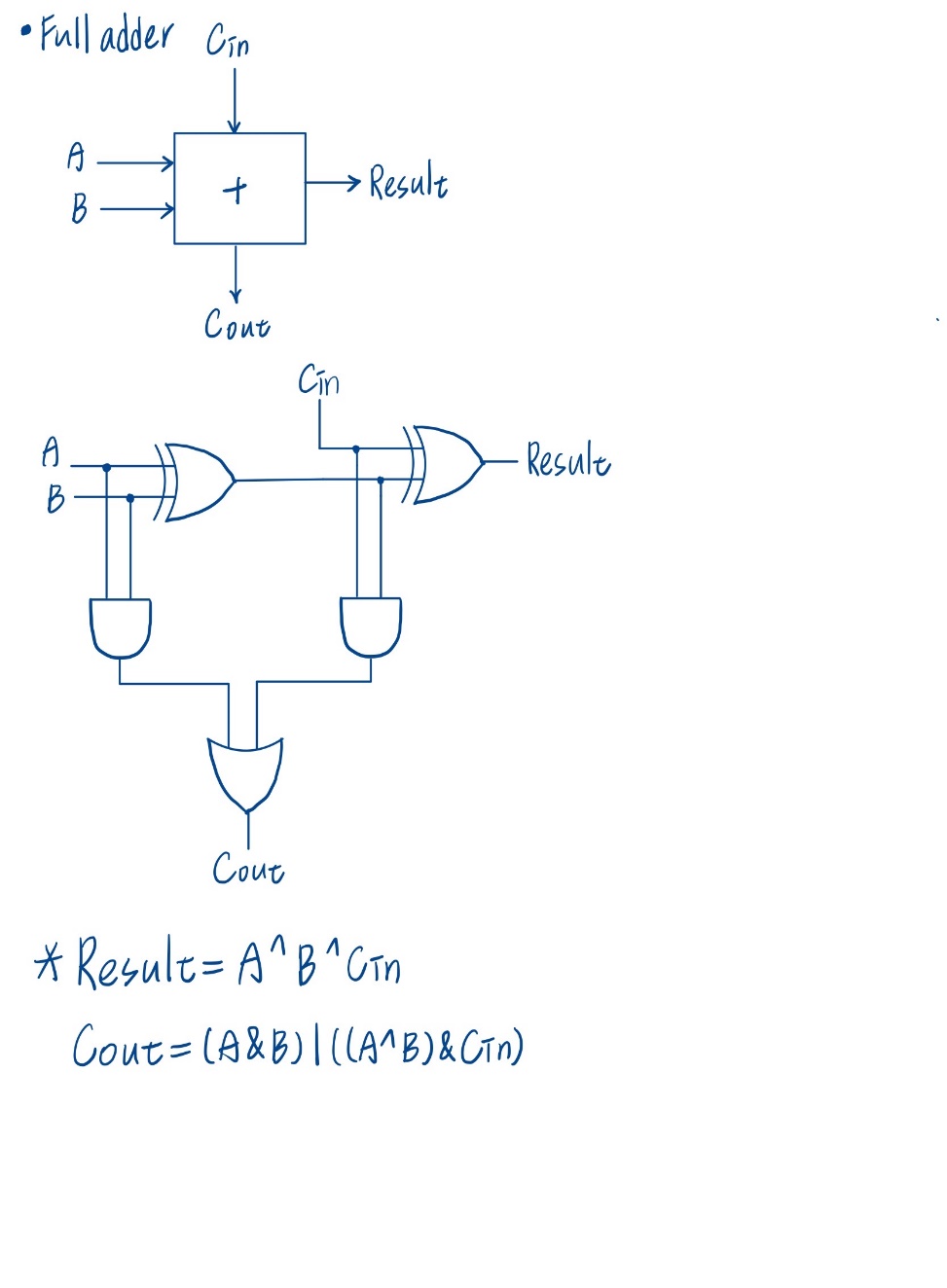
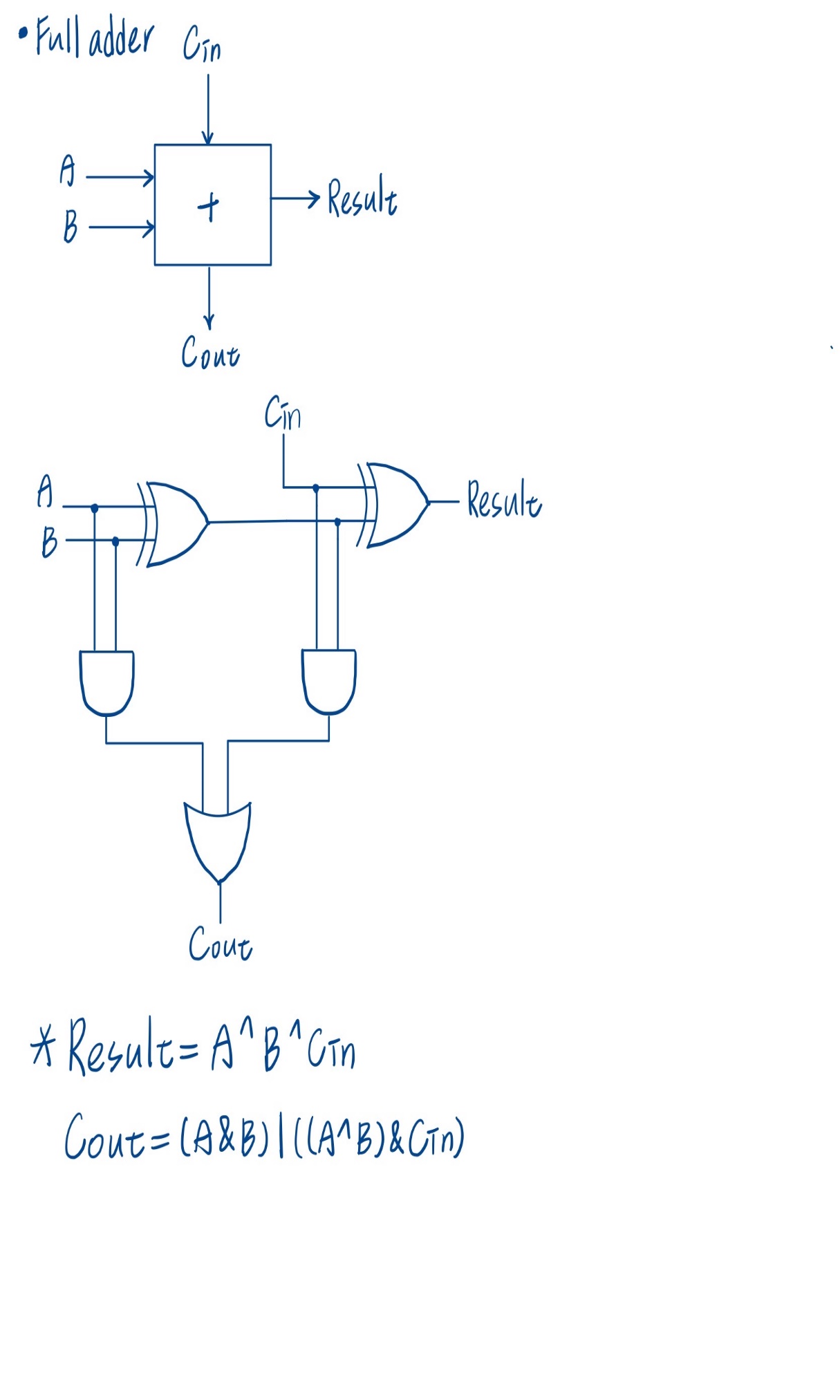
**Computer Organization**

**Architecture diagrams:**



紅色部分使用alu\_top module

藍色部分使用alu\_base module

****

實作此32-bit ALU，將每一bit分別使用1-bit ALU處理。

1-bit ALU包含AND、OR、ADD、SLT operation，整合成32-bit ALU後運用ADD延伸出SUB operation，AND延伸出NOR operation。

總共使用了31個alu\_top module、1個alu\_base module。

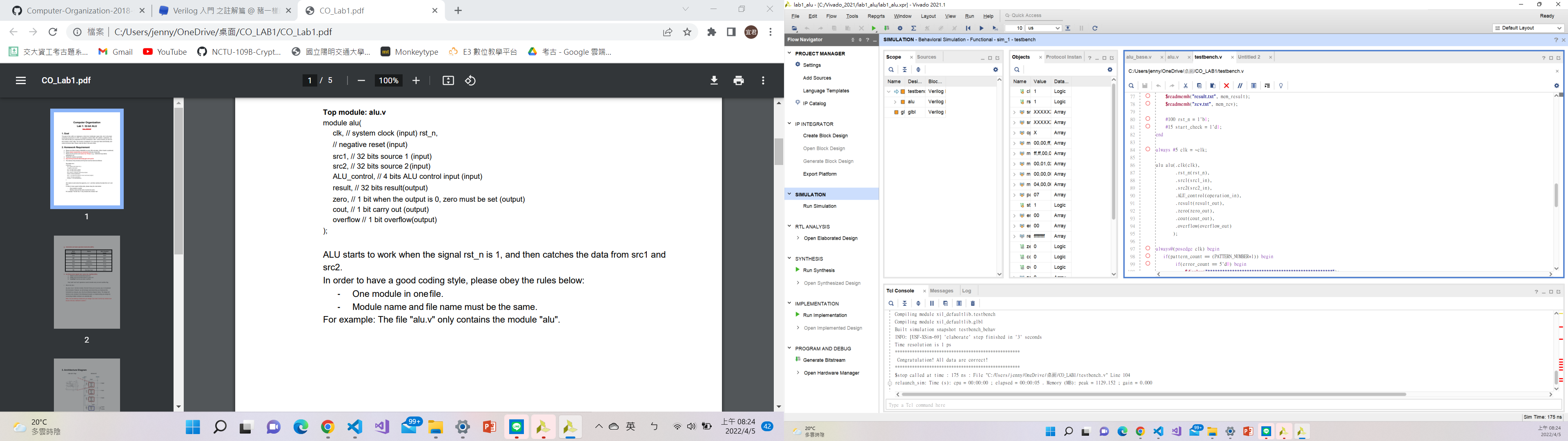
**Hardware module analysis:**

Module alu\_top用於處理除了MSB的其餘31個bit、

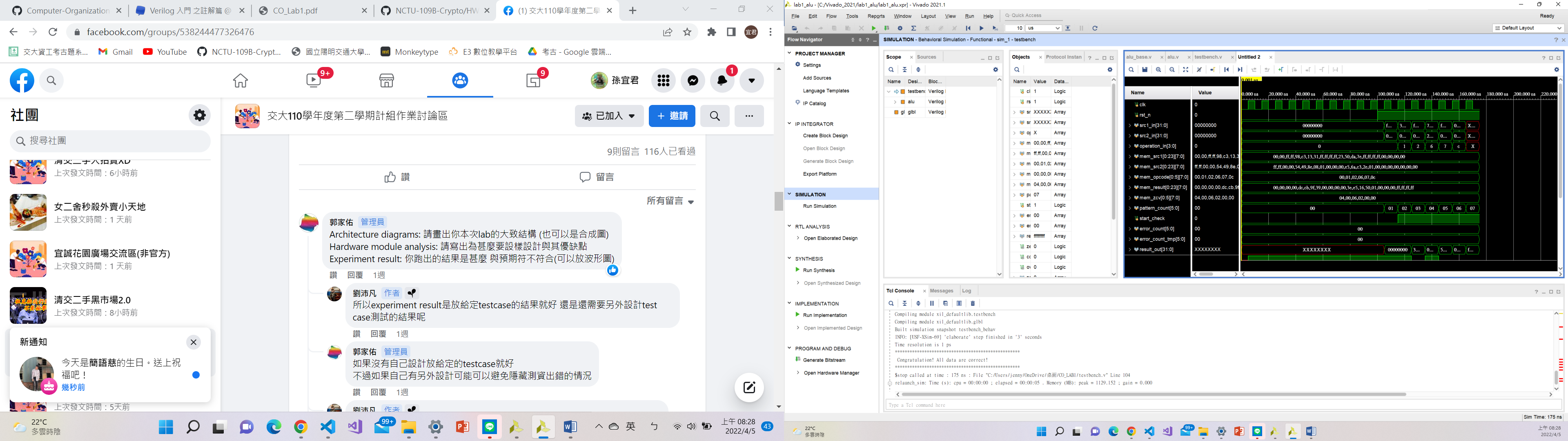
Module alu\_base用於處理MSB、

Module alu用於將參數運算結果傳入alu\_top和alu\_base模組。

**Experiment result:**



有成功輸出正確訊息，波形也符合預期



**Problems you met and solutions:**

1.

在code方面，首先是reg和wire的設置，在使用wire時才可以用assign，因為忽略了這點我在run simulation時一直接收到 ” concurrent assignment to a non-net 'result' is not permitted” 這樣的報錯。

2.

在觀念理解上面，carryout和overflow使我搞混，最後理解carryout是使用於unsigned，而overflow是使用於signed。

3.

在使用vivado執行程式上面我遇到我最大的困難，常常在重啟程式之後要點開source的.v檔，又或者只是在add source file，vivado會直接跑很久然後就卡在那邊。關於解決辦法，我透過網路也無從得知如何從根本解決這個問題，而我只能不斷嘗試將電腦重開機又或者不斷重新create project.

(ps.請問助教知道這類問題如何解決嗎?)

**Summary:**

經過這次lab我更了解ALU的細節運作是如何進行的，verilog硬體語言對我而言屬於較少接觸的語言，透過實作部分需要上網搜尋相關語法，我對verilog也更熟悉了。