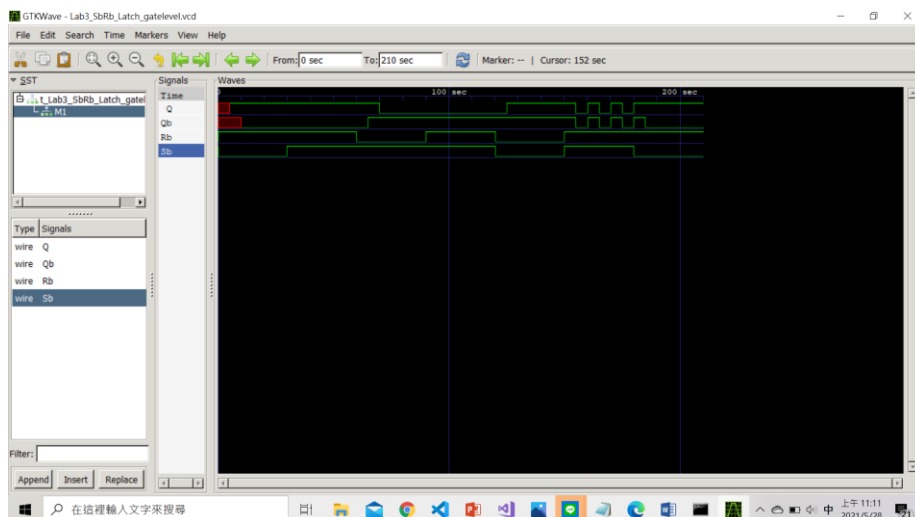


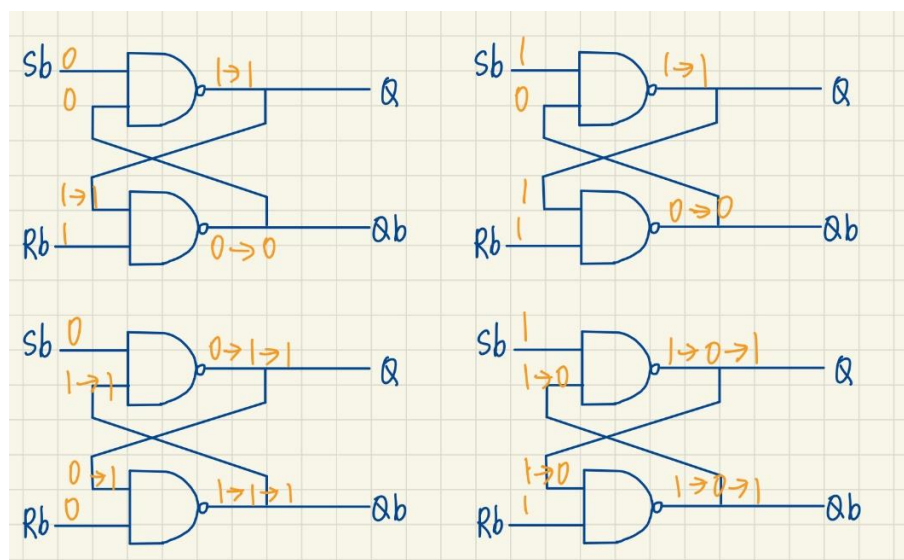
(1)2A 之模擬結果波型圖，並說明其模擬結果是否正確



圖(一)SbRb Latch 模擬波型圖

Time	Sb	Rb	Q	Qb
0	0	1	1	0
30	1	1	1	0
60	1	0	0	1
90	1	1	0	1
120	0	0	1	1
150	1	1	震盪	震盪
180	0	1	1	0

圖(二)真值表



圖(三)推導過程

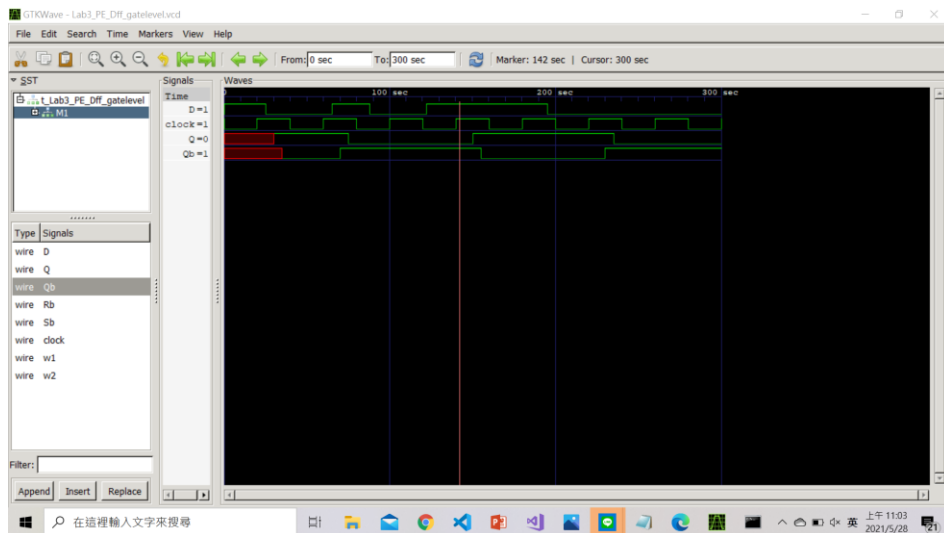
模擬之波型正確 與真值表相符

Q 經過一個 nand gate 產生，故須經過 5 個時間 delay

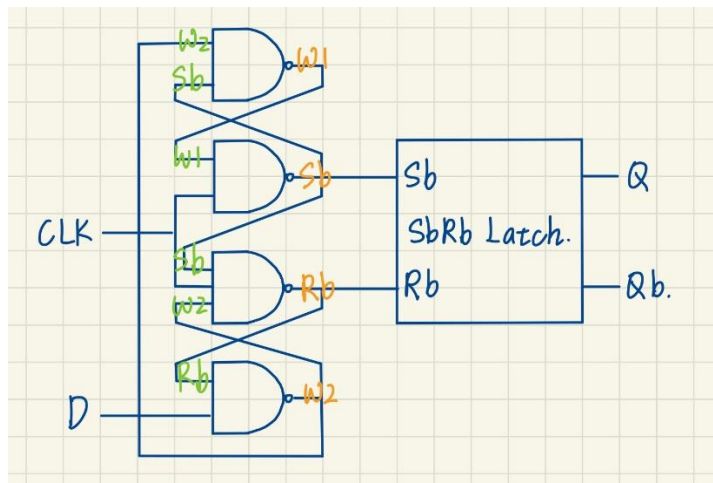
Qb 要等待 Q 值產出後再經由 nand gate 產出，故須經過 10 個時間 delay

其中在 Sb=1,Rb=1 時，波型產生動盪，因 latch 的值無法達到穩定數值產出

(2)2B 之模擬結果波型圖，並說明其模擬結果是否正確



圖(四) PE_Dff 模擬波型圖



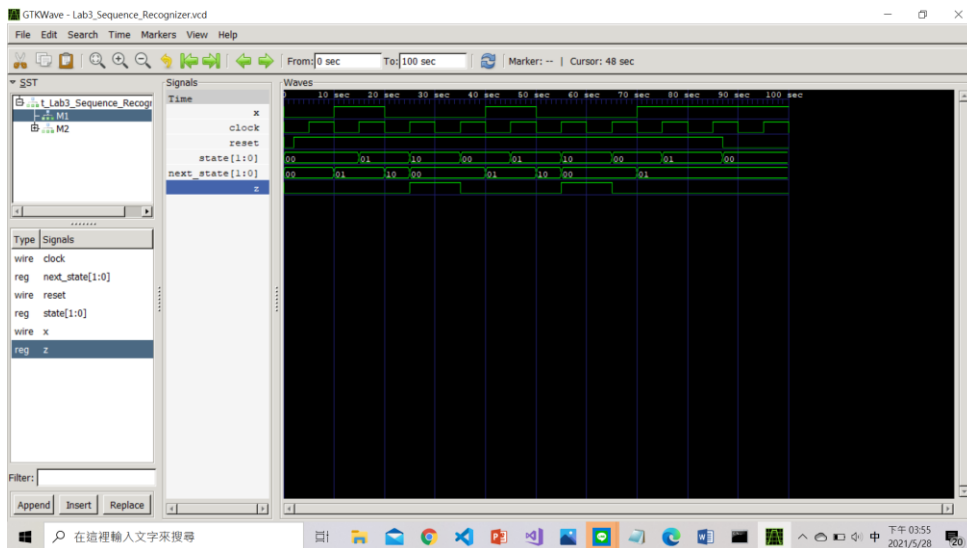
圖(五)電路圖

模擬之波型正確 與真值表相符

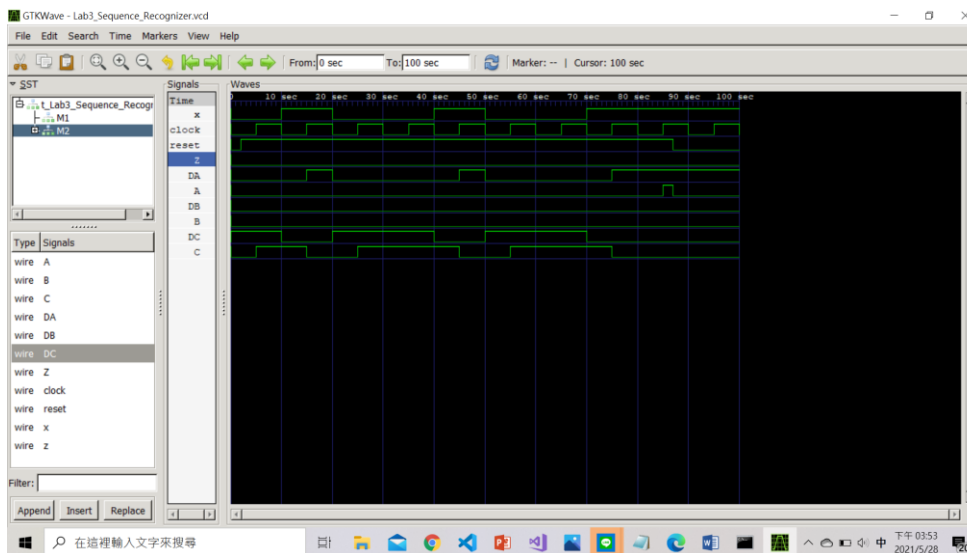
Positive edge trigger 在 clock 由 0 轉換成 1 時運作

Positive edge trigger flip flop 由同步順序電路及 SbRb Latch 組成

(3)敘述 2C 之 Mealy-type 同步順序電路之設計過程，以 D 正反器為儲存元件，推導出其電路圖。而後，列出 2C 之模擬結果波型圖，並說明其 testbench 如何設計、針對 input stimulus 預期之狀態轉換輸出值為和、及 i 和 ii 兩種模組之模擬結果波型圖是否正確。



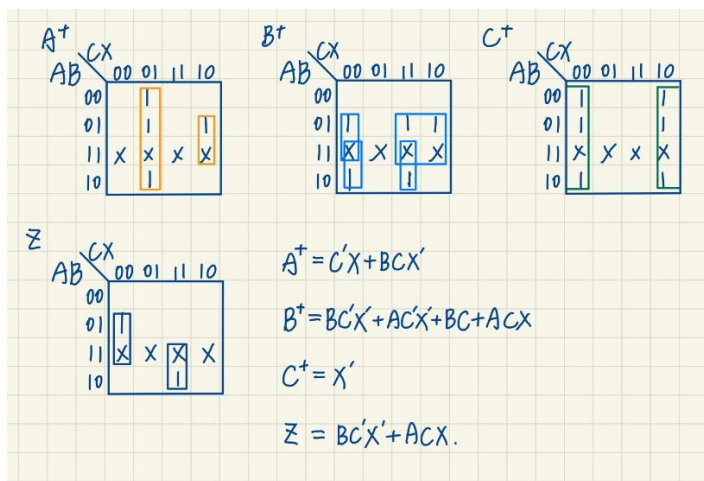
圖(六)Sequence recognizer state diagram



圖(七)Sequence recognizer structure

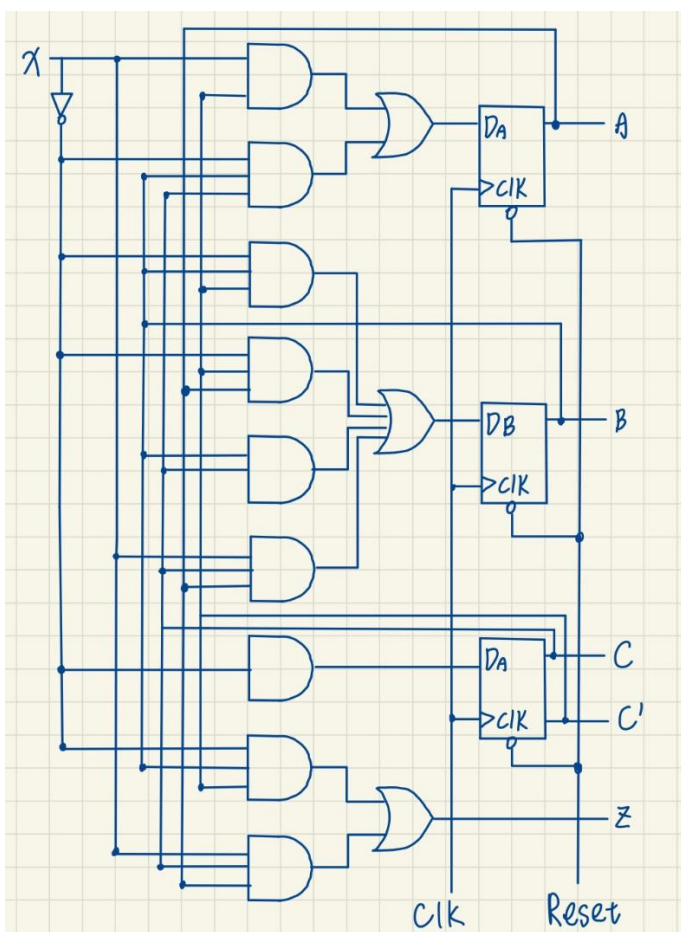
Present State	A B C			Next State		Output Z	
	A	B	C	X=0	X=1	X=0	X=1
S0	0	0	0	0	0	0	0
S1	0	0	1	0	0	0	0
S2	0	1	0	0	1	1	0
S3	0	1	1	1	0	0	0
S4	1	0	0	0	1	0	0
S5	1	0	1	0	0	0	1

$A^+ B^+ C^+$



圖(八)state table

圖(九)Kmap 推導



圖(十)電路圖

在設計 test bench 的時候要讓每個狀態(S0~S5)都能跑到

State diagram 和 structure 兩種方式所得出的結果相同 且和 state table 符合

(4)心得與感想、即遭遇到的問題或困難

再進行第二題時 如何使用 gatelevel 的語法使用 positive edge trigger 困擾了我許久，再請教過學長姐們後得到了解答，同時我也體會到使用 always 語法的便利，可直接使用 posedge 的指令來完成。第二個遇到的困難時，在第二題老師給的指定時間變換的數值不向以往為可以很快觀察出中間時間差的數值，以往我都使用 begin-end 語法，而在這次作業中我更清楚的知道 fork-join 語法可以用在此處讓我們能更方便進行編碼。