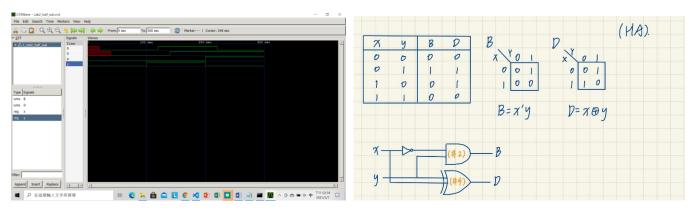
1.(a).半減器



圖(一)半減器圖形

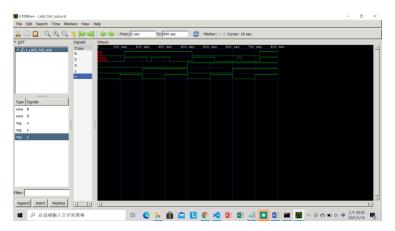
圖(二)半減器真值表 邏輯電路圖 布林代數式

10sec 為一時間單位 X,Y 數值每 10 個時間單位改變一次

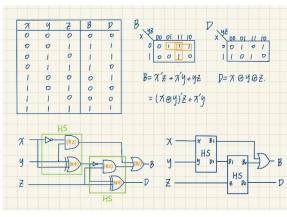
由圖(一)和圖(二)可知波型圖和真值表述值一致

- (1) B 為借位輸出 經過一個 delay 為 2 時間單位的 and gate 後產出
- (2) D 為差值 經過一個 delay 為 4 時間單位的 xor gate 後產出

2.(b).全減器



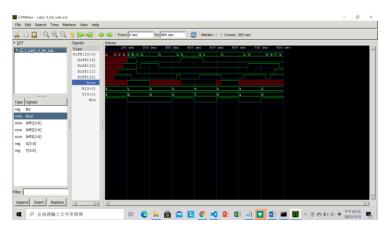


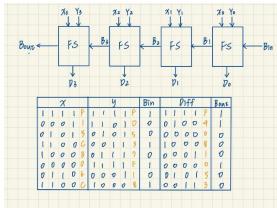


圖(四)全減器真值表 邏輯電路圖 布林代數式

- (1) 全減器是由兩個半減器及一個 or gate 所組成
- (2) 由圖(四)邏輯電路圖可知全減器的 B 借位輸出 是由第一個半減器產生的 B1 or 上第二個半減器 產生的 B2
- (3) 第一個半減器產生的 D1 輸入第二個半減器為其中一個輸入值 而全減器最後輸出的 D 差值等於 第二個半減器產生的 D2

3.(c).RBS 四位元漣波借位減法器



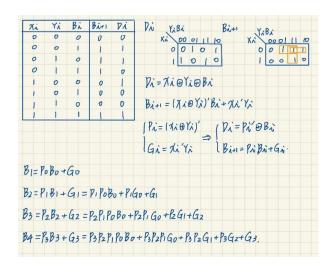


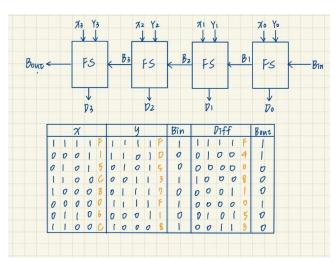
圖(五)4_bit RBS 波型圖

圖(六)RBS 真值表 電路方塊圖

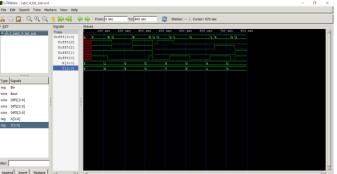
- (1) RBS 由四個全減器組成 最開始 input Bin 作為第一個方塊的 Z(與上題相對應) 接下來三個方塊的 Z 皆是由前一個方塊所產生的 output B 作為輸入 最後 Bout 為最後一個方塊產生的 output B
- (2) 每個方塊皆會產生 1bit 的 output D 最後將 4 個 bit 組合起來極為最後的 Diff
- (3) RBS 會產生較長的 propagation delay 因為每個方塊運作都需等待前一個方塊運作完畢產生輸出 因此 第四個方塊在產出最後的 Output 需等待四個全減器的 delay 時間

4.(d).BLS 四位元前看借位減法器

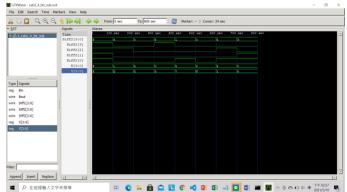




圖(七)布林代數式推導

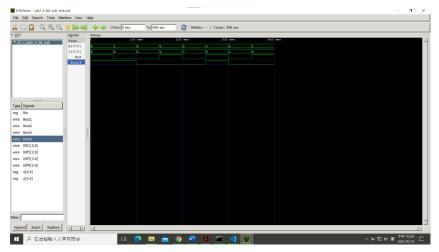


圖(八)



圖(九)4_bit_BLS_gatelevel 波型圖

圖(十) 4_bit_BLS_dataflow 波型圖

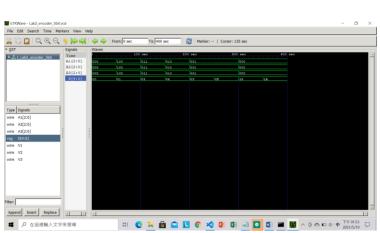


圖(十一) 4_bit_BLS_behavioral 波型圖

- (1) 四位元前看借位減法器是將四位元漣波借位減法器的布林代數式做簡化(找出 Bi、Di 位化簡前的布林代數式中相同的部分以 Pi、Gi 取代)。
- (2) Gatelevel 模組所需的延遲時間,經過一個 XOR 和四個 AND,延遲時間為 12 時間單位

2B Encoder

5.

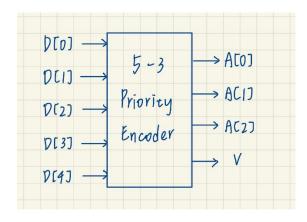


圖(十二)優先編碼器波型圖

A[2] A [0] D[3] D[4] D[3]D[4] 000]0[1]0[2] 0(0)0(1)0(2) 00 01 10 000 0 0 00 A[2]=P[0] D[1]D[2]D[3] 0 1 010 010 1 1 ACOJ= D(0) D(1) D(2) D(3) 1 0 + D'TOJDTI] ACI) DE3) DE4) V=D(0]+D[1]+D(2)+D[3)+D[4) 0(0)0(1)0(2) 000 0 0 ACIJ=D'COJD'CIJDCZJ 110 +0'(0) 0'(1) 0(3) 101

圖(十三)真值表 布林代數式推導

A1 gatelevel A2 dateflow A3 Behavior



圖(十四)電路方塊圖

- (1) 先列出真值表(dont care 可以視情況當成 1),再用 K-map 化减出輸出的布林代數式。
- (2) 波型圖和真值表相符故正確

6.

- (1) 在進行這次 lab2 的作業時 其中遇到的最大的問題就是關於 propagation delay 在設置 delay 同時要注意數值變化的時間 若 Delay 的時間總和大於每次數值變化時間 可能在 delay 尚未跑完時數值即已做出變化
- (2)同一個電路需使用三個不同的編碼方式製作可以讓我們更清楚的理解電路 其中 behavioral 是我最不熟悉的編碼方式