컴퓨터공학실험2 11주차 예비 보고서

전공: 컴퓨터공학 학년: 2학년 학번: 20201635 이름: 전찬

**0. 목차**

1. RS 플립-플롭을 조사한다.

2. JK 플립-플롭에 대해 조사한다.

3. D 플립-플롭에 대해 조사한다.

4. T 플립-플롭에 대해 조사한다.

5. Latch의 기능을 조사한다.

6. Clock의 기능에 대해 조사한다.

7. Edge-Trigger의 특성을 조사한다.

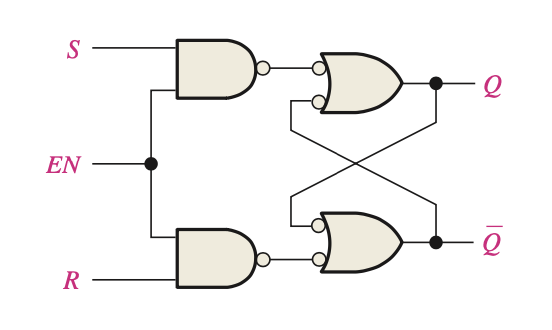
8. Master-Slave의 개념을 알아본다.

9. 기타 이론

**1. RS 플립-플롭**

플립플롭(flip-flop)/래치(latch)는 1bit data를 저장하는 하나의 회로이다. 여기에서 flip-flop과 latch의 차이점은, latch는 입력 신호가 들어온 그 즉시 작동을 수행하지만, 플립플롭은 입력 신호와 Clock이 모두 High(1)일때만 회로가 수행되는, 동기화가 존재한다는 점이다.

RS 플립-플롭은 2개의 input(R, S), 2개의 output(Q, Q’)이 존재하는 1bit 저장을 수행하는 회로이다. 형태는 아래와 같다.



<RS flip-flop의 형태>1

여기에서 EN은 Clock이 들어가며(Clock = 1 일 때 활성화된다.) S, R 두 개의 input을 가지는 형태임을 알 수 있다. 이 두 input에 대해서 존재할 수 있는 4가지 형태는 아래와 같다.

(1) S = 0, R = 0 인 경우, Q, Q’는 바뀌지 않는다. (hold)

(2) S = 0, R = 1 인 경우, Q = 0, Q’ = 1이 된다. (reset)

(3) S = 1, R = 0 인 경우, Q = 1, Q’ = 0이 된다. (set)

(4) S = 1, R = 1 인 경우, Q = 0, Q’ = 0이 되기 때문에 허용되지 않는다. (not allowed)

따라서 (1), (2), (3)의 경우에 따라서 각 Clock마다 data를 set, reset, hold할지 선택할 수 있도록 해주는 논리 회로가 RS flip-flop이라고 할 수 있다.

**2. JK 플립-플롭**

JK flip-flop은 위의 RS flip-flop과 유사한 형태이다. 두 개의 input과 clock input을 받으며, output Q, Q’ 가 존재한다. 하지만 약간의 차이점이 존재하는데, J, K의 4가지 형태에 따른 결과는 아래와 같다.

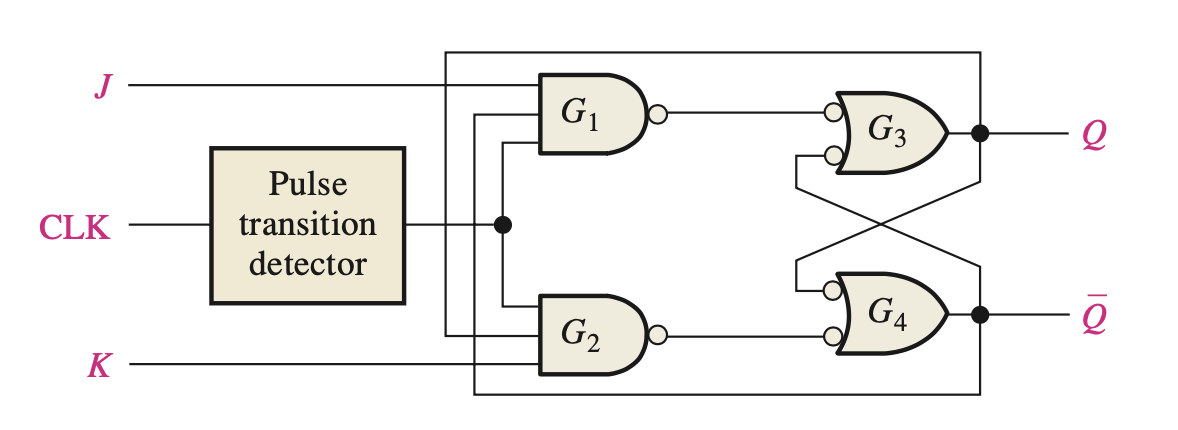
(1) J = 0, K = 0 인 경우, Q, Q’는 바뀌지 않는다. (hold)

(2) J = 0, K = 1 인 경우, Q = 0, Q’ = 1이 된다. (reset)

(3) J = 1, K = 0 인 경우, Q = 1, Q’ = 0이 된다. (set)

(4) J = 1, K = 1 인 경우, Q = Q’, Q’ = Q 가 된다. (toggle)

위 형태를 보면, (1)~(3)의 과정은 RS flip-flop과 동일하지만, (4)의 과정을 다른 형태로 정의해서 input J = 1, K = 1 또한 flip-flop에서 사용하는 형태임을 파악할 수 있다. 위와 같은 동작을 수행하는 flip-flop을 JK flip-flop이라 한다.



<JK flip-flop의 형태>2

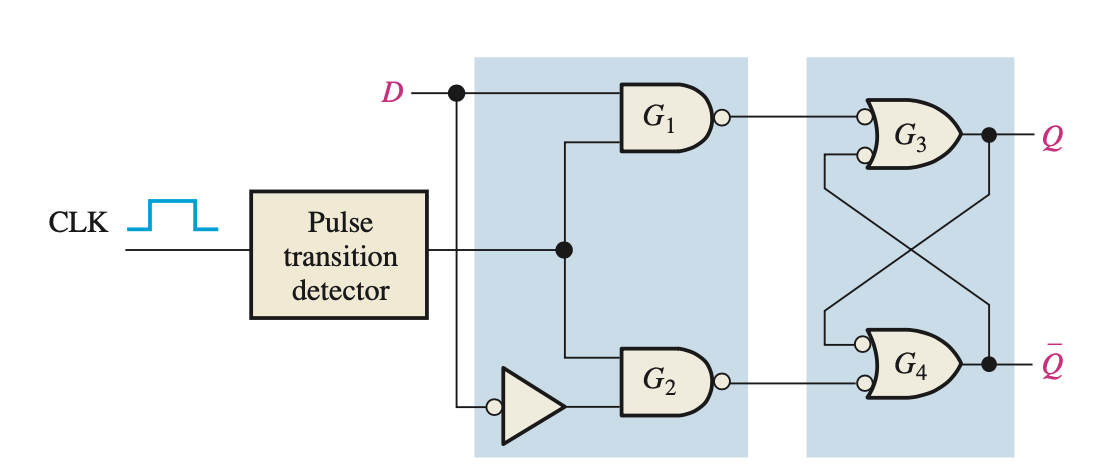
**3. D 플립-플롭**

D flip-flop은 위의 flip-flop들과 다르게, 단 하나의 input D와 Clock input만 존재하는 형태이다. 여기에서 D에 따라서 2가지 경우가 존재하는데, 이는 아래와 같다.

(1) D = 1인 경우, Q = 1, Q’ = 0 이다. (set)

(2) D = 0인 경우, Q = 0, Q’ = 1 이다. (reset)

여기에서 (1), (2)가 RS flip-flop의 (1), (2)와 동일한 형태임을 알 수 있다. 따라서 S = D, R = D’ 이라 한다면, 위의 RS flip-flop을 활용해 D flip-flop을 만들어낼 수 있으며, 그 형태는 아래와 같다.



<D flip-flop의 형태>3

**4. T 플립-플롭**

T flip-flop은 D flip-flop과 같이 1개의 input과 clock input만을 갖는 flip-flop이다. D flip-flop이 RS flip-flop에 D, D’를 연결한 것처럼, T flip-flop은 JK flip-flop에서 J = T, K = T를 연결한 형태이다. 이는 아래와 같은 2가지 결과를 만들어낸다.

(1) T = 0일 때, J = 0, K = 0로 Q, Q’는 바뀌지 않는다. (hold)

(2) T = 1일 때, J = 1, K = 1로, Q = Q’, Q’ = Q로 반전된다. (toggle)

실제로 T 또한 Toggle의 약자로, High(1)로 설정되었을 때, toggle을 수행함을 파악할 수 있다. 이를 통해서 T flip-flop은 처음 상태가 필요하며, 그 상태를 유지/반전을 수행하는 회로 라는 것을 파악할 수 있다.

**5. Latch의 기능**

위에서 이야기한 것처럼, flip-flop은 latch에서 clock과의 동기화가 추가된 형태이다. 따라서 latch는 clock의 입력 없이, timing diagram에 따라서 계속해서 data를 input에 따라 알맞은 형태로 저장할 수 있는 회로이다.

**6. Clock의 기능**

Clock은 여러 회로들의 동기화(synchronize)를 위해 사용되는, 일정 패턴(High-LOW)이 계속해서 반복되는 형태이다. 지금까지 실험에서 진행한 회로 설계에서는 동기화가 필요하지 않았지만, 만약 큰 크기의(복잡하게 연결되어 있는) 회로를 설계할 때는 다양한 일이 발생할 수 있다. 특히 Propagation delay(전파 지연)이 각 회로의 내부 모듈에 따라 다를 수 있는데, 이는 원하지 않는 결과를 초래할 수 있다. 예를 들어 다음과 같은 회로를 생각해 보자.

module mul\_add(input a, output b)

a = 5;

c = a\*3;

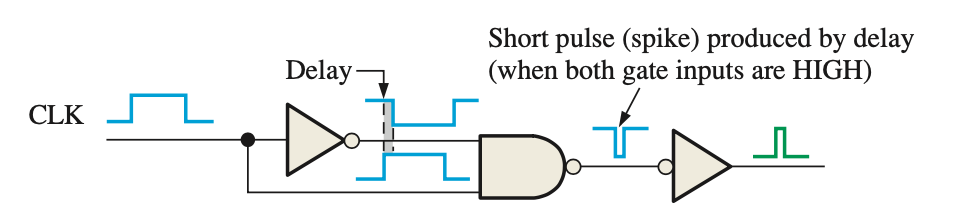
c = a+5

endmodule

위 혀태에서 단순하게 생각하면 output c = 10이 될 것임을 예측할 수 있다. 하지만 만약에 c = a\*3 의 실행 속도가 훨씬 느리다면 마지막 c = 15와 같은 경우가 나타날 수도 있다. 이는 실제로 예측한 결과와 다르며, 치명적인 결함으로 작용할 수도 있다. 따라서 clock을 통해서 일정 시간마다 작업을 수행하는 ‘동기화’를 해 주어야 한다. 따라서 Clock은 다양한 회로를 구현하기 위해 필수적이다.

**7. Edge-Trigger의 특성**

위에서 이야기한 것처럼, Clock은 다양한 회로에서 필수적이다. 이때 이 회로에서 1 인 상태를 trigger 라고 할 수 있다. 이 1이 발생한 부분에서만 회로를 수행할 수 있도록 하는 트리거가 되기 때문이다. 여기에서 trigger 또한 두 가지로 나눌 수 있는데, Edge-Trigger(ET)와 Level-Trigger(LT) 이다. 간단하게 설명하자면 ET는 edge(rising/falling)을 할 때를 기준으로 딱 한 번만 회로를 실행하는 것이며, LT는 Clock이 1인 경우에 계속해서 회로를 수행할 수 있는 것이다. 이는 아래와 같다.



<edge trigger의 회로>4

또한 flip-flop은 한번의 실행만 필요하기 때문에, Edge-Trigger을 사용하는데, Edge-Trigger의 특성은 위에서 이야기한 것처럼 단 한번만 실행된다는 특성을 갖는다. 또한 단 한번만 실행되기 때문에, machine independence, 모든 처리속도의 컴퓨터에서 동일하고 할 수 있다.

**8. Master-Slave의 개념**

master-slave는 다양한 분야에서 사용되는 방법으로, master 장치(프로세서)가 slave 장치(프로세서)에게 지시를 하며, slave는 항상 master 장치의 지시를 따르는 형태를 포괄적으로 의미한다. flip-flop 또한 이러한 형태가 존재하는데, 이를 master-slave flip-flop 이라고 한다.

master-slave flip-flop은 두 개의 D flip-flop과 하나의 inverter로 구성된다.

**6. 출처**

1. Thomas L. Floyd, Person, Digital Fundamentals Eleventh edition(global edition), 393p

2. Thomas L. Floyd, Person, Digital Fundamentals Eleventh edition(global edition), 402p

3. Thomas L. Floyd, Person, Digital Fundamentals Eleventh edition(global edition), 400p

4. Thomas L. Floyd, Person, Digital Fundamentals Eleventh edition(global edition), 400p