컴퓨터공학실험2 2주차 예비 보고서

전공: 컴퓨터공학 학년: 2학년 학번: 20201635 이름: 전찬

**1. 목적**

HDL의 정의와 Verilog 이외의 HDL에 대해 알아본다. Verilog의 역사와 발전 과정을 서술한다. Verilog의 기본적인 구조와 문법을 조사한다.

**2. HDL의 정의와 Verilog 이외의 HDL**

HDL은 hardware description language의 약자로, 전자회로의 동작이나 구조를 표현할 때 사용되는 프로그래밍 언어이다. 실제로 전자회로를 설계할 때, 설계자가 직접 회로도를 그리며 설계할 수도 있다. 하지만 HDL을 통해 회로를 구현한다면, 추상적으로 회로를 구현할 수 있어 더 쉽게 복잡한 회로를 표현할 수 있다.

C언어를 작성할 때 visual studio, xcode등 다양한 툴을 사용할 수 있는 것처럼, HDL을 작성할 때도 여러 툴을 사용할 수 있다. 가장 대표적인 HDL 툴은 Verilog와 VHDL로 나뉜다. Verilog의 문법은 C언어와 비슷한 형태를 가지고 있으며, VHDL은 Ada와 Pascal을 바탕으로 둔 툴이다. 이 두 툴 중 최근에는 Verilog가 더 많이 쓰이는 추세이며, C언어와 비슷한 형태이기 때문에 VHDL보다 상대적으로 이해하기 쉽다는 장점이 있다. 이번 컴퓨터공학실험2에서 또한 Verilog를 사용할 예정이다.

**3. Verilog의 역사와 발전 과정**

Verilog는 1983년 Gateway Design Automation 회사에서 제작된 언어이다. 최근 FPGA를 사용할 때 대부분의 사람들이 Verilog를 사용하는 것과 달리 HDL언어의 초창기에는 대부분의 사람들이 FPGA를 사용하기 위해 VHDL를 사용했다. 하지만 Cadence Design System 회사에 합병된 이후, 지속적으로 발전하며 Verilog가 업계에서 표준으로 자리잡았다. 이후에는 1995년 IEEE에서 표준화 되기도 하였다.

현재까지 계속해서 발전해가며 C언어와의 유사성과 언어의 편의성을 토대로 많은 사람들이 사용하는 툴이 되었다. 최근에는 HL뿐만이 아니라 ML(machine learning)에서도 한 축을 담당하는 등 새로운 활용이 이뤄지고 있기도 하다.

**4. Verilog의 기본적인 구조와 문법**

Verilog는 C언어와 비슷하다. C언어에서 int main()형태로 main 함수가 있는 것처럼, Verilog에는 top 모듈이 존재한다. 또한 int function(~~) 형태로 함수를 정의하는 것과 같이 Verilog는 module 모듈이름(~~); 형태로 모듈을 정의할 수 있다.

앞에서 설명한 모듈이 Verilog의 기본적인 구조이다. 한 코드, 또는 회로 프로그램은 여러 모듈의 합으로 표현할 수 있는 것이다. 모듈 안에는 포트 선언, 데이터 타입 선언, 회로 동작 기술 부분이 존재한다.

또한 Verilog는 C언어에서 사용하는 if / else 문도 비슷한 형식으로 사용할 수 있다. C언어의 for, while과 같은 loop는 always라는 문법을 통해서 사용할 수 있다.