

Evaluation 1 – B2A

Exercice 1 : Conversions

1. Convertir $(1EF6)_{16}$ et $(10110001)_2$ en décimal. Vous devez détailler vos opérations.
2. Convertir $(245,5625)_{10}$, $(26,7)_{10}$ et $(14C,D8)_{16}$ en binaire
3. Convertir $(10010,1101)_2$ en décimal
4. Convertir, en représentation binaire signée sur 1 octet, les nombres décimaux -120 , -19 et $+35$.
5. Donnez le résultat, quand cela est possible, des opérations $-120 - 19$ et $-19 + 35$.

Exercice 2 : Codage des réels en virgule flottante

Le codage d'un nombre réel en virgule flottante se fait à l'aide de 3 informations :

- Le signe du nombre S
- La mantisse M à n chiffres : les chiffres significatifs après la virgule.
- L'exposant E sur m chiffres

Un nombre réel est alors, dans une base B, égal à $(-1)^S \cdot 0, M \cdot B^E$. Par exemple, en base 10, avec $S=0$, $M = 1234$ et $E = 12$, on obtient le nombre $0,1234 \cdot 10^{12}$. Ce nombre est codé sous forme normalisée : tous les chiffres significatifs apparaissent directement après la virgule.

Pour cet exercice, nous allons manipuler des réels en base binaire codés selon le standard IEEE 754 avec une précision de 32 bits. Selon ce standard, les 32 bits pour coder un réel sont organisés comme suit :

- Bit 31 : bit de signe. 0 si nombre positif, 1 si nombre négatif.
- Bits 30 à 23 : exposant sur 8 bits.
- Bits 22 à 0 : mantisse normalisée sur 23 bits.

L'exposant est codé selon la technique du biais. La valeur réelle de l'exposant est la valeur codée moins la valeur E_{\max} , avec E_{\max} qui est égale à la moitié de la valeur que l'on peut coder avec une précision de n bits donnée.

1. Déterminer l'intervalle de valeurs possibles pour l'exposant
2. Convertir en décimal le nombre octal $(27622000000)_8$ représentant une suite de bits codée suivant le standard IEEE 754
3. Convertir le nombre décimal 516,8 en binaire suivant le codage IEEE 754. Présenter le résultat sous la forme d'une suite de chiffres hexadécimaux.

Exercice 3 : Questions de cours

Répondre de manière concise aux questions qui suivent :

1. Quels sont les principaux constituants du processeur ? Donner le rôle de chacun d'eux.
2. Quelle différence existe-t-il entre Compteur Ordinal et Registre Instruction ?
3. Quels sont les deux types de formes analytiques d'une fonction booléenne ? quel est celle que l'on utilise pour la construction d'un tableau de Karnaugh ?
4. Comment calcule-t-on le nombre de cases d'un tableau de Karnaugh et pourquoi la méthode de simplification n'est plus d'une grande utilité en pratique quand le nombre de variables dépasse 6 ou 7 ? Pouvez-vous donner une méthode alternative évoquée en cours ?

5. Quel différence(s) y a-t-il entre les circuits combinatoires et les circuits séquentiels ?
6. De quels types de circuits est constitué une mémoire de type SRAM ?
7. Pour quelle raison a-t-on besoin d'une horloge pour cadencer l'ordre dans lequel certains événements se produisent et donc activer/désactiver le verrouillage par bascule ?
8. Quel est le problème d'une bascule de type RS ? Quelles autres bascules vues en cours ne présentent pas cet inconvénient ?
9. Quel est le rôle d'un démultiplexeur ? Peut-on dire qu'un décodeur est un cas particulier de démultiplexeur ? Justifier.
10. Comment sait-on qu'il y a dépassement de capacité dans un additionneur n bits ?

Exercice 4 : Couche logique

On souhaite réaliser un circuit permettant de faire la soustraction d'entiers non signés codés sur 4 bits :

$$\begin{array}{r} a3a2a1a0 \\ - b3b2b1b0 \\ \hline = (CF) r3r2r1r0 \end{array}$$

Par exemple : $1010 - 0101 = (0)0101$, c'est-à-dire $10 - 5 = 5$.

1. Etablir la table de vérité de la soustraction binaire sur 1 bit décrite ci-après. 2 Entrées : a_0, b_0 ; 2 Sorties : $r_0 (a_0 - b_0)$, c_0 le reste de la soustraction.
2. Dessiner un schéma logique réalisant cette soustraction, en utilisant des portes and, or, not, xor.
3. Etablir la table de vérité de la soustraction binaire sur 1 bit avec un bit de retenue entrante. 3 Entrées : a_1, b_1, c_0 ; 2 Sorties : $r_1 (a_1 - b_1)$, c_1 le reste de la soustraction.
4. Etablir le tableau de Karnaugh de la retenue sortante d'une soustraction binaire sur 1 bit avec retenue entrante. 3 Entrées : a_1, b_1, c_0 ; 1 Sorties : c_1 . Donner la formule logique de $c_1 = f(a_1, b_1, c_0)$.
5. Dessiner un schéma logique de la soustraction binaire sur 1 bit avec un bit de retenue entrante. 3 Entrées : a_1, b_1, c_0 ; 2 Sorties : $r_1 (a_1 - b_1)$, c_1 le reste de la soustraction.
6. Dessiner un schéma logique de la soustraction sur 4 bits en utilisant des soustracteurs 1 bits.

Exercice 5 : Construction d'un circuit logique

1. Proposez une expression booléenne ayant pour table de vérité la table ci-dessous

A	B	C	D	$f(A,B,C,D)$
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

2. Simplifier la fonction obtenue en utilisant un tableau de Karnaugh.
3. Réalisez le circuit logique correspondant