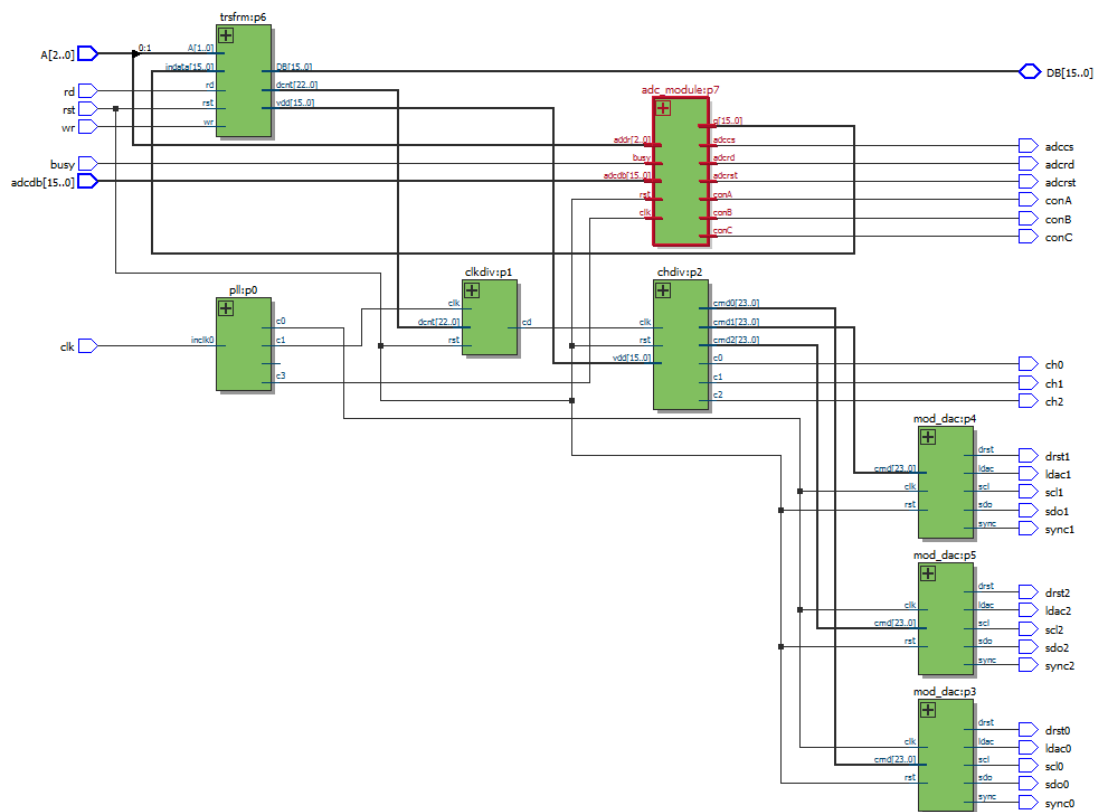
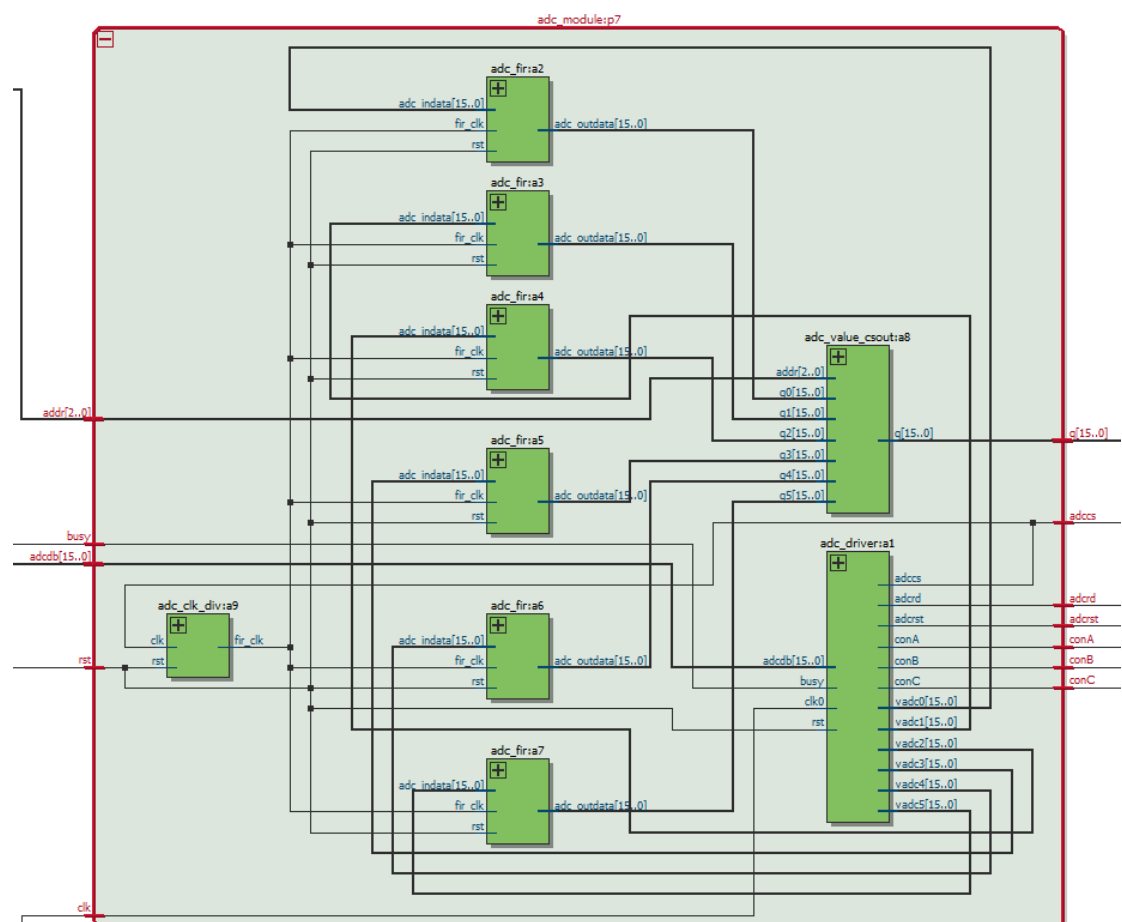


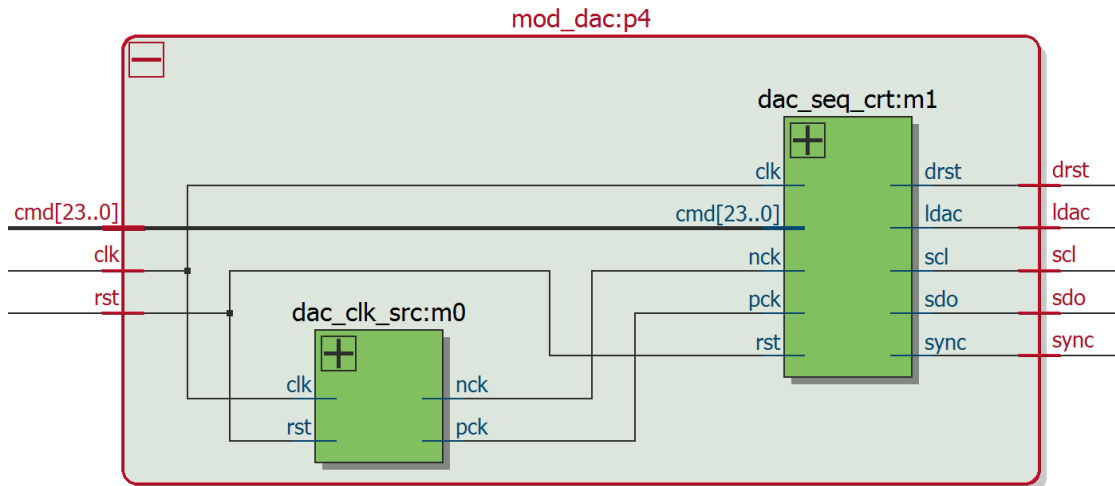
整体 RTL 视图



ADC 模块 RTL



DAC 模块 RTL



```
wire c0,c1,c2,c3;//c0 50M,c1 90M,c2 100M,c3 10M
pll p0 (.inclk0(clk),.c0(c0),.c1(c1),.c2(c2),.c3(c3));
wire [22:0] dcnt;
wire cd;
clkdiv p1 (.clk(c1),.rst(rst),.dcnt(dcnt),.cd(cd));
wire [31:0] cmd0,cmd1,cmd2;
wire [15:0] vdd;
chdiv p2 (.clk(cd),.rst(rst),.c0(ch0),.c1(ch1),.c2(ch2),.cmd0(cmd0),.cmd1(cmd1),.cmd2(cmd2),.vdd(vdd));
mod_dac p3 (.clk(c0),.rst(rst),.cmd(cmd0),.sync(sync0),.scl(scl0),.sdo(sdo0),.ldac(ldac0),.drst(drst0));
mod_dac p4 (.clk(c0),.rst(rst),.cmd(cmd1),.sync(sync1),.scl(scl1),.sdo(sdo1),.ldac(ldac1),.drst(drst1));
mod_dac p5 (.clk(c0),.rst(rst),.cmd(cmd2),.sync(sync2),.scl(scl2),.sdo(sdo2),.ldac(ldac2),.drst(drst2));
trsfm p6 (.rst(rst),.wr(wr),.rd(rd),.DB(DB),.A(A[1:0]),.dcnt(dcnt),.vdd(vdd),.indata(q));
wire [15:0] q;
adc_module p7 (.clk(c3),.rst(rst),.addr(A),.busy(busy),.adcdb(adcdb),.conA(conA),.conB(conB),.conC(conC),.adcrst(adcrst),.adccs(adccs),.adcrd(adcrd),.q(q));
```

pro 顶层实体模块

```
input wire clk,rst;//clk 25MHz 系统时钟输入；rst 全局复位
input wire wr,rd;//FSMC 读写信号
inout wire [15:0] DB;//FSMC 数据总线
input wire [2:0] A;//FSMC 地址总线
output wire ch0,ch1,ch2;//三相方波测试信号输出（TTL 电平）
output wire drst0,ldac0,scl0,sdo0,sync0;//DAC 时序产生相关接口信号
output wire drst1,ldac1,scl1,sdo1,sync1;
output wire drst2,ldac2,scl2,sdo2,sync2;
input wire busy;//ADC 转换忙时信号输入
input wire [15:0] adcdb;//ADC 数据总线
output wire conA,conB,conC;//ADC 三路启动转换信号
output wire adcrst,adccs,adcrd;//ADC 复位、片选、读信号
```

锁相环模块

```
input      inclk0;//25MHz 晶振输入
output     c0;//50MHz DAC 时序发生驱动时钟
output     c1;//90MHz 分频主时钟
output     c2;//100MHz 驱动逻辑分析仪
output     c3;//10MHz ADC 模块驱动时钟
```

clk_div 模块

```
input wire clk,rst;//clk 接 c1; rst 全局复位
input wire [22:0] dcnt;//分频系数
output reg cd;//分频后的时钟
```

chdiv 模块

```
input wire clk,rst;//clk 接 cd; rst 全局复位
input wire [15:0] vdd;//设置 DAC 输出电压
output wire [23:0] cmd0,cmd1,cmd2;//DAC 命令输出
output reg c0,c1,c2;//三相方波测试信号输出
```

mod_dac 模块

```
input wire clk,rst;//clk 接 c0; rst 全局复位
input wire [23:0] cmd;//DAC 命令
output wire sync,scl,sdo,ldac,drst;//DAC 驱动信号
```

dac_clk_src 模块

```
input wire clk,rst;//clk 接 c0; rst 全局复位
output reg pck,nck;//pck 正极性时序时钟 ; nck 负极性时序时钟
```

dac_seq_crt 模块

```
input wire clk,rst,pck,nck;//见上
input wire [23:0] cmd;//DAC 命令
output reg sync,scl,sdo,ldac,drst;//DAC 驱动信号
```

trsfrm 模块 (FSMC 通信模块)

```
input wire rst;//全局复位
input wire wr,rd;//fsmc 读写
inout wire [15:0] DB;//fsmc 数据总线
input wire [2:0] A;//fsmc 地址总线
input wire [15:0] indata;//fsmc 通信模块数据输入
output reg [22:0] dcnt;//分频系数
output wire [15:0] vdd;//DAC 电压
```

adc_module 模块

```
input wire clk,rst;//clk 接 c3; rst 全局复位
input wire [2:0] addr;//通道选择信号 (地址信号)
input wire busy;//ADC 忙时信号
input wire [15:0] adcdb;//ADC 数据总线
```

```
output wire conA,conB,conC;//ADC 启动转换信号
output wire adcrst,adccs,adcrd; //ADC 复位 片选 读 信号
output wire [15:0] q;//ADC 某一通道的数据输出
```

adc_driver 模块

```
input wire clk0,rst;//见上
input wire busy;// 见上
input wire [15:0] adcdb;// 见上
output wire conA,conB,conC;// 见上
output reg adcrst,adccs,adcrd;// 见上
output wire [15:0] vadc0,vadc1,vadc2,vadc3,vadc4,vadc5;//ADC 6 通道输出信号
```

adc_fir 模块

```
input wire fir_clk,rst;//fir_clk 数字滤波专用时钟; rst 全局复位
input wire [15:0] adc_indata;//某一通道 ADC 数据输入
output wire [15:0] adc_outdata;//滤波后的数据输出
```

adc_clk_div 模块

```
input wire clk,rst;//clk 接 ADC 的片选 (250KHz) ; rst 全局复位
output wire fir_clk;//数字滤波专用时钟输出
```

adc_value_csout 模块

```
input wire [2:0] addr;//通道选择信号 (地址信号)
input wire [15:0] q0,q1,q2,q3,q4,q5;//6 通道 ADC 数据输入
output reg [15:0] q;//某一通道的数据输出
```